

Sujet : Architecture Electronique Fiable pour l'exécution d'algorithmes d'Intelligence Artificielle

Les Architectures Électroniques conçues pour l'exécution d'algorithmes d'intelligence artificielle ont été imaginées uniquement avec l'objectif de traiter le plus rapidement possible un grand nombre d'opérations. C'était le cas dans les années 1990 avec des ordinateurs neuronaux tel que Cnaps d'Adaptive Solutions [1], et cela reste majoritairement le cas aujourd'hui, avec des architectures comme DaVinci de Huawei [2], FSD de Tesla [3], Versal de Xilinx [4] ou ML d'Arm [5]. Ces architectures ne sont pas réellement adaptées à l'Internet des objets, où les capacités de calcul et de cognition sont distribuées dans des millions d'objets ayant des capacités plus ou moins grandes de traiter localement les données. Ces objets, qui sont des systèmes embarqués, doivent aussi satisfaire d'autres contraintes que la puissance de traitement. Parmi celles-ci, il y a la contrainte énergétique, avec des consommations de courant de l'ordre du mA, voir du μA [6]. Une autre contrainte qui est apparue, et qui est incontournable pour nombre d'applications, est celle liée à la confiance. La confiance est définie comme le crédit accordé à quelqu'un ou à quelque chose [7]. Dans le document de la commission européenne « Excellence et confiance dans le domaine de l'intelligence artificielle » [8], des indicateurs de la confiance sont proposés :

- la transparence et la traçabilité et cela sous contrôle humain ;
- la conformité à des normes ;
- la capacité à avoir des traitements non entachés de biais ;

Dans le stage proposé, l'étudiant étudiera la possibilité d'augmenter la confiance d'architectures existantes au sein des équipes de Polytechnique et de Sorbonne Université. Les pistes suivies pourront être l'insertion de mécanismes de mémorisation inviolables comme les mémoires à lecture seule et des mécanismes de chiffrement ou de traçage comme le Backward Error Recovery [9].

Bibliographie :

- [1] D. Hammerstrom, "A VLSI architecture for high-performance, low-cost, on-chip learning," in *1990 IJCNN International Joint Conference on Neural Networks*, 1990, pp. 537–544.
- [2] H. Liao, J. Tu, J. Xia, and X. Zhou, "DaVinci: A Scalable Architecture for Neural Network Computing," in *2019 IEEE Hot Chips 31 Symposium (HCS)*, 2019, pp. 1–44.
- [3] E. Talpes *et al.*, "Compute Solution for Tesla's Full Self-Driving Computer," *IEEE Micro*, vol. 40, no. 2, pp. 25–35, 2020.
- [4] S. Ahmad *et al.*, "Xilinx First 7nm Device: Versal AI Core (VC1902)," in *2019 IEEE Hot Chips 31 Symposium (HCS)*, 2019, pp. 1–28.
- [5] I. Bratt, "Arm's First-Generation Machine Learning Processor," 2018.
- [6] O. Chuquimia, B. Granado, A. Pinna, and X. Dray, "A low power and real-time architecture for Hough Transform processing integration in a full HD-Wireless Capsule Endoscopy," *IEEE Trans. Biomed. Circuits Syst.*, 2020.
- [7] Centre National de Ressources Textuelles et Lexicales, "Confiance." <https://www.cnrtl.fr/definition/confiance>.
- [8] Commission Européenne, "Excellence et confiance dans le domaine de l'intelligence artificielle.," Union Européenne, Feb. 2020.
- [9] F. Ghaffari, O. Romain, and B. Granado, "Mitigation Transient Faults by Backward Error Recovery in SRAM-FPGA," in *Radiation Effects on Integrated Circuits and Systems for Space Applications*, Springer, 2019, pp. 249–276.



Sujet
De
Stage de Master



Lieu et Moyens :

Le stage se déroulera dans au sein des département d'ingénierie informatique de Polytechnique Montréal et du laboratoire LIP6 de Sorbonne Université. L'étudiant recruté effectuera un séjour dans les deux départements, il sera affecté principalement dans son établissement de rattachement et fera un séjour d'un mois et demi dans l'établissement partenaire. Les outils utilisés seront des PC sous Linux, les outils Mentor Graphics, Synopsis, Intel et Xilinx pour la conception FPGA.

Encadrement du Stage :

A Polytechnique :

Yvon Savaria et Pierre Langlois

Courriels :

yvon.savaria@polymtl.ca , pierre.langlois@polymtl.ca

A Sorbonne Université :

Julien Denoulet et Bertrand Granado

Courriels :

julien.denoulet@sorbonne-universite.fr , bertrand.granado@sorbonne-universite.fr

Adresse :

A Polytechnique :

Département d'ingénierie Electrique – Département d'ingénierie Informatique
Polytechnique Montréal - 2900, boul. Édouard-Montpetit
Campus de l'Université de Montréal
2500, chemin de Polytechnique
Montréal (Québec) - H3T 1J4 – Canada

A Sorbonne Université

Laboratoire LIP6 – équipe Syel
Faculté des Sciences et Ingénierie
Tour 25 – Couloir 24/25 – 5^{ème} étage
BC 167 – 4 place Jussieu
75252 Paris Cedex 05
France