



STAGE 2021-2022

TRANSFORMATION D'UNE ARCHITECTURE RISC-V MONO-COEUR EN UNE ARCHITECTURE MANY-CORE

1- Contexte

Depuis plusieurs années, un écosystème matériel et logiciel s'est déployé autour du jeu d'instruction [1] open source du Riscv développé par l'Université de Berkeley. Les Universités et les industriels se sont largement appropriés ce jeu d'instruction, ce qui a permis de créer un ensemble d'applications : accélérateurs, traitement du signal, processeurs haute performance... [2] [3].

En 2020/2021, Siemens a proposé un concours d'optimisation d'un Riscv mono-coeur CVA6 (Ariane) [4].

Il s'agira de transformer ce mono-coeur 64 bits en many-coeurs (2 ou 4 coeurs). La réflexion portera sur la pertinence du type de cluster (SMP, NUMA...), du choix de leur connexion (crossbar, bus, noc, mesh...), des protocoles de cohérence à mettre en oeuvre et de consistance mémoire, des relations avec les caches, de l'algorithme de routage...

2- Objectifs

Les objectifs de ce stage :

- réaliser une analyse bibliographique sur le many-coeur riscv afin de mettre en évidence les différents choix architecturaux possibles
- comprendre l'architecture du CVA6
- concevoir, coder et implémenter le many-coeur
- adapter le testbench déjà existant et/ou développer un environnement de test en utilisant UVM (Universal Verification Methodology)
- faire la synthèse du many-core et l'implémenter sur FPGA
- mesurer les gains en performance, surface et énergie

Un article pourra être rédigé dans une revue internationale. Les connaissances et la méthodologie acquises permettront à l'étudiant(e) de poursuivre en thèse.

3- Compétences requises

- Architecture des processeurs
- Langages Verilog, SystemVerilog, UVM (Universal Verification Methodology), C++, C, openPiton (selon les choix de plate-forme).
- Bonnes capacités rédactionnelles

Le stagiaire travaillera sous Questa et/ou Vivado. Une carte FPGA Zybo Z7-20 et divers composants seront fournis. Utilisation de la chaîne de compilation du Riscv et de Verilator.

Laboratoire d'accueil : LIP6 (UMR 7606), campus Pierre et Marie Curie (metro Jussieu), Paris, France

Durée : 6 mois à partir de février/mars 2022

Contact : nathalie.ravidat@lip6.fr

[1] A. Waterman, *Design of the RISC-V Instruction Set Architecture*, dissertation, University of California, Berkeley, janvier 2016

[2] Y. Lee, et al., *An agile approach to building risc-v microprocessors*, IEEE Computer Society, march/april 2016.

[3] J.L Hennessy, D.A. Patterson, *A new golden age for computer architecture*, THE ACM, vol. 62, n°2, february 2019.

[4] <https://github.com/openhwgroup/cva6>