

Offre de stage ingénieur ou master 2 en informatique ou électronique

Implémentation d'un mécanisme de routage intelligent pour un réseau sur puce RF

Contexte

La multiplication du nombre de cœurs de calcul présents sur une même puce va de pair avec une augmentation des besoins en communication. De plus, la variété des applications s'exécutant sur la puce provoque une hétérogénéité spatiale et temporelle des communications.

Les réseaux sur puce (NoC) [1] traditionnellement utilisés dans ce type de puce reposent sur l'utilisation des technologies filaires classiques et mettent en œuvre des communications par paquets allant, routeur après routeur, de la source vers la destination. Si cette solution est intéressante en termes de bande passante, elle passe moins à l'échelle en termes de latence. Plus récemment, d'autres solutions utilisant de nouvelles technologies comme la 3D [2], l'optique [3] ou la Radio Fréquence (RF) [4] ont été explorées pour apporter une amélioration de la bande passante et/ou de la latence.

Dans ce contexte, le projet ANR WiNoCoD [5, 6] (Wired RF Network on Chip reconfigurable on Demand) propose un NoC RF avec allocation dynamique à la demande des ressources de communication, ce pour prendre également en compte le caractère hétérogène des échanges de données entre cœurs.

Objectifs

L'architecture WiNoCoD (Fig.1) repose sur un principe hiérarchique où des grappes de processeurs (où les échanges de données en interne se font à l'aide de deux media de communication :

- Une grille 2D filaire classique permettant de véhiculer une information de grappe en grappe
- Un guide d'ondes RF dont les bandes de fréquence sont allouables à la demande, selon les besoins des applications. Ce guide d'onde permet notamment de mettre en œuvre des communications longue distance ou des broadcast de manière optimisée.

Le choix entre le guide d'onde et la grille pour une communication se fait actuellement selon un critère de distance entre la source et la destination.

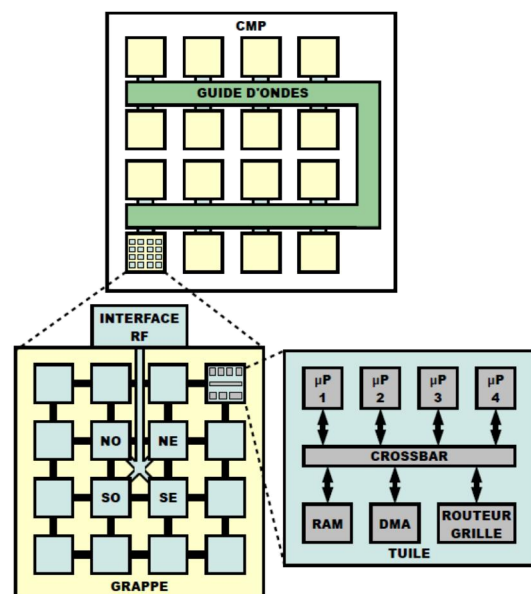


Figure 1 : Architecture WiNoCoD

L'objectif de ce stage est de mettre en œuvre un mécanisme de routage intelligent permettant d'adapter le choix de routage entre la grille et le guide d'ondes en fonction d'autres critères, tel que le taux d'occupation du guide d'ondes. Après avoir développé la solution, il conviendra d'évaluer son apport pour l'architecture WiNoCoD.

Liste des tâches

- Étude et compréhension de l'architecture WiNoCoD
- Prise en main du modèle SystemC de l'architecture
- Implémentation des stratégies de routage / Modifications de l'architecture
- Simulation et évaluation des performances

Profil

Étudiant en deuxième année de Master ou en dernière année d'École d'Ingénieur en Informatique ou Électronique, les compétences suivantes seront appréciées :

- Architecture des ordinateurs
- Modélisation en SystemC
- Langages C++ et Python

Informations pratiques

Durée du stage : 6 mois
Lieu du stage : LIP 6 - 4 Place Jussieu, 75005 Paris, France
Rémunération : gratification standard

Contacts

Alexandre Brière : Alexandre.Briere@lip6.fr
Julien Denoulet : Julien.Denoulet@lip6.fr

Références

- [1] R. Marculescu, U.Y. Ogras, L.S. Peh, N.E. Jerger, and Y. Hoskote. *Outstanding research problems in noc design : system, microarchitecture, and circuit perspectives. ComputerAided Design of Integrated Circuits and Systems, IEEE Transactions on, 28(1) :3–21, 2009.*
- [2] F. Li, C. Nicopoulos, T. Richardson, Y. Xie, V. Narayanan, & M. Kandemir. *Design and management of 3d chip multiprocessors using network-in-memory. ACM SIGARCH Computer Architecture News, 34(2) :130–141, 2006.*
- [3] G. Kurian, J.E. Miller, J. Psota, J. Eastep, J. Liu, J. Michel, L.C. Kimerling, and A. Agarwal. *Atac : A 1000-core cache-coherent processor with on-chip optical network. In Proceedings of the 19th international conference on Parallel architectures and compilation techniques, pages 477–488. ACM, 2010.*
- [4] M.C.F. Chang, J. Cong, A. Kaplan, M. Naik, G. Reinman, E. Socher, & S.W. Tam. *Cmp network-on-chip overlaid with multi-band rf-interconnect. In High Performance Computer Architecture, HPCA 2008. IEEE 14th International Symposium on, pp. 191–202.*
- [5] A. Brière, J. Denoulet, A. Pinna, B. Granado, F. Pêcheux, P. Garda, M. Ariaudo, F. Drillet, C. Duperrier, M. Hamieh, et al. *WiNoCoD : Un réseau d'interconnexion hiérarchique RF pour les MPSoC. In ComPAS'2014 : Conférence d'informatique en Parallélisme, Architecture et Système, pages track–architecture, 2014.*
- [6] A. Brière, J. Denoulet, A. Pinna, B. Granado, F. Pêcheux, E. Unlu, Y. Louët, and C. Moy. *A Dynamically Reconfigurable RF NoC for Many-Core. In Proceedings of the 25th edition on Great Lakes Symposium on VLSI, pages 139–144. ACM, 2015.*