

Sujet : Architectures Reconfigurables Virtuelle et génération de bitstream

Avec l'expansion des capacités des FPGA est apparue l'hétérogénéité du grain de reconfiguration au sein de ces circuits. Chaque fabricant a intégré de nouveaux nœuds de calcul et de mémorisation. Au sein des FPGA modernes, il n'y a plus seulement des LUTs (Look-Up-Table) configurés à grain fin, mais aussi des blocs de mémoires distribués, des opérateurs à grain moyen, appelés blocs DSPs (Digital Signal Processing), pour arriver aujourd'hui à du gros grain avec les SoC (System-on-Chip) où les architectures reconfigurables cohabitent, sur silicium, avec des processeurs en dur paramétrables (nombre de cœurs, fréquence d'horloge système, interfaces dédiées et bus système; i.e. le Zynq de chez Xilinx. L'étude et le développement des architectures FPGA est basé sur un flot de conception de CAO numérique complexe qui se termine par la création d'un fichier de configuration matérielle (placement et routages des ressources du FPGA), appelé bitstream. Ce format est lié à un constructeur de FPGA (Intel ou Xilinx) et sont cryptés. Il existe des outils de CAO numérique libre (opensource) qui permettent de pouvoir définir une architecture FPGA de manière virtuelle, afin d'explorer des nouvelles configurations matérielles. Par exemple le Framework VTR [xx].

Ce stage a pour ambition de réaliser un modèle d'architecture FPGA le plus proche possible à un des derniers circuits de chez Xilinx, afin de mettre en place de la génération de différents bitstreams.

L'étude prendra en compte les différentes caractéristiques des LUTs, DSP, mémoire BRAM et des éléments dédiés à leur routage (SB: switch block, CB: connexion block). Les efforts seront concentrés sur la prise en main du Framework VTR et des architectures Xilinx.

Des compétences en architecture numériques reconfigurables, VHDL, Verilog seront appréciées dans le cadre de ce stage.

Lieu et Moyens :

Le stage se déroulera au LIP6 à Sorbonne Université, Paris. Les outils utilisés seront des PC sous Linux avec les outils de développement Vivado de Xilinx, et gcc.

Contacts :

Andrea Pinna
Sorbonne Université
Laboratoire d'Informatique de Paris 6 – LIP6 UMR7606
Tour 25 - Couloir 25/24 – 5ème Étage
Bureau 510
4, Place Jussieu

75252 Paris Cedex 05
Téléphone : 01 44 27 96 35
Mél : andrea.pinna@sorbonne-universite.fr

Sébastien Pillement
IETR UMR 6164 - Syscom
ECOLE POLYTECHNIQUE DE L'UNIVERSITE
DE NANTES

Rue Christian Pauc - La Chantrerie CS 50609
44309 NANTES Cedex 3
Bâtiment Ireste, Bureau C116
Téléphone : 02 40 68 30 64
Mél : Sebastien.Pillement@univ-nantes.fr