TANIS : UN OUTIL POUR LA SYNTHÈSE DE CIRCUITS CMOS ANALOGIQUES

Mohamed DESSOUKY[1], Jacky PORTE[2], Marie-Minerve LOUËRAT[1]

1 - laboratoire LIP6-ASIM, université Pierre et Marie CURIE
4, place Jussieu, 75252 Paris Cedex 05
2 - Ecole Nationale Supérieure des Télécommunications
46 Rue Barrault, 75634 Paris Cedex 13, France
Mohamed.Dessouky@lip6.fr

RÉSUMÉ : On présente ici TANIS, une *boîte à outils informatiques* qui permet une conception hiérarchique descendante d'un système intégré analogique, à partir de spécifications de haut niveau jusqu'à la génération des masques. TANIS s'appuie sur un outil de synthèse de blocs fonctionnels PSYFICAS et sur deux outils de bas niveau au sens physique du terme, COMDIAC et CAIRO.

I – INTRODUCTION

Si dans la plupart des systèmes électroniques, le traitement du signal est réalisé après numérisation, principalement pour des raisons de précision et d'immunité au bruit, nature analogique et temps continu des signaux physiques rendent impossible l'élimination complète de la circuiterie analogique. Tout système intégré *mono-puce* est donc un système mixte analogique-numérique. Contrairement au domaine numérique où l'utilisation de librairies de cellules standards réduit considérablement le temps de conception, dans le domaine analogique, il est pratiquement impossible de stocker dans une librairie l'ensemble des cellules susceptibles de couvrir le plus large spectre possible d'applications. D'autre part, compte tenu du fait qu'une telle librairie serait très rapidement obsolète de part l'évolution de plus en plus rapide des technologies, il est évident, que sans l'aide d'outils de CAO appropriés, permettant la génération automatique de modules paramétrés et indépendants de la technologie, l'analogique risque de devenir dans la phase de dimensionnement des composants physiques des ASIC, un sérieux goulot d'étranglement en terme de temps de conception.

Notre méthode, intégrée dans TANIS (Tools for ANalog Integrated circuits Synthesis) distingue trois phases dans la conception descendante des masques du circuit. La première phase est celle du choix de la topologie du circuit. Elle fournit une net-list de macro-modèles. La deuxième phase est la réalisation au niveau transistor de chaque macro-modèle instancié dans la net-list issue de la première phase. La dernière phase est la phase de génération des masques. Un exemple d'un filtre à capacités commutées illustrera la méthode.

II – CARACTÉRISTIQUES D'UNE CONCEPTION ANALOGIQUE

La production d'outils informatiques d'aide à la conception de circuits intégrés analogiques est souvent considérée comme quelque chose de difficile, du fait que la conception analogique est par nature *l'exercice de l'art du compromis*, c'est à dire l'accommodation d'un grand nombre de contraintes pratiques, la plupart du temps conflictuelles. Il est ainsi communément admis qu'un outil de CAO analogique performant ne peut être purement algorithmique et requiert l'incorporation d'heuristiques, c'est à dire un ensemble de règles basées sur l'expertise.

Un système intégré analogique est pratiquement toujours construit à partir d'une combinaison de différents blocs fonctionnels: convertisseurs analogique-numérique (CAN), convertisseur numérique-analogique (CNA), filtres, comparateurs, oscillateurs, etc. La réalisation des spécifications électriques fixées par le cahier des charges au niveau système implique une traduction de ces spécifications en termes d'indices de performances au niveau de chaque bloc fonctionnel. Leur vérification demande de nombreuses simulations spécifiques multi-niveaux, allant du fonctionnel au physique et pouvant passer par différents niveaux comportementaux.

La conception analogique implique une modélisation précise des différents composants de base actifs et passifs, ainsi qu'une bonne connaissance de leur comportement en fonction de différents types de stimuli (température, grand signal, petit signal, bruit, et statistiques) et des éventuelles idiosyncrasies liées aux problèmes de modélisation (discontinuité de certain modèles, etc.).

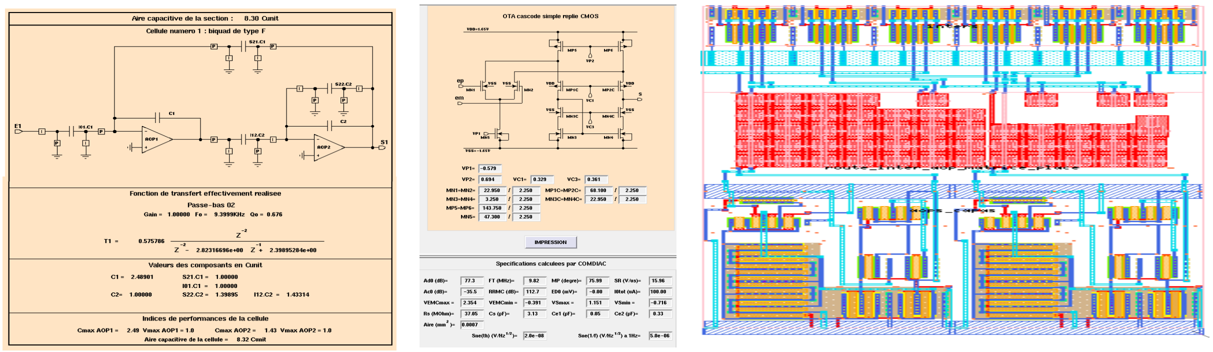
Les dispositifs actifs analogiques sont très divers, et un même dispositif, par exemple un amplificateur opérationnel, peut présenter un très grand nombre de topologies différentes pour pouvoir répondre à une gamme très large d'indices de performance.

III – PSYFICAS: NET-LIST DE MACRO-MODÈLES

La méthode de conception utilisée par TANIS est présentée à l'aide de l'exemple d'un filtre à capacités commutées. La première étape de la conception s'appuie sur l'outil PSYFICAS (Programme de SYnthèse de FIltres CAScade) qui permet la synthèse de filtres analogiques en temps continu ou temps discret, sous la forme d'une cascade de sections du premier ou du deuxième ordre. Partant d'un gabarit de filtrage, une fonction de transfert est déterminée à partir d'un jeu de fonctions modèles. Les pôles et les zéros correspondant peuvent ensuite être appairés et ordonnancés pour conduire à une réalisation optimale en terme de dynamique sur le signal filtré.

Dans le cas particulier de la synthèse utilisant la technique des capacités commutées, PSYFICAS génère une net-list instanciant trois types de modèles : les amplificateurs opérationnels en transconductance, les commutateurs et les capacités. Le choix des topologies et le calcul des rapports capacitifs sont effectués en prenant en considération des critères d'aire de silicium et sensibilités minimum et de découplage temporel maximum. La figure (1-a) illustre la synthèse par PSYFICAS d'une section biquadratique.

Toutes les procédures de calcul et d'optimisation sont écrites en langage C. Un ensemble d'outils de CAO, dont la manipulation est facilitée par une interface graphique construite à partir du langage Tcl/Tk [1], est mis à la disposition du concepteur pour analyser et optimiser les performances du filtre synthétisé (modification des critères d'optimisation, analyses statistiques et génération automatique des fichiers d'analyse).



(a) **(b)** **(c)**

Figure 1: - (a) Fenêtre PSYFICAS, - (b) Fenêtre COMDIAC, - (c) Masques avec CAIRO du circuit de la Figure 1-(a)

IV – COMDIAC: GÉNÉRATION DE LA NET-LIST DIMENSIONNÉE

La deuxième étape de la conception consiste à dimensionner au niveau transistor les composants instanciés dans l'étape précédente avec l'outil COMDIAC (COMpilateur de DIspositifs ACtifs). Son objectif est de permettre la génération automatique des principaux dispositifs actifs CMOS utilisés en électronique analogique: amplificateurs opérationnels mode tension (AOPV), amplificateurs opérationnels mode courant (AOPI) et amplificateurs opérationnels de transconductance (OTA), convoyeurs de courant (CCI), circuits de polarisation. A chaque dispositif est associé un jeu de topologies fixes, chaque topologie pouvant posséder différentes options architecturales si ces dernières ne modifient pas fondamentalement les équations de synthèse. COMDIAC est un outil de conception automatique basé sur le *principe des équations de synthèse* [2, 3]. En s'affranchissant de l'utilisation de techniques d'optimisation lourdes et des boucles de calculs numériques utilisant les résultats d'une simulation électrique, il permet un dimensionnement très rapide des différents dispositifs.

Le dimensionnement d'un dispositif actif n'est pas un processus algorithmique conduisant de manière unique à une solution répondant idéalement aux spécifications demandées. Toutefois, on peut faire l'observation suivante: les spécifications grand signal et petit signal d'un dispositif actif sont directement dépendantes du point de repos (en courant et en tension) et de la longueur L des transistors MOS. Ainsi, l'excursion maximum de tension en sortie d'un dispositif est assurée par le maintient en forte inversion et en régime saturé des transistors de sortie, cette excursion étant limitée par la valeur :

$$Vds \geq VDS_{sat} \approx VGS_0 - VTH_0,$$

elle est donnée par la tension de repos sur la grille. De même, le facteur de gain, A_0, en tension en régime saturé et forte inversion d'un transistor est fixé par une tension de repos et une longueur, puisqu'il s'exprime formellement par :

$$A_0 = \frac{gm}{gds} \approx 2\frac{L\,V_{Early}}{VGS_0 - VTH_0}$$

D'autre part, si les caractéristiques en fréquences sont formulées par des capacités associées à des nœuds hautes impédances, elles sont généralement de type :

$$\omega = \frac{gds}{C_L} \approx \frac{IDS_0}{L\,V_{Early}\,C_L}$$

et si elles sont formulées par des capacités associées à des nœuds basses impédances elles sont généralement de type :

$$\omega = \frac{gm}{cgs} \approx \frac{3}{2}\frac{gm}{W\,L\,Cox} \approx \frac{3}{2}\mu_0\frac{VGS_0 - VTH_0}{L^2}.$$

La procédure de dimensionnement de COMDIAC est essentiellement basée sur cette observation. Pour chaque dispositif, on se donne un jeu de spécifications électriques minimum (tension d'alimentation, capacité de charge C_L, et courant de polarisation IDS_0), et pour chaque transistor, on impose un mode de fonctionnement en terme de tension effective de grille ($VEG \approx VGS_0 - VTH_0$) pour fixer le type d'inversion (forte, moyenne ou éventuellement faible inversion) et en terme de tension drain-source de repos VDS_0 si elle est libre, pour fixer le régime (saturé ou éventuellement ohmique). Ensuite, on choisit ou on détermine la longueur L des transistors (typiquement par une simple boucle numérique) pour répondre aux spécifications fréquencielles. Toutes les spécifications électriques manquantes et les indices de performances sont ensuite calculés. Cette technique arbitraire de dimensionnement permet un calcul très rapide (le temps de calcul est généralement inférieur à la minute) et offre ainsi à l'utilisateur la possibilité d'optimiser rapidement un ou plusieurs indices de performances du dispositif par une modification interactive des paramètres de calcul initiaux.

COMDIAC est capable de prendre en compte n'importe quelle technologie CMOS grâce à des fichiers de paramétrisation. Ainsi le calcul des transistors est réalisé à partir de modèles type SPICE (niveau 1, 2, 3, BSIM3V3 et MM9) ou d'un modèle interne .

COMDIAC est hiérarchique. Le calcul des structures complexes est toujours effectué à partir de *primitives* correspondant à des procédures de calcul de structures basiques (transistor MOS , paires différentielles, et miroir de courant). C'est ainsi un système ouvert permettant à un éventuel concepteur d'implanter rapidement de nouveaux dispositifs.

COMDIAC est didactique. A chaque dispositif est associée une documentation éventuellement au format HTML ayant pour objectif une *auto-formation* des utilisateurs non spécialistes de l'électronique analogique. Toutes les procédures de calcul et d'optimisation sont écrites en langage C. A chaque dispositif sont associés une interface écrite en langage Tcl/Tk [1] – permettant l'entrée des spécifications, la gestion des procédures de calcul et la vérification des performances à partir d'un simulateur électrique standard –, un macro-modèle en VHDL-AMS, une net-list en transistors au format SPICE et une description des masques en langage CAIRO (voir la section V).

La figure (1-b) présente le dimensionnement par COMDIAC pour l'exemple d'un OTA cascodé simple replié, instancié dans l'exemple de la figure (1-a).

V – CAIRO: GÉNÉRATION DES MASQUES

La dernière étape de conception est la génération des masques du circuit avec le langage CAIRO. Ce langage, hiérarchique, est un ensemble de fonctions basées sur le langage **C**. Il utilise la méthode de dessin symbolique qui a été utilisée avec succès par la chaîne de conception VLSI, ALLIANCE, afin d'atteindre l'indépendance technologique [4, 5]. Il fournit des générateurs de cellules de base (transistors MOS, paires différentielles, miroir de courant, matrice de capacité, résistance) respectant les contraintes des masques analogiques telles que l'appariement et la polarisation des caissons. Pour optimiser la taille du circuit total, le facteur de forme de chaque module peut être ajusté automatiquement.

Ce langage est capable de traiter la hiérarchie, dont le plus bas niveau est constitué par des modules élémentaires complètement paramétrables. Les opérations de placement et de routage utilisent la technique de grille symbolique, et autorisent ainsi le passage au réel dans diverses technologies cibles. Un algorithme d'optimisation basé sur une structure de tranches est utilisé pour optimiser la surface d'un circuit, en tenant compte d'une contrainte sur le facteur de forme du circuit global. Ainsi, le *même* code peut décrire les masques d'un circuit donné, pour différentes tailles des composants et différentes technologies cibles.

L'expérience montre que pour optimiser la surface d'un circuit paramétrable en fonction de la taille des composants, il est nécessaire de modifier le facteur de forme de chaque module de base suivant les tailles données des composants. Pour atteindre ce but là, on a adopté la représentation *hiérarchique* des tranches (slicing trees) [6], dont les feuilles de base sont les modules. Ainsi le dessin des masques est divisé en *tranches*. Les modules de base sont placés par aboutement dans des *groupes* horizontaux à l'intérieur de chaque *tranche*. La figure (1-c) présente le dessin des masques du circuit présenté à la figure (1-a).

La perte de surface attendue comme conséquence de l'approche symbolique, après transformation vers la technologie cible, par rapport à un dessin aux règles réelles est environ 10%. Cependant, pour les fonctions analogiques, la précision du dessin est une considération plus importante.

Les informations électriques parasites, comme les capacités de drain et de source des transistors MOS et qui résultent d'un facteur de forme particulier du circuit total, sont calculées par CAIRO et utilisées dans la deuxième étape de la synthèse (COMDIAC).

VI – CONCLUSION

On a présenté TANIS, une chaîne de CAO pour la conception des circuits analogiques. TANIS repose sur une méthodologie de conception hiérarchique descendante. Cependant, on prend en compte les effets parasites introduits par la réalisation des masques pendant le dimensionnement des transistors. La synthèse fournit des net-lists aux formats standards des simulateurs électriques. TANIS prend en compte les données technologiques issues de la fonderie, de la synthèse au dessin des masques et permet ainsi au concepteur de *porter* son effort de conception d'une technologie cible à une autre.

RÉFÉRENCES

[1] John K. Ousterhout, editor. *Tcl and the Tk tool kit*. Addison-Wesley Publishing Company, 1994.

[2] Ramesh Harjani, Rob A. Rutenbar, and L. Richard Carley. OASYS: A framework for analog circuit synthesis. *IEEE Trans. Computer-Aided Design*, 8(12): 1247–1266, December 1989.

[3] Han Young Koh, Carlo H. Sequin, and Paul R. Gray. OPASYN: A compiler for CMOS operational amplifiers. *IEEE Trans. Computer-Aided Design*, 9(2): 113–125, February 1990.

[4] Alain Greiner and Frédéric Pétrot. Using C to write portable CMOS VLSI module generators. In *Proc. European Design Automation Conference*, pages 676–681, September 1994.

[5] Alain Greiner, Frédéric Pétrot, and Franck Wajsburt. Fixed grid symbolic layout translation into mask rectangles. In *2nd Advanced Training Course: Mixed Design of VLSI Circuits - Education of Computer Aided Design of Modern VLSI Circuits*, pages 281–286, Poland, May 1995.

[6] Han Young Koh, Carlo H. Séquin, and Paul R. Gray. Automatic layout generation for CMOS operational amplifiers. In *Proc. IEEE International Conference on Computer-Aided-Design*, pages 548–551, November 1988.