CRISE : Un Outil d'Evaluation des Risques dus à la Diaphonie dans les Circuits Intégrés Fortement Sub-microniques.

F. Ilponse, P. Bazargan Sabet
Email : Fabrice.Ilponse@lip6.fr, Pirouz.Bazargan-Sabet@lip6.fr

Laboratoire LIP6/ASIM,
Couloir 55-65, Université Pierre & Marie Curie, 4 place Jussieu, 75252
Paris cedex 05

Résumé

Nous présentons dans cet article une méthode d'analyse des problèmes liés aux capacités de diaphonie dans les circuits intégrés. Notre approche consiste à faire une classification des signaux selon leur risque d'être victime de perturbations électriques importantes pouvant nuire au fonctionnement du circuit. Notre analyse se base sur des méthodes successives ayant des complexités croissantes permettant une analyse très poussée sur un circuit dans son ensemble.

I - Introduction

Les technologies de fabrication des circuits intégrés deviennent de plus en plus performantes aujourd'hui. Avec le passage aux technologies fortement sub-microniques, de nouveaux effets [6] jusqu'alors négligés font surface et poussent à la création de nouvelles règles de conception [1] et de méthodes de vérification [4]. De nombreux aspects de ces effets restent à être étudiés afin de convenir des méthodes et des outils propres à leur analyse.

Un de ces phénomènes est celui du bruit injecté sur un signal lorsqu'une équipotentielle voisine subit une commutation. Ce phénomène est connu sous le nom de bruit de diaphonie. En effet, dans les technologies fortement sub-microniques, les capacités de couplage entre les signaux atteignent des valeurs telles que l'on ne peut négliger l'ampleur du bruit.
Dans cette étude, nous nous intéressons exclusivement aux circuits numériques.
De nombreuses recherches proposent des méthodes pour la prise en compte de ces problèmes avant la génération de la vue physique du circuit, plus précisément au moment du routage [2][5], en ajoutant de nouvelles règles de conception. Ces règles peuvent aider à réduire les couplages capacitifs cependant elles ont un coût sur les performances et sur la surface utilisée sur le silicium.

D'autres méthodes [3] proposant une analyse à postériori ont déjà eu des résultats publiés cependant les méthodes employées sont très basiques et se cantonnent au pire cas. Elles ne donnent donc pas des résultats très proche de la réalité du fonctionnement des circuits.

II - Les problèmes liés à la diaphonie

Plusieurs aspects liés à la technologie dans les circuits contribuent à l'augmentation des problèmes de diaphonie capacitive rencontrés. En particulier, on peut distinguer les facteurs suivants :

- Le rapprochement des fils de métal
- Le changement de la morphologie des fils qui, dans les technologie submicroniques, sont plus hauts que larges
- La densité d'intégration croissante
- L'augmentation du nombre de couches de métallisation

Tous ces paramètres contribuent à augmenter les capacités de couplage entre les fils soit en augmentant les surfaces en vis-à-vis soit en augmentant le nombre d'agresseurs.

Les effets de la diaphonie peuvent se faire sentir de deux façons et provoquer éventuellement un dysfonctionnement d'un circuit intégré :

1. Effet temporel

   Suivant le bruit occasionné sur une ligne voisine, le délai de stabilisation de l'état logique peut varier considérablement. Dans une simulation simple avec un cas extrême de bruit, nous pouvons observer une augmentation de près de 90% du délai d'un inverseur. Cette variation du délai peut entraîner de sévères problèmes de chaînes courtes ou de chaînes longues.

2. Effet logique

   Dans certaines conditions, il peut arriver que le bruit environnant modifie la valeur enregistrée dans un point mémorisant du circuit. Cet effet a des conséquences bien plus néfastes puisque le fonctionnement logique du circuit est mis en cause.

Il est à noter que ces effets ne sont pas statiques et qu'ils ne peuvent donc pas être bien cernés sans la prise en compte du fonctionnement réel du circuit.

III – Méthode proposée

Plutôt que d'imposer des règles à priori, nous proposons d'évaluer, dans le circuit, les risques dus au bruit, d'effectuer un classement des signaux en fonction de ce risque et de guider l'intervention du concepteur vers les signaux qui présentent le plus grand risque.

La résolution du problème est strictement liée à la recherche des agresseurs commutant simultanément et provoquant des interférences sur un signal. Ceci permettant de calculer, à un instant donné, le risque sur le signal victime et donc, plus généralement, le risque maximal.

Dans la pratique, ce type d'analyse se base sur le pic provoqué par les commutations quasi simultanées des agresseurs. Cependant, dans notre cas, nous utiliserons comme indicateur du risque sur un signal le facteur représentant la part de capacité parasite réelle maximale dans la capacité totale du signal. Cette valeur sera alors comparée à un seuil fixé par l'utilisateur. Tous les signaux ayant un ratio en deçà de ce seuil seront considérés comme n'ayant pas de problèmes de diaphonie capacitive.

Le premier problème auquel nous sommes confrontés concerne le fait que, avec l'augmentation du nombre de niveaux de métal dans les circuits intégrés, les capacités de diaphonie ne sont pas localisées. Ainsi un signal routé par-dessus ou au travers d'autres blocs a toutes les chances de parasiter et d'être parasité par un signal d'un bloc différent. De plus le côté dynamique de la diaphonie fait qu'un circuit doit être pris en compte dans son ensemble afin de connaître précisément les informations temporelles du circuit. Il est donc très difficile de mettre en place des méthodes hiérarchiques pour traiter le problème sans utiliser d'hypothèses trop fortes quant à la méthodologie employée pour la création du circuit intégré.

Le second problème concerne la taille des circuits intégrés ainsi que le nombre de capacités de diaphonie à prendre en compte. Nous sommes donc dans une situation où le volume de données à traiter devient un facteur non négligeable et qui peut fortement influer sur la précision choisie dans l'analyse des problèmes.

A la vue des nombreuses contraintes auxquelles nous devons faire face, nous avons opté pour une série de méthodes progressive en terme de complexité et de ressources permettant une élimination par raffinements successifs des signaux ne créant pas de bruit assez important pour être considérés comme dangereux. La plupart des méthodes étant basées sur des simulations, nous avons donc mis en place une structure de données adaptée à nos besoins c'est-à-dire la plus compacte possible et sans perte d'informations utiles.

La structure mise en place est une représentation au niveau portes logiques, obtenue à partir de la vue physique du circuit d'origine. Cette structure a l'avantage d'être très compacte (200 Mega-octets pour un circuit de 5 millions de transistors), de ne perdre aucune information sur la structure des portes et d'être directement une structure de simulation. Cette structure est une vue à plat du circuit à traiter. Le choix d'une structure à plat nous permet de modéliser tous les couplages existants dans un circuit sans omettre les couplages entre différents niveaux hiérarchiques.

Cinq méthodes sont actuellement envisagées pour effectuer la sélection des agresseurs. Elles sont énumérées dans l'ordre croissant de complexité et de capacité à discriminer les agresseurs :

III–1 - Analyse statique

Cette analyse est la plus simple. Elle ne prend en compte aucun des aspects dynamiques du circuit et consiste simplement à considérer que pour un même signal tous les signaux agresseurs commutent simultanément. Ceci n'est pas le cas dans le fonctionnement réel d'un circuit et représente le pire cas de bruit possible sur un signal. Cependant cette méthode a l'avantage d'être extrêmement simple et rapide. Elle permet d'éliminer tous les signaux qui, même dans le pire cas, n'auront pas de problèmes de diaphonie.

III-2 - Intervalles d'instabilité

Cette première méthode dynamique permet de sélectionner à une échelle temporelle plus fine un certain nombre d'agresseurs commutant simultanément. Pour ce faire, pour chaque signal est calculé l'intervalle d'instabilité. Cet intervalle est calculé en propageant, dans le réseau de portes, la plage d'instabilité des signaux d'entrée. Les intervalles sont des références de temps dans le cycle de fonctionnement du circuit.

Pour un signal, en ce basant sur le recouvrement des plages d'instabilité des agresseurs, il est possible de déterminer l'intervalle de temps et les agresseurs générant le maximum de bruit sur la victime. C'est le bruit maximum qui nous intéresse dans le cadre de la détection des signaux les plus critiques.
Bien que cette méthode soit plus précise, l'intervalle d'instabilité des signaux aura tendance à s'agrandir pour les signaux éloignés des éléments synchrones. De ce fait, l'analyse sera moins pertinente du fait que toutes les plages d'instabilité auront tendance à se recouvrir. Pour les signaux éloignés des éléments synchrones cette méthode converge vers donc la solution de la méthode (1). Tous les agresseurs seront sélectionner pour calculer le risque sur la victime pour les signaux proches des connecteurs de sortie.

III-3 - Instants d'instabilité

La phase suivante est à la base des deux méthodes suivante. Elle consiste à calculer pour les signaux tous les instants d'instabilité. Cette méthode est pus précise que la précédente car on ne considère plus une plage d'instabilité mais une série d'instants.
Comme dans la méthode (2), la sélection des agresseurs se fera en recherchant l'instant générant le maximum de bruit.

Les instants d'instabilité apportent une information d'importance qui est le sens de la transition. En effet si deux agresseurs transitent simultanément mais en sens inverse, le bruit calculé tiendra compte de la compensation des effets capacitifs et donc que le bruit généré sera moins important. Cette même distinction peut être faite pour les plages d'instabilité.

III-4 - Probabilité d'occurrence

Dans cette phase, nous restons dans le cadre de l'utilisation des instants d'instabilité des signaux cependant nous nous proposons d'y adjoindre une autre information pouvant donner une indication quant à la fréquence de reproduction des perturbations durant le fonctionnement du circuit.

Il s'agit de calculer la probabilité d'occurrence de la perturbation en se basant sur la probabilité de transition des agresseurs. Il faut noter qu'une probabilité faible n'est pas suffisante pour considérer qu'un signal n'a pas de problèmes de diaphonie.

III-5 - Corrélation entre les agresseurs

Cette méthode est la plus précise et demande le plus de ressources.
Elle consiste à se rapprocher le plus possible du fonctionnement réel du circuit en prenant en compte la corrélation logique entre les signaux. Il s'agit alors de déterminer parmi les agresseurs d'une victime quels sont ceux qui ne peuvent pas logiquement transiter simultanément. Dans ce cas, les agresseurs exclusifs générant le moins de bruit ne seront pas pris en compte dans l'évaluation du risque sur le signal victime. Comme précédemment, les transitions simultanées sont trouvées en comparant les instants de transition des agresseurs.

IV – Conclusion

Nous avons présenté un ensemble de méthodes visant l'évaluation des risques dus aux couplages capacitifs dans les technologies fortement sub-microniques. Ces méthodes ont pour objectif de classer les signaux selon leur criticité c'est-à-dire leur susceptibilité à être victime du bruit provoqué par des signaux agresseurs. L'outil CRISE est en cours de développement et implémentera les méthodes proposées pour la classification des signaux dans les circuits VLSI.

Références

[1] Nicola Delorme, « Influence des interconnexions sur les performances des circuits intégrés silicium en technologie largement submicronique », Thèse de l'INPG

[2] Tetsuya Miyoshi, Shin 'ichi Wakabayashi, Tetsushi Koide, Noriyoshi Yoshida, « An MCM Routing Algorithm Considering Crosstalk », 1995, IEEE International Symposium on Circuits and Systems

[3] Tilmann Stöhr, Markus Alt, Asmus Hetzel, Jürgen Koehl, « Analysis, Reduction and Crosstalk on VLSI Chips », ISPD 98

[4] Florentin Dartu, Lawrence T. Pileggi, « Calculationg Worst-Case Gate Delay Due to Dominant Capacitance Coupling », DAC 97

[5] Jason Cong, Lei He, Cheng-Kok Koh, Zhigang Pan, « Global Interconnect Sizing and Spacing with Consideration of Coupling Capacitance », NSF Young Investigator Award MIP-9357582

[6] Wayne Dai, Rakesh Chadha, Jason Cong, Charlie Xiaoli Huang, Anirudh Devgan, Tom Mozdzen, Andrew Yang, « PANEL : NOISE AND SIGNAL INTEGRITY IN DEEP SUBMICRON DESIGN », DAC 97