Modèle du transistor MOS à canal court en vue de l'évaluation du bruit de diaphonie dans les circuits submicroniques

Patricia Renault, Pirouz Bazargan-Sabet
ASIM/LIP6 – Université de Paris 6, 4 Place Jussieu – 75005 Paris – France
patricia.renault@lip6.fr, pirouz.bazargan-sabet@lip6.fr

Résumé

La diaphonie est un problème émergeant lié aux technologies de fabrication des circuits intégrés fortement submicroniques. La plupart des nouvelles méthodes d'évaluation du bruit de diaphonie font l'hypothèse qu'un transistor peut être remplacé par une résistance. Cela n'est vrai que si le transistor reste soit dans la zone linéaire soit dans la zone saturée. Dans cet article, nous proposons un modèle de transistor MOS à canal court en vue de l'évaluation du bruit de diaphonie.

1. Introduction

Dans les technologies submicroniques, pour compenser l'augmentation de la résistance des fils d'interconnexion due à la diminution de la finesse de gravure, deux moyens ont été adoptés : des matériaux moins résistifs sont utilisés et la hauteur des fils est augmentée. Ce dernier point a pour effet d'augmenter les capacités de diaphonie (ou de couplage) et de diminuer les capacités au substrat.

Le bruit de diaphonie est dû à la présence de cette capacité parasite entre deux fils voisins (Figure 1). Le signal V, appelé victime, est supposé stable. Quand le signal A, appelé agresseur, fait une transition un bruit parasite est injecté sur le signal victime.

Les capacités de diaphonie peuvent provoquer des dysfonctionnements aussi bien temporels que fonctionnels c'est pourquoi avec les technologies submicroniques et fortement submicroniques, il est inconcevable de négliger l'impact de ces capacités dans la méthodologie [1] et les outils de conception de circuits [2] [3] [4] [5] [6] [7]. Ainsi, pour certifier le bon fonctionnement des circuits, de nouveaux outils de vérification fiables et efficaces doivent être développés.

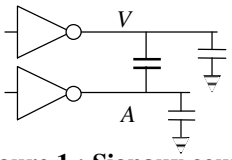

Figure 1 : Signaux couplés par une capacité de diaphonie

Dans cet article, nous détaillons, dans un premier temps, une première méthode d'évaluation du pic de bruit où les portes sont modélisées par des résistances. Puis nous proposons une modélisation plus appropriée du transistor MOS à canal court. Dans les parties 4 et 5 nous montrons les résultats obtenus ainsi que les perspectives de ce travail.

2. Modèle à base de résistances

Dans un circuit VLSI réel, les couplages diaphoniques sont bien plus complexes que dans le cas présenté en figure 1. En effet, un signal victime peut être couplé avec quelque milliers de signaux agresseurs ceux-ci étant eux même couplés avec d'autres signaux victimes (victime secondaires). Ainsi, calculer le bruit observé sur un signal dont plusieurs signaux voisins transitent est extrêmement complexe. Seul un simulateur analogique de type SPICE est capable de calculer la tension induite sur la victime sous l'effet de la transition des différents agresseurs. Cependant, il est clair que l'utilisation d'un simulateur analogique est inadaptée pour calculer le bruit de diaphonie dans un circuit VLSI qui peut comporter plusieurs millions de transistors. Aussi, il faut disposer d'un modèle analytique pour évaluer ce bruit.

Pour arriver à déterminer le bruit de manière analytique, il est indispensable de simplifier le système en introduisant des approximations [10]. Le circuit de la figure 2 est utilisé pour montrer les approximations qui seront effectuées. Nous considérons le signal victime V couplé avec deux signaux agresseurs actifs A1 et A2 et un agresseur muet Asilent. Chaque agresseur actif est couplé avec une victime secondaire (ici V1 et V2). Un agresseur est dit actif lorsqu'il effectue une transition. Un agresseur est dit muet lorsque qu'il est stable.

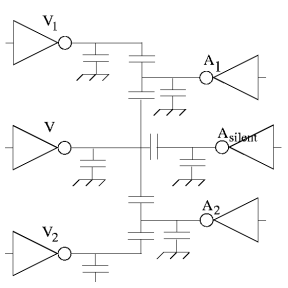

Figure 2 : Circuit complexe

Une première approximation consiste à modéliser les portes logiques (les émetteurs) par une résistance équivalente (Fig. 3). Les émetteurs des agresseurs qui effectuent une transition complète sont modélisés par une résistance appelée résistance saturée (lors d'une transition, les transistors sont essentiellement en mode saturé). Les émetteurs des victimes sont modélisés par une résistance appelée résistance linéaire (les victimes étant dans un état stable, les transistors des émetteurs restent dans leur zone linéaire). Ces approximations permettent de ramener le problème à un système d'équations différentielles du premier ordre.

Néanmoins, ce système n'est pas résoluble et doit être simplifié. Une deuxième approximation consiste à remplacer les victimes secondaires par une capacité équivalente (Fig. 4). Cette capacité équivalente est calculée de manière à reproduire le retard dû à la présence des victimes secondaires lors de la transition de l'agresseur.

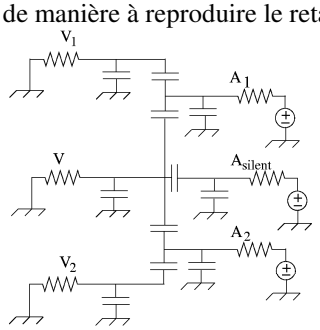

Figure 3 : Remplacement par des résistances

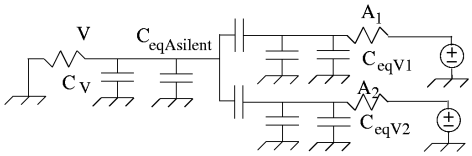

Figure 4 : Remplacement par des capacités équivalentes

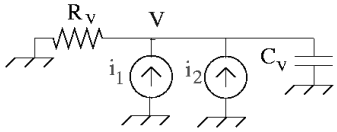

Figure 5 : Circuit équivalent

Ce système étant encore trop complexe, nous modélisons l'impact de chaque agresseur sur la victime par une source de courant de la forme $I_0e^{-t/\tau i}$. Les coefficients τ_i et I_0 sont déterminés de manière telle que l'instant et l'amplitude des pics obtenus par le schéma complet et par la modélisation effectuée (en considérant les autres agresseurs sous leur forme résistances - capacités) soient égaux.

Nous obtenons ainsi une expression simplifiée de la tension de la victime en fonction du temps. Nous pouvons calculer l'instant et l'amplitude du pic.

$$v(t) = R_v \sum_{k=1}^{2} I_{0_k} \frac{\tau_{i_k}}{\tau_v - \tau_{i_k}} (e^{-t/\tau_v} - e^{-t/\tau_{i_k}})$$

L'expérience montre que l'erreur relative entre le modèle de bruit de diaphonie et la simulation électrique de type SPICE est inférieure à 20%. Cette erreur est principalement due à :

- l'approximation de l'agresseur par une source de courant.
- l'interaction entre agresseurs est négligée lors de leur remplacement par des sources de courant.
- l'approximation de la victime par une résistance.

Dans cet article, nous proposons un modèle de transistor MOS à canal court pour palier les erreurs dues aux approximations des émetteurs des agresseurs et victimes par des résistances.

3. Modélisation de l'émetteur de la victime

3.1. Modélisation du transistor MOS à canal court

La méthode proposée s'appuie sur une modélisation du courant de drain dans un transistor à canal court (MCC). Ici nous donnons une brève description de ce modèle. Pour obtenir de plus amples informations, se référer à [8] et [9].

Dans le modèle MCC, le courant de drain d'un transistor est caractérisé par trois régions décrites par le tableau 1. Dans ce modèle, A, B et K (facteur de saturation) sont des constantes qui dépendent de la technologie. Ces paramètres sont déterminés par un ensemble de simulations électriques.

A partir du modèle MCC, nous proposons un modèle unifié du courant de drain du transistor sous la forme :

$$i_{DS} = I_{sat}(1 - e^{\frac{-v_{DS}}{\alpha}})$$

où α est un paramètre technologique.

Mode bloqué ($v_{gs}<V_t$)	Mode linéaire ($v_{ds}<V_{sat}$)	Mode saturé ($v_{ds}>V_{sat}$)
$i_{ds} = 0$	$i_{ds} = \frac{v_{ds} I_{sat}}{V_{sat}}$ $V_{sat} = K(V_{gs} - V_t)$	$i_{ds} = \frac{W}{L} \frac{A(v_{gs} - V_t)^2}{(1 + B(v_{gs} - V_t))}$

Tableau 1 : Modèle MCC

La figure 6 en annexe montre les courbes de courant de drain en fonction de la tension de grille et de drain pour le modèle proposé et une simulation SPICE pour une technologie de 0,25µm.

3.2. Décharge d'une capacité

Différentes formes de courant pourraient être utilisées pour caractériser un transistor. Cependant le modèle doit respecter certaines contraintes qui sont entre autre, la possibilité de résoudre analytiquement l'équation différentielle de décharge d'une capacité dans un transistor dont la tension de grille est constante (fig. 6).

L'équation non linéaire de premier ordre suivante caractérise la décharge d'une capacité dans un transistor :

$$I_{sat}(1-e^{\frac{-v_{DS}}{\alpha}})+C.v'_{DS}=0$$

La résolution de l'équation est obtenue en faisant le changement de variable suivant :

$$v_{DS}(t)=\alpha.\log(f)$$

$$\frac{1}{f}(I_{sat}(f-1)+C.f')=0$$

En posant $v_{ds}(0) = V_0$, nous obtenons :

$$v_{DS}(t)=\alpha.\log(1+(e^{\frac{V_0}{\alpha}}-1).e^{\frac{-I_{sat}}{C.\alpha}t})$$

La figure 7 en annexe illustre la comparaison entre cette expression et une simulation SPICE sur la même technologie 0,25µm.

4. Résultats

L'implémentation de ce modèle dans un prototype d'outil d'évaluation du bruit de diaphonie est en cours de réalisation.

Nous avons utilisé un circuit simple pour comparer les résultats obtenus avec les modèles à base de résistances et de transistors. Le circuit de test est composé d'un signal victime V couplé avec trois agresseurs actifs et trois agresseurs muets. Chaque agresseur est couplé avec trois autres victimes secondaires.

Les tables 2 à 4 montrent les valeurs de pics obtenus par simulation SPICE ainsi que l'erreur absolue ramenée à la tension d'alimentation V_{DD} pour les deux méthodes. Les deux premières lignes concernent le remplacement de la victime et des agresseurs. La troisième montre l'effet combiné de ces deux remplacements. Les résultats sont donnés pour une technologie 0,25µm et pour une tension d'alimentation de 2,25V.

Dans la première situation, le pic de diaphonie obtenu sur le circuit initial par une simulation SPICE est de 0,38V. L'erreur obtenue par la modélisation à base de transistors est supérieure à celle obtenue par la modélisation à base de résistances mais reste acceptable. Cette erreur est principalement due au fait que le nouveau modèle n'est pas précis pour les faibles valeurs de tension de drain.

Pour le second exemple, le pic de diaphonie obtenu sur le circuit initial est de 0,61V (proche de la tension de saturation). Nous pouvons déjà observer que l'erreur obtenue par le modèle proposé est bien plus faible que celle obtenue pour le modèle résistif pour des pics de bruits proches ou supérieurs à la tension de saturation du transistor.

Dans le dernier cas, un grand pic (1,135V) est produit sur la victime. L'erreur induite par le nouveau modèle est très inférieure à celle induite par le précédent modèle.

Modélisation	Ancien modèle (V)	Erreur (%)	Nouveau modèle (V)	Erreur (%)
Victime	0,397	-0,6	0,357	1,2
Agresseurs	0,341	1,9	0,361	1,0
Vict + Ag	0,357	1,2	0,331	2,3

Tableau 2 : Modèles en résistances et transistors pour un pic de 0,38V

Modélisation	Ancien modèle (V)	Erreur (%)	Nouveau modèle (V)	Erreur (%)
Victime	0,584	1,1	0,594	0,6
Agresseurs	0,495	5,0	0,555	2,4
Vict + Ag	0,489	5,3	0,533	3,3

Tableau 3 : Modèles en résistances et transistors pour un pic de 0,61V

Modélisation	Ancien modèle (V)	Erreur (%)	Nouveau modèle (V)	Erreur (%)
Victime	1,025	4,9	1,136	0,0
Agresseurs	0,960	7,8	1,136	0,0
Vict + Ag	0,888	11,0	1,135	0,0

Tableau 4 : Modèles en résistances et transistors pour un pic de 1,135V

Ces résultats montrent que la modélisation à base de transistors affecte peu l'erreur pour des pics de faibles valeurs. Par contre, pour des pics de grandes valeurs (supérieures à la tension de saturation), l'erreur induite par le modèle à base de résistances est largement réduite.

5. Conclusion et futurs travaux

Un modèle d'évaluation du bruit de diaphonie ainsi qu'un modèle de transistor ont été présentés.

Les résultats préliminaires confirment que le modèle à base de transistors est plus précis que le modèle à base de résistances et nous poussent à étudier de manière analytique l'application de ce nouveau modèle pour le remplacement des émetteurs des agresseurs.

Le modèle à base de transistors complexifie l'expression du pic et demande un temps d'exécution plus important. Cependant, cette augmentation est compensée par la forte réduction de l'erreur obtenue sur les grands pics. Ainsi, pour limiter cette augmentation, nous proposons une approche mixte en deux temps. Dans un premier temps nous utiliserons le modèle à base de résistances. Ensuite, nous appliquerons le modèle à base de transistors aux grands pics.

Dans le futur, nous modifierons le modèle d'évaluation du bruit de diaphonie pour qu'il prenne en compte l'interaction entre les agresseurs ainsi que les lignes d'interconnexion RC.

6. Bibliographie

[1] R. Saleh, D. Overhauser, S. Taylor, "Full-Chip of UDSM Designs", ICCAD, IEEE/ACM, 1998, pp. 453-460.

[2] P. Chen, K. Keutzer, "True Crosstalk Noise Analysis", DAC, IEEE/ACM, 1999, pp. 111-116.

[3] K.L. Shepard, V. Narayanan, "Noise in Deep Submicron Digital Design", ICCAD, IEEE/ACM, 1996, pp. 524-531.

[4] B.N. Sheehan, "Predicting Coupled Noise in RC Circuits", DATE, IEEE, 2000, pp. 517-521.

[5] B. Choi, D.M. H. Walker, "Timing Analysis of Combinational Circuits Including Capacitive Coupling and Statistical Process Variation", DATE, IEEE, 2000, pp. 59-54.

[6] T. Xue, E.S. Kuh, D. Wang, "Post Global Routing Crosstalk Risk Estimation and reduction", ICCAD, IEEE/ACM, 1996, pp. 302-309.

[7] H. Zhou, D.F. Wong, "An Optimal Algorithm for River Routing with Crosstalk Contraints", ICCAD, IEEE/ACM, 1996, pp. 310-315.

[8] A. Hajjar, "Modelisation des temps de propagation et analyse temporelle statique", Ph.D. dissertation, University of Paris 6, 1992.

[9] A. Hajjar, R. Marbot, A. Greiner, P. Kiani, "TAS: An Accurate Timing Analyser for CMOS VLSI", EDAC, IEEE, 1991, pp. 261-265.

[10] P. Bazargan-Sabet, F. Ilponse, "Modeling Crosstalk Noise for Deep Submicron Verification Tools", DATE, 2001.

Annexes

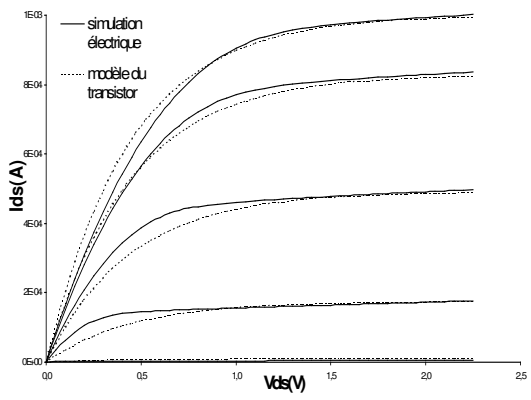

Figure 6 : Ids=f(Vds,Vgs) pour le modèle proposé et une simulation SPICE

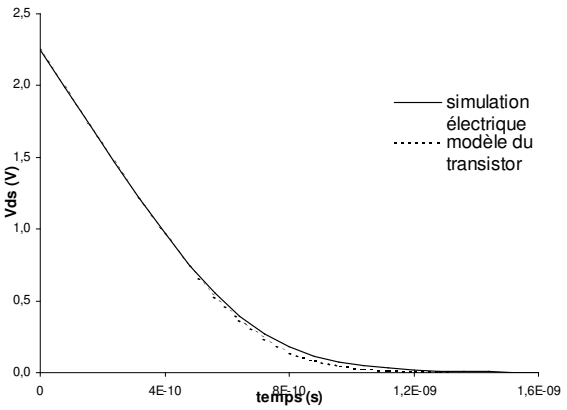

Figure 7 : Tension de drain en fonction du temps