

Conception d'un outil d'évaluation des bruits diaphoniques dans les circuits submicroniques

Patricia Renault, Dominique Le Dû, Fabrice Ilponse, Pirouz Bazargan Sabet
Dept. ASIM/LIP6

Université Pierre et Marie Curie, Paris

E-mail : . Patricia.renault@lip6.fr

Résumé

La diminution constante de la finesse de gravure a pour effet d'augmenter le rapport capacités de couplage - capacités à la masse. Un phénomène jusqu'alors négligé devient désormais important : la diaphonie. Cet article expose la méthode de simulation implantée dans un outil d'évaluation du bruit de diaphonie.

1. Introduction

Les capacités de diaphonie peuvent provoquer des dysfonctionnements aussi bien temporels que fonctionnels. C'est pourquoi il faut à la fois modifier la méthodologie [1] et les outils de conception de circuit[2] [3]. Pour certifier le bon fonctionnement des circuits, de nouveaux outils de vérification fiables et efficaces doivent être développés.

Le bruit de diaphonie est dû à la présence d'une capacité parasite entre deux fils voisins (Figure 1). Le signal victime (V), est supposé stable. Quand le signal agresseur (A), fait une transition, un bruit parasite est injecté sur le signal victime.

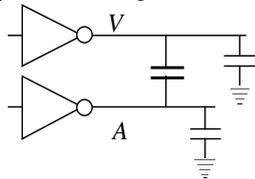


Figure 1 : Signaux couplés par une capacité de diaphonie

Dans cet article, nous décrivons l'influence des capacités de diaphonie, les études déjà réalisées ainsi que la méthode de simulation que nous avons implantée et les résultats obtenus. Le modèle d'évaluation du bruit de diaphonie est décrit en [4].

2. Impacts des capacités de diaphonie

L'impact de la diaphonie sur le délai de transition et sur l'amplitude des signaux est expliqué ci-après.

2.1 Délais de transition des signaux

Imaginons que les signaux A et V transitent simultanément dans un sens opposé. Initialement, la capacité de diaphonie est totalement chargée. Durant la transition, elle se décharge via la capacité à la masse de la victime ce qui ralentit sa transition.

Quand les deux signaux transitent simultanément dans un même sens, la transition du signal victime est accélérée. Ce phénomène n'est pas étudié ici.

2.2 Bruit ajouté aux signaux

Etudions le cas où la victime est stable et l'agresseur transite. Initialement, la capacité de diaphonie est déchargée. Lors de la transition, elle se charge et provoque l'augmentation de la tension V. Une fois la capacité de diaphonie totalement chargée, la victime retrouve sa valeur initiale. Nous avons obtenu un bruit sur le signal victime (cf. fig. 2).

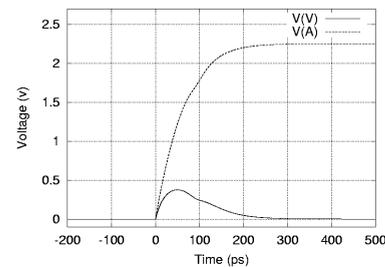


Figure 2 : Bruit injecté sur la victime

Quand l'agresseur transite dans le sens opposé, le pic est inversé. Le phénomène est identique quand le signal victime est stable au niveau.

Dans un circuit réel, les couplages diaphoniques sont bien plus complexes que dans le cas présenté. Une victime peut être couplée avec quelque milliers d'agresseurs eux même couplés avec d'autres victimes. Dans cet article nous exposons une méthode d'analyse des configurations des signaux agresseurs basée sur une simulation événementielle.

3. Etat de l'art

Le bruit de diaphonie peut être évalué soit lors de la conception soit lors de la vérification. Nous détaillons ces deux méthodes ci-après.

3.1 Evaluation lors de la conception

De nombreuses méthodes [5], intervenant au moment du routage, permettent de minimiser le bruit dû à la diaphonie. L'une d'entre elles consiste à sommer les différentes longueurs de section de fil agresseur étant en vis à vis avec le fil victime. Les fils sont classés suivant leur risque de subir un bruit de diaphonie. Cette méthode a une précision très faible car elle ne tient pas compte des capacités à la masse et des puissances des portes.

3.2 Evaluation lors de la validation

La formule de calcul du pic du bruit de diaphonie est proposée dans [6].

$$V_{bruit} = V_{DD} \cdot \frac{C_{diaphonie}}{C_{diaphonie} + C_{masse\ de\ la\ victime}}$$

Pour un pic de 0,42V obtenu avec une simulation Spice, cette méthode donne une valeur de 1,68V, pour une tension d'alimentation de 2,25V. L'erreur étant trop importante nous avons développé un modèle d'évaluation du bruit basé sur une méthode d'analyse des configurations des agresseurs.

4. Méthode utilisée

Un des points clé de la simulation réside dans l'analyse des configurations d'agressions possible. Deux filtrages permettent d'évaluer de manière grossière puis d'une manière fine les signaux susceptibles de présenter des bruits trop importants.

Dans le premier filtre ou méthode maximaliste, nous considérons que tous les agresseurs commutent simultanément. Ceci présente le désavantage de surestimer le bruit affectant chaque victime mais définit un bruit maximum qui élimine d'emblée les signaux n'atteignant pas un seuil critique.

Le second filtre ou analyse statique d'instabilité permet d'établir de façon réaliste le bruit subit par chaque signal. Nous définissons des intervalles d'instabilité (durée pendant laquelle le signal risque de transiter) montants et descendants pour chaque agresseur à partir du graphe du circuit et en tenant compte des délais de propagation des portes (fig. 3).

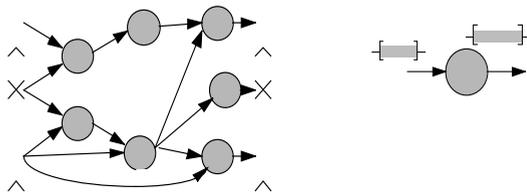


Figure 3 : Graphe du circuit et propagation de l'intervalle d'instabilité à travers une porte

Une configuration d'agression maximale est définie par la coïncidence des intervalles d'instabilité des agresseurs d'une victime (fig. 4 pointillés).

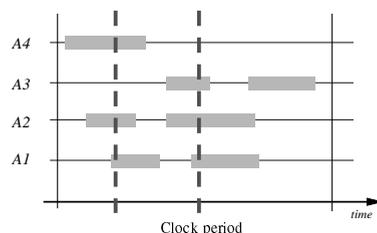


Figure 4 : Configuration d'agressions maximales

Nous nous basons sur les différentes configurations maximales d'agression pour appliquer le modèle d'évaluation du bruit présenté en [4].

La figure 5 montre le bruit de diaphonie obtenu sur chaque signal avec les deux méthodes.

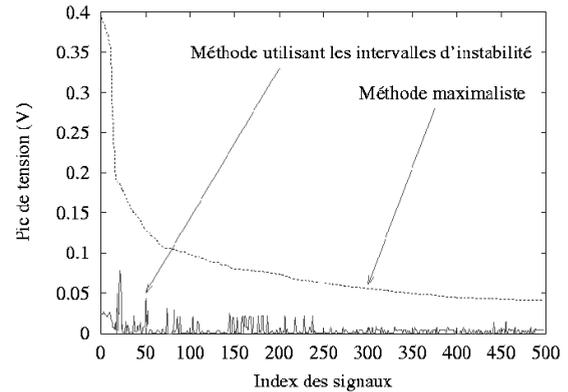


Figure 5 : Méthodes comparées

5. Applications et résultats

Ces principes généraux ont donné naissance à un logiciel appelé CRISE (Crosstalk RiSk Evaluation). En comparant les résultats obtenus avec l'outil et avec une simulation Spice sur un AMD2901 (5000 transistors - 3 niveaux de métaux), nous obtenons une erreur de 15% pour un temps d'exécution de quelques secondes pour l'outil à 4 jours pour le simulateur.

Le test sur un SOC développé au laboratoire ASIM intégrant près de 1.2M de transistors en technologie 0.25µm et 5 niveaux de métaux s'évalue en 1h30 pour 400Mo de mémoire allouée ; ce qui serait impossible sur un simulateur électrique.

6. Conclusion

Il est nécessaire de disposer d'outils aptes à simuler des circuits de plusieurs millions de transistors en des temps courts.

Nous démontrons que notre outil offre des performances satisfaisantes pour des modèles simples mis en œuvre avec une faible marge d'erreur.

Référence

- [1] R. Saleh, D. Overhauser, S. Taylor, "Full-Chip of UDSM Designs", ICCAD, IEEE/ACM, 1998, pp. 453-460.
- [2] B.N. Sheehan, "Predicting Coupled Noise in RC Circuits", DATE, IEEE, 2000, pp. 517-521.
- [3] B. Choi, D.M. H. Walker, "Timing Analysis of Combinational Circuits Including Capacitive Coupling and Statistical Process Variation", DATE, IEEE, 2000, pp. 59-54.
- [4] P. Bazargan-Sabet, F. Ilpense, "Modeling Crosstalk Noise for Deep Submicron Verification Tools", DATE, IEEE, 2001.
- [5] D. Wang, E. S. Kuh, "A Performance-Driven MCM Router with Special Consideration of Crosstalk Reduction", DATE, IEEE, 1998.
- [6] F. Dartu, L. T. Pileggi, "Calculating Worst-Case Gate Delays Due to Capacitance Coupling", DAC, IEEE, 1997.