

STEPS: une approche logicielle pour le test des circuits intégrés sur puce (SoC)

Matthieu Tuna, Emmanuel Viaud
Laboratoire LIP6, Dept ASIM
12, rue Cuvier
75252 Paris Cedex 05, France

Tel. (+33)1 44 27 65 28 - Fax. (+33)1 44 27 72 80

E-mail: {matthieu.tuna, emmanuel.viaud}@lip6.fr

Résumé

Les progrès de la technologie offrent aux concepteurs la possibilité d'intégrer sur un même circuit un système complet. Cependant du point de vue du test, ces systèmes sur puce posent de nouveaux problèmes. Cet article présente STEPS, une approche logicielle pour tester les SoCs compatibles avec la norme IEEE P1500. STEPS est basé sur le concept que le testeur industriel n'est plus considéré comme un initiateur appliquant des vecteurs aux plots de test du SoC mais plutôt comme une cible, une gigantesque mémoire contenant le programme de test. STEPS présuppose que le SoC intègre un contrôleur de RAM externe sur lequel le testeur sera connecté. L'unique ajout dans le SoC est un processeur de test P1500 qui exécute le programme contenu dans le testeur. Une comparaison entre l'approche STEPS et une stratégie classique de type bus est présentée.

1. Introduction

Avec l'avènement des systèmes intégrés ("System on a Chip" ou SoC), les méthodologies de conception sont principalement guidées par le "Time-To-Market", et par conséquent basées sur l'utilisation de plus en plus fréquente de coeurs (microprocesseurs, DSP, RAM...) déjà préconçus. La réutilisation dans la conception est obligatoire dans ces méthodologies de conception, chaque coeur (IP core) peut provenir de fournisseurs différents, avec pour conséquence que le réemploi du test n'est pas implémentable aisément ([1]). Le test de SoCs complexes pose de nombreux problèmes, comme le besoin d'une architecture de test uniforme pour ces coeurs ayant différentes fonctionnalités fournis par des vendeurs d'IP différents. Afin de répondre à ces défis, quelques groupes de travail ont été créés ([2] [3]), afin de définir de nouveaux standards et de simplifier l'intégration du test. L'"IEEE P1500 working group" définit la façon dont un coeur doit être préparé afin d'être testé lorsque celui-ci est intégré dans un SoC. Ce groupe de travail P1500 a spécifié un "Wrapper P1500" [4] ajouté autour de chaque IP core, afin

d'uniformiser l'accès au test de chaque coeur. Il est à remarquer que ce groupe de travail n'a pas l'intention de standardiser le mécanisme de transport des données des plots du SoC vers les plots du coeur ("Test Access Mechanism" ou TAM). L'intégrateur du SoC est libre d'utiliser le mécanisme d'accès au test approprié. La plupart des TAMs publiés ([5] [6] [7] [8]) sont basés sur l'utilisation d'un bus dédié au test. Dans ce type de stratégie le testeur envoie les vecteurs de test propres à chaque IP par l'intermédiaire de ce bus. La performance en terme de temps de test de ces types d'architecture dépend de la largeur du bus. Cette stratégie implique une augmentation de la surface au niveau du SoC due au routage et aux plots ajoutés, dédiés au test. De plus, le temps de test est étroitement lié à la fréquence délivrée par le testeur. Ainsi, les puces devenant plus rapides, l'écart de fréquence entre le SoC et l'équipement de test devient de plus en plus important. Afin de réduire cet écart, les testeurs industriels ("Automatic Test Equipment" ou ATE) ne cessent d'augmenter leurs performances avec pour conséquence l'augmentation débridée de leur coût. Pour s'affranchir de ces limitations, une façon naturelle d'opérer consiste à transférer les fonctionnalités de l'ATE dans le SoC. Ce papier présente l'approche STEPS, une stratégie basée sur ce concept à travers la réutilisation des ressources fonctionnelles existantes sur le SoC. STEPS est l'acronyme de "Software-based Test Environment for P1500 compliant SoCs". Cette approche permet l'exécution des programmes de test à plus grande vitesse et nécessite l'emploi d'ATEs moins onéreux. Ce papier se compose de 3 sections, organisé comme suit ; la section 2 présente les concepts clés de STEPS. Les résultats expérimentaux sont discutés dans la section 3. Et enfin la dernière section conclut ce papier.

2. Les concepts clef de l'approche STEPS

2.1. La méthodologie STEPS

La méthodologie STEPS peut-être appliquée aux SoCs qui présentent les caractéristiques suivantes (voir figure 1) :

- Le SoC doit disposer d'un bus système ou d'un réseau d'interconnexion supportant le schéma initia-

teur/cible.

- Un contrôleur de RAM externe avec une interface 32 bits doit être présent. Durant l'utilisation normale du SoC, le contrôleur de RAM externe peut-être utilisé pour ajouter de la mémoire ou des périphériques. Pendant la durée de test du SoC, les 32 plots de l'interface sont physiquement connectés à l'ATE. Ainsi, le test du SoC ne requiert pas de plots spécifiques et dédiés au test.
- Les IP à tester sont compatibles avec la norme IEEE P1500. Chaque IP dispose d'informations relatives à son test, les vecteurs à appliquer ainsi que les réponses attendues.
- Les IPs à tester appartiennent au même domaine d'horloge. Il existe un processeur de test pour chaque domaine d'horloge.
- Un processeur généraliste 32 bits est disponible pour le test.

STEPS est basé sur le concept que l'ATE n'est plus considéré comme un initiateur appliquant des vecteurs aux plots de test du SoC mais plutôt comme une cible, une gigantesque mémoire de données de tests séquentielles "formatées" appelées P1500-insts. L'ATE est connecté à l'interface du contrôleur de RAM externe. Les P1500-insts sont des mots de 32 bits. Chaque instruction contient toutes les informations permettant l'accès à l'interface de test de l'IP visé avec les bonnes données et au moment voulu. Les P1500-insts correspondent aux instructions de type "load immediate" d'un microprocesseur généraliste et sont composées d'un opcode sur 8 bits et d'un immédiat sur 24 bits. Les instructions P1500 sont réunies dans un unique exécutable. Le programme P1500 est exécuté par un processeur dédié au test, sous le contrôle du microprocesseur généraliste embarqué. Aux blocs fonctionnels du SoC, STEPS ajoute donc un unique composant matériel : un processeur entièrement dédié au test du SoC. Le processeur de test P1500 a deux interfaces. D'un côté, c'est un périphérique mappé en mémoire pour le bus système et peut ainsi être adressé comme n'importe quelle ressource par le microprocesseur embarqué. D'un autre côté, c'est un TAM qui délivre les vecteurs de test aux IPs équipés d'un "wrapper" P1500. Un ensemble de vecteurs est appliqué à chaque IP, trois modes de test peuvent être sélectionnés pour tester les différents coeurs du SoC selon le niveau de diagnostic désiré. Ces modes de test permettent d'identifier le coeur fautif, le vecteur fautif ou bien le bit fautif :

1. le mode "Test et Diagnostic" : la réponse est comparée bit à bit à celle attendue. Cela permet de détecter le bit fautif pour un diagnostic précis.
2. le mode "Analyse de Signature" : le processeur de test fournit une signature pour chaque vecteur de test et par IP. En comparant cette signature à la signature saine, ce mode permet de cibler le vecteur fautif.
3. le mode "Go/NoGo" : une signature est calculée pour l'ensemble des vecteurs d'un IP. Ce mode permet d'identifier l'IP fautive.

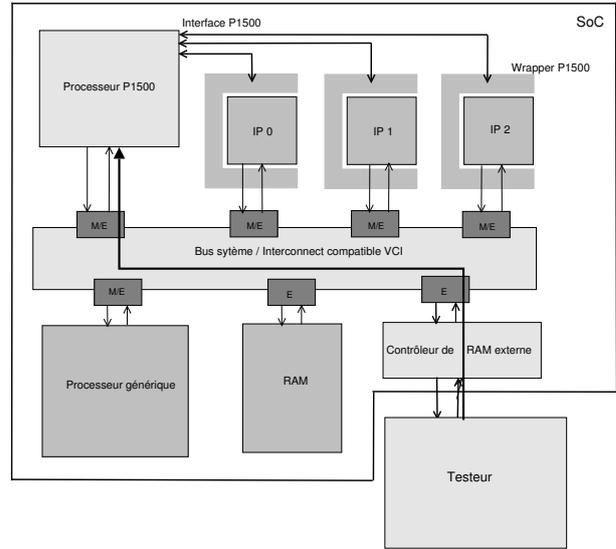


FIG. 1. Architecture caractéristique overview

2.2. Le processeur de test P1500

Le processeur de test P1500 a été conçu pour être de surface minimale, et permettre une gestion optimale des flux P1500 sur plusieurs IP en parallèle. Le processeur est à la fois une cible et un initiateur sur le bus système. Comme cible, le processeur de test reçoit des commandes émises par le microprocesseur embarqué. Le microprocesseur envoie au processeur de test l'adresse d'un segment dans la mémoire contenant le programme de test. Ce mécanisme nous permet de mapper le segment dans la RAM externe ou dans la RAM embarquée dans le SoC. Dans le premier cas, les instructions du processeur de test sont localisées directement dans l'ATE, et les instructions sont récupérées à la vitesse des plots du SoC. Dans le second cas, les instructions sont récupérées à la fréquence de l'horloge du SoC. Comme initiateur, le processeur de test adresse directement la mémoire de l'ATE et récupère ainsi les instructions de test. Une fois que le contrôle global de l'interconnect du système a été accordé, et grâce à un prefetch buffer, le processeur de test peut exécuter une instruction de test P1500 (de 32 bits) par cycle d'horloge, et ainsi assurer un flux de bits constant sur les interfaces P1500 des IPs wrappés.

2.3. Le jeu d'instructions du processeur

Du point de vue du jeu d'instructions, le processeur de test ressemble plus à un DMA qu'à un processeur généraliste. Les instructions de 32 bits exécutées par le processeur de test sont décomposées comme suit : 8 bits définissant le type de l'instruction (champ "opcode") et 24 bits de données (champ "data"). Les différents type d'instruction sont :

- la configuration du wrapper P1500 entourant le coeur à tester.
- le chargement du chemin de scan du wrapper P1500 de l'IP visé.

| SOC | STEPS | TR-Architect | $\frac{STEPS}{TR-Architect}$ | Wrp FF | STEPS FF | $\frac{WrpFF}{STEPSFF}$ |
|---------------|-----------|--------------|------------------------------|---------|----------|-------------------------|
| d695 | 199,916 | 44,307 | 4.52 | 1845 ff | 1604 ff | 0.87 |
| p22810 | 2,270,033 | 458,068 | 4.95 | 5562 ff | 2756 ff | 0.51 |
| p34392 | 5,272,370 | 1,010,821 | 5.21 | 1884 ff | 2180 ff | 1.15 |
| p93791 | 5,862,055 | 1,791,638 | 3.27 | 8699 ff | 3012 ff | 0.34 |

TAB. 1. Comparaison entre STEPS et une stratégie de type bus

- la réception du vecteur réponse de l'IP.
- l'application effective des vecteurs de test aux entrées de l'IP.
- la comparaison des résultats attendus avec ceux récupérés.

Les données de test à appliquer à l'IP sont placées dans les 24 bits du champs "data" de l'instruction. L'envoi d'un vecteur de test de plus de 24 bits à une IP donnée nécessite un découpage afin d'être envoyé en plusieurs fois. Le vecteur de test est découpé en tronçons de 24 bits. Par exemple, si l'on désire envoyer un vecteur de 117 bits, il est découpé en 4 tronçons de 24 bits plus un de 21 bits ($117=24*4+21$). La séquence d'instructions créées est une suite de 4 instructions précisant que les 24 bits de données sont à envoyer, suivie d'une instruction qui indique que seulement 21 bits du champ "data" doivent être envoyés.

3. Résultats expérimentaux et discussion

Les résultats sont obtenus avec des simulations de plateformes écrites en SystemC. Le SoC est construit autour d'un interconnect système au standard VCI. Le modèle de microprocesseur embarqué est le MIPS R3000. L'ATE est modélisé comme une RAM cible de grande capacité. Les connexions entre le processeur de test P1500 et les IPs sont établies grâce à des fils dédiés P1500. Ceci permet l'application de la méthode STEPS à des modèles de SoC issus des "ITC'02 benchmarks". Le tableau 1 montre les temps de test en nombre de cycles d'horloge, de ces quatre benchmarks. Ces résultats sont donnés pour le mode "Test et Diagnostic" de STEPS afin d'effectuer une comparaison équitable avec un TAM ayant une stratégie de type bus. Les trois dernières colonnes donnent une estimation de la surface en terme de bascule, de la somme totale des wrappers P1500, du processeur de test, et du ratio correspondant. La comparaison entre STEPS en mode "Test et Diagnostic" et une stratégie optimisée de type bus (TR-Architect) montre un ratio entre 3 et 5. Cependant, pour TR-Architect, le test est appliqué à la fréquence de l'ATE alors que STEPS fonctionne à la vitesse des plots du SoC ou à la vitesse du système si le programme de test est stocké dans la RAM embarquée. Du fait que STEPS est indépendant de l'horloge de l'ATE, le ratio de cycles de test est contrebalancé par une fréquence plus élevée. En ce qui concerne la surface, la comparaison entre la surface totale occupée par les wrappers P1500 et celle du processeur montre que cette dernière n'est pas négligeable. Cependant ce point est à rapporter à la surface totale du SoC. Du point de vue du concepteur, le processeur de test n'est qu'une IP de plus

dans le SoC. L'utilisation de composants standards pour le test permet à cette activité d'être grandement simplifiée.

4. Conclusions

Ce papier a décrit une approche innovante, appelée STEPS, dédiée au test des systèmes sur puce incluant des composants compatibles avec la norme IEEE P1500. Utilisant les ressources internes, le test du système peut être effectué grâce à un processeur P1500 ajouté à cet effet. Le programme de test habituellement exécuté par le testeur industriel est désormais exécuté par le processeur à la fréquence du circuit. Ceci permet l'utilisation de testeurs à bas prix. Le testeur est considéré comme un périphérique contenant le code du programme de test ainsi que les données. L'approche STEPS offre une flexibilité optimale pour le développement des stratégies de test : le programme peut être hiérarchique et basculer dans le meilleur mode de test (debug, production...). Il peut même être développé après que la puce a été envoyée en fonderie. Ce programme de test peut facilement être porté sur différents SoCs contenant différents microprocesseurs.

Références

- [1] Y. Zorian, E. J. Marinissen, and S. Dey Testing Embedded-Core Based System Chips. *Proceedings IEEE International Test Conference (ITC)*, pages 130-143, Washington, DC, Octobre 1998.
- [2] IEEE P1500 Web Site. <http://grouper.ieee.org/groups/P1500>
- [3] VSI Alliance Web Site. <http://www.vsi.org>
- [4] E. J. Marinissen et al On IEEE P1500's Standard for Embedded Core Test. *Journal of Electronic Testing : Theory and Applications*, 18(4/5) :365 :383, August 2002.
- [5] E. J. Marinissen et al A Structured And Scalable Mechanism for Test Access to Embedded Reusable Cores. *Proceedings IEEE International Test Conference (ITC)*, pages 284-293, Washington, DC, Octobre 1998.
- [6] Prab Varma and Sandeep Bhatia. A Structured Test Re-Use Methodology for Core-Based System Chips. *Proceedings IEEE International Test Conference (ITC)*, pages 294-302, Washington, DC, Octobre 1998.
- [7] Lee Whetsel. Addressable Test Ports : An Approach to Testing Embedded Cores. *Proceedings IEEE International Test Conference (ITC)*, pages 1055-1064, Atlantic City, NJ, September 1999.
- [8] Mounir Benabdenbi, Walid Maroufi, and Meryem Marzouki. CAS-BUS : A Test Access Mechanism and a Toolbox Environment for Core-Based System Chip Testing. *Journal of Electronic Testing : Theory and Applications*, 18(4/5) :455-473, August 2002.