Un convertisseur flash 4 bits à base de transistors MOS consommant 3,8 mW à 300MHz

Laurent de Lamarre, Marie-Minerve Louërat Laboratoire LIP6 Université Pierre et Marie Curie (Paris 6) 12 rue Cuvier 75005 Paris, France

E-mail: Laurent.delamarre@lip6.fr

Résumé

Cet article présente un convertisseur analogique-numérique flash différentiel basé sur un comparateur différentiel programmable. Ce comparateur s'inspire du comparateur dynamique publié par Lewis et Gray [1]. Sa topologie ne comporte que des transistors MOS, sans aucun composant passif. Il fonctionne à basse tension d'alimentation. Un convertisseur flash 4-bits, utilisant ce comparateur, a été conqu pour réaliser la fonction de quantification d'un modulateur sigma-delta multi-bits. La technologie cible est 130 nm sous 1,2 V. Les simulations électriques montrent que le circuit fonctionne à 300 M-Echantillons/s en consommant 3,8 mW.

1. Introduction

Les modulateurs $\Sigma\Delta$ à temps continu permettent d'éviter de recourir au filtrage anti-repliement, ce qui est impossible dans le cas des modulateurs à temps discret. Plusieurs réalisations ont montré que les modulateurs à temps discret atteignent une précision élevée pour une basse consommation, mais ils ont l'inconvénient d'être très sensibles à l'incertitude sur la date d'échantillonnage du signal de retour de boucle. Pour diminuer cette sensibilité, une solution consiste à remplacer le quantificateur monobit par un quantificateur multi-bits [2,3].

Cet article présente un convertisseur analogiquenumérique flash qui réalise la fonction de quantification d' un modulateur $\Sigma\Delta$ multi-bits(Figure 1._ Il est construit à partir d'un comparateur différentiel inspiré des comparateurs utilisés dans les convertisseurs pipe-line [1,4,5]. Ce comparateur est caractérisé par une topologie ne comportant que des transistors MOS, une tension de seuil programmable, une entrée et une sortie différentielles et un fonctionnement à basse tension d'alimentation. Cependant plusieurs études ont montré qu'une telle architecture de comparateur est très sensible aux défauts d'appariement [5,6].

A l'aide de ce comparateur, on a réalisé un convertisseur analogique-numérique flash en technologie CMOS 130nm,

Andreas Kaiser IEMN Département ISEN UMR CNRS 8520 41 bd Vauban 59046 Lille Cedex, France

fonctionnant sous 1,2 V sans utiliser ni échelle de résistance ni capacité commutée. Le convertisseur fonctionne à 300 M-Echantillon/s, ce qui permet de l'utiliser dans un convertisseur à suréchantillonnage. Les simulations ont montré qu'il consomme 3,8 mW.



Figure 1: Modulateur Sigma Deltamulti-bits

Cet article présente l'architecture du convertisseur flash dans le paragraphe 2 puis la conception du comparateur dans le paragraphe 3 qui doit tenir compte des erreurs dues au défaut d'appariement. Les résultats de simulation sont donnés au paragraphe 4.

2. Le convertisseur flash

2.1 L'architecture du convertisseur flash 4 bits

Le principe de l'architecture du convertisseur est illustré par la figure 2. L'entrée différentielle (Vin+ et Vin-) est comparée de manière simultanée avec 15 seuils fournis par les comparateurs programmables. Ces tensions de seuils sont générées à partir de deux tensions de référence Vref+ et Vref-. Pour obtenir les différentes valeurs des seuils on utilise deux bancs de transistors en régime de fonctionnement triode pour réaliser des résistances contrôlées. C'est en jouant sur le nombre de grilles reliées à Vref+ ou Vref- que l'on modifie la tension de seuil (cf. Fig. 3 et Fig. 4).

Les 15 sorties différentielles du comparateur qui constituent le code thermométrique du signal d'entrée sont ensuite codées selon le code binaire en 4 bits.



Figure 2. Principe du convertisseur Flash 4 bits

2.2 Le comparateur différentiel

Le principe du comparateur différentiel est illustré par la figure 3. Le comparateur utilise un bistable (deux inverseurs rebouclés) commandé par un interrupteur fonctionnant sur l'horloge de suréchantillonnage. Les courants qui circulent dans les inverseurs dépendent de la valeur des conductances commandées. La valeur de ces conductances est déterminée par la valeur du signal d'entrée (Vin+ et Vin-) et des tensions de référence (Vref+ et Vref-).



Figure 3. Principe du comparateur

La comparaison s'effectue en deux phases. Dans la phase d'initialisation, l'interrupteur est passant et les sorties des inverseurs sont égales. Pendant cette phase, le courant statique qui circule dans le circuit n'est pas nul. Dans la phase de comparaison, l'interrupteur est coupé et l'état final des sorties (Vout+ et Vout-) dépend de la différence des courants qui peuvent traverser les inverseurs. La technique utilisée pour réaliser le banc de conductances commandées consiste à diviser les transistors M1, M2 et M3 respectivement en $(2^{NB} - 2)$, n et $(2^{NB} - 2 - n)$ transistors en parallèle, où NB est le nombre de bits du convertisseur, et n est l'index du comparateur $(0 <= n < 2^{NB})$.





Etant donné que les transistors M1, M2 et M3 fonctionnent en régime de triode, les conductances des branches gauche Gg et droite Gd du comparateur peuvent s'exprimer selon les équations suivantes :

$$\begin{split} &Gg=k.\,W/L((2^{NB}-2).\,Veg++n\,.\,Vreg++(\,2^{NB}-2-n).\,Vreg-)\\ &Gd=k.\,W/L((2^{NB}-2).\,Veg+n\,.\,Vreg-+(\,2^{NB}-2-n).\,Vreg+)\\ &ou\ Veg+=Vin+-Vth\\ &Veg-=Vin--Vth\\ &Vreg+=Vref+-Vth\\ &Vreg-=Vref+-Vth\\ &Vreg-=Vref--Vth \end{split}$$

W et L sont respectivement la largeur et la longueur du transistor élémentaire, Vth la tension de seuil du transistor élémentaire. L'égalité des conductances Gg et Gd est atteinte pour le niveau de tension suivant :

$$Vin_th = ((2^{NB} - 2 - n)/(2^{NB} - 2))(Vref + -Vref-)$$
(1)

qui est la tension de seuil différentiel du comparateur d'indice n. On peut ainsi fixer le seuil du comparateur par le nombre de transistors connectés à Vref+ ou Vref- dans chaque branche.

3. La conception du comparateur différentiel

3.1 Les erreurs dues aux défauts d'appariement

L'équation (1) pour le comparateur d'indice n n'est valable que si l'appariement entre les transistors M1, M2 et M3 dans les deux branches du comparateur est parfait. Dès lors qu'il existe une différence Δ Vth entre les tensions de seuils des deux branches l'équation (1) devient :

Vin_th=
$$((2^{NB} - 2 - n)/(2^{NB} - 2))$$
 (Vref+ - Vref-) + Δ Vth (2)

Ce qui crée une tension de décalage au niveau du comparateur.



Figure 5. Effet de l'erreur d'appariement. Les courants de branche sont représentés en fonction de la tension différentielleà l'entrée pour le comparateur d'indice 7 dans le cas nominal et dans les cas extrêmes résultant d'une analyse Monte Carlo. La tension de seuil nominale de ce comparateur vaut 0V.

En ce qui concerne l'effet des transistors M4, une erreur d'appariement sur leur tension de seuil conduit à une erreur d'appariement entre les tensions drain-source des transistors en régime triode dans les deux branches du comparateur. Ceci peut conduire à une différence significative des courants dans les branches. En conséquence, si la variation de courant ΔI due au défaut d'appariement est supérieure à la variation de courant résultante de la variation du signal d'entrée, le comparateur peut ne jamais basculer. Cet effet est illustré par la figure 5.

1.2 La correction des défauts d'appariement

Pour corriger les effets décrits dans le paragraphe précédent, une première solution consiste à utiliser des transistors (M1 à M4) suffisamment grands pour diminuer les variations de tension de seuil entre les transistors. Le dessin des masques doit être optimisé pour maximiser l'appariement. On a choisi d'interdigiter les transistors dans une matrice à géométrie centrée (Figure 6).



Figure 6 . Masques du convertisseur flash obtenus avec CAIRO+ [7,8].

Pour diminuer l'effet du décalage de la tension de seuil à l'entrée du comparateur, on peut augmenter la transconductance des transistors M1 à M3 devant celle de de M4. En effet si gm4 est supérieure à gm1,2,3 c'est M4 qui impose le courant de branche et donc sa variation avec le signal d'entrée sera faible. De manière à augmenter le gain en courant par rapport au signal d'entrée différentiel, on choisit donc d'augmenter les conductances gm1,2,3 dont l'expression approchée est donnée par :

$$gm1,2,3 = k (W/L) Vds1$$

On peut augmenter gm1,2,3 en augmentant Vds1 tout en prenant garde à conserver les transistors en régime triode. Cet effet est illustré par le Tableau 1.

Vds1	Largeur W1	Ecart Type
(mV)	(nm)	(mV)
100	629	19
150	534	8

Tableau 1. Effet de l'augmentation des transconductances gm1,23 par augmentation de Vds1, sur l'écart - type de la tension de seuil du comparateur centré sur 0V (comparateur d'indice 7)

1.3 Les compromis de conception

Les caractéristiques requises par le modulateur Sigma Delta pour le convertisseur flash portent sur les valeurs de précision, vitesse, surface et consommation. Elles sont directement liées aux performances du comparateur différentiel.

La précision du comparateur : on sait qu'en augmentant la longueur des transistors en régime triode, on peut diminuer la variation sur la tension de seuil de ces transistors. Ceci permet de diminuer la tension de décalage du comparateur et donc, de diminuer le signal d'entrée et d'augmenter la tension drain–source Vds1. L'inconvénient d'augmenter trop Vds1 est de diminuer la tension effective de grille de M4 ce qui augmente l'eneur sur les courants de branche.

La vitesse du comparateur : En augmentant la longueur des transistors M4 et M5, on peut diminuer l'erreur de courant de branche, cet effet est illustré par le tableau 2. Cependant on augmente ainsi les capacités grillesource Cgs. De plus, si le courant de branche est fixé, il faut augmenter la largeur des transistors du bistable dans les mêmes proportions. En supposant que le bistable est chargé par un inverseur standard, la valeur de la capacité d'entrée des inverseurs du bistable devient prépondérante en tant que charge et le temps de réponse du comparateur diminue de manière quadratique (produit WL).

La surface et la consommation : la surface est dominée par les transistors en triode (Figure 6). Pour une valeur fixée Vds1, la taille minimale des transistors triode fixe la consommation. Augmenter L permet de diminuer la consommation au prix d'une augmentation de la surface.

Pour dimensionner le circuit on a retenu 3 variables indépendantes : la tension Vds1, le courant de branche et les longueurs des transistors.

Vds1	Largeur W1	Longueur L4	Ecart-type
(mV)	(nm)	(nm)	(mV)
100	1 384	650	19
100	1 384	910	15

Tableau 2. Effet de l'augmentation de la longueur des transistors M4 et M5 sur l'écart-type de la tension de seuil du comparateur centré sur OV (comparateur d'indice 7)

La première étape consiste à calculer les dimensions des transistors M1, M2 et M3. Ceci est fait en supposant que

les tensions de grille sont au niveau du mode commun d'entrée. La deuxième étape consiste à dimensionner les inverseurs en supposant que la tension à l'équilibre est la demi tension d'alimentation. Les variables indépendantes sont utilisées pour atteindre les spécifications requises en terme de précision et de vitesse.

Le transistor utilisé pour réaliser l'interrupteur peut être de longueur minimale. Sa largeur est réglée par simulation pour obtenir un temps d'établissement dans la phase d'initialisation inférieur au temps de comparaison.

Le circuit est dimensionné avec une technologie CMOS 130nm alimenté en 1,2V. La tension minimale du signal d'entrée est 0,45V. La tension de mode commun d'entrée est 0,825V. La tension de référence Vref+ (respectivement Vref-) est fixée à un pas de quantification en dessous de la valeur maximale VDD (respectivement en dessus de la tension minimale). Les dimensions finales des transistors sont données dans le Tableau 3.

transistor	L(µm)	W(µm)
M1	1,3	14 * 0,5
M4	0,91	23,3
M5	0,91	17,3
M6	0,13	2,6

Tableau 3. Dimensions des transistors

La tension Vds1 vaut 150 mV et le courant de branche vaut 80 μ A. Le dessin masques des 15 comparateurs est donné figure 6,il a été obtenu avec l'environnement de conception analogique CAIRO+. La surface du convertisseur sans les plots est 0,017 mm².

4. Résultats de simulation

Les tensions de seuil des comparateurs sont obtenues par une analyse DC, en maintenant l'interrupteur passant et en retenant la tension différentielle d'entrée pour laquelle les courants de branches sont égaux. Une analyse Monte Carlo permet d'obtenir la valeur moyenne des seuils et l'écart type est environ 13 mV, et reste donc inférieur au demi pas de quantification (Tableau 4).

Index	Seuil	Valeur	Ecart-type
comparateur	théorique (V)	moyenne (V)	(mV)
2	-0,2343	-0,2306	13,92
7	0	0,0003	12,91
13	0,28	0,2791	13,325

Tableau 4. Tensions de seuil, calculs et analyse statistique

Les caractéristiques dynamiques du circuit sont illustrées par la figure 7. La fréquence maximale est environ 300MHz.

La consommation mesurée est de 3,8 mW pendant la phase d'initialisation et 2,6 mW pendant la phase de comparaison dynamique à 64 Mechantillons/s.



Figure 7 Analyse transitoire. Signal d'entrée à 2 MHz. Horloge à 64 MHz.

5. Conclusions et Remerciements

Cette étude a montré la faisabilité d'un convertisseur flash 4 bits différentiel à base de transistors MOS, malgré les problèmes dus aux défauts d'appariement. Les caractéristiques de ce convertisseur permettent de l'utiliser comme fonction de quantification dans un modulateur multi-bits à suréchantillonnage.

Merci à Pierre Nguyen Tuong et Vincent Bourguet pour leurs contributions à l'environnement de conception CAIRO+ et à Jacky Porte pour ses conseils.

Références

- [1] Cho et Gray, « A 10B, 20 Msample/s,35mW Pipeline A/D Converter », IEEEJSSC 30, 166-172, 1995
- [2] Jespers, « Integrated Converters : D to A and A to D Architectures, Analysis and Simulation », University Press, Oxford, 2001
- [3] Geerts, Steyert et Sansen « Design of multi-bit Delta-Sigma A/D converters », Kluwer, 2002
- [4] Lewis et Gray « A pipelines 5-megasample/s 9bit Analogti-digital converter » IEEEJSSC, 22, 954-961, 1987
- [5] Sumanen, Waltari et Halonen « A mismatch insensitive CMOS dynamic comparator for pipeline A/D converters », ICECS 2000,33-35, 2000.
- [6] Pelgrom, Rens, Vertregt et Dijkstra « A 25-Ms/s 8bit CMOS A/D converter for embedded application », IEEE JSSC,29, 879-886,1994
- [7] Khalil, Dessouky, Bourguet, Louënat, Cathelin, Ragai «Evaluation of capacitor ratios in automated accurate common-cerntroid capacitor arrays», ISQED 2005, 143-147,2005
- [8] Aboushady, de Lamare, Beilleau, Louërat « Automatic synthesis and simulation of continuous time sigma-delta modulators, DATE2004,674-675, 2004