

Réutilisation et migration d'amplificateurs CMOS avec CAIRO+

Dimitri Galayko, Ramy Iskander, Marie-Minerve Louërat, Alain Greiner

Université Paris-VI, LIP6-ASIM

e-mail : {prénom.nom}@lip6.fr

1. Introduction.

Les technologies de circuits intégrés CMOS permettent actuellement de concevoir des circuits mixtes numériques-analogiques. Les procédés de fabrication évoluent très vite et la réutilisation de blocs existants dans différentes applications est devenue une nécessité. Si pour la partie numérique, les concepteurs de circuits disposent de méthodes reconnues et d'outils CAO performants, pour la partie analogique, rien n'est encore acquis, ni du point de vue outil, ni même du point de vue méthode.

Pour répondre à ce besoin, au sein du département SOC du LIP6 a été développé un logiciel appelé CAIRO+ basé sur le langage C++. Il s'agit d'un environnement informatique pour la conception de circuits analogiques sous forme de cellules IPs génériques, paramétrables, portables d'une technologie à une autre et d'un jeu de spécification vers un autre. Actuellement il existe très peu d'expérience en ce qui concerne la conception analogique réutilisable / générique. Pour cette raison, une part importante de nos recherches a été consacrée à l'élaboration d'une méthodologie de la conception générique, afin de l'implémenter dans le logiciel CAIRO+.

Une IP de CAIRO+ est une procédure informatique appelée « générateur » écrite pour un circuit dont la topologie, *i.e.*, les connexions entre les dispositifs, est prédéfinie, alors que les dimensions des dispositifs sont inconnues. Les dimensions finales des transistors sont calculées par le générateur : elles dépendent du contexte, notamment, des performances souhaitées et de la technologie. L'environnement CAIRO+ offre des outils pour décrire informatiquement, en langage simple, la procédure de dimensionnement et la procédure de génération du layout pour un circuit particulier [1,2].

À la différence d'une approche traditionnelle de conception *ad hoc*, où chaque circuit était conçu pour un jeu de spécifications particulier, l'environnement CAIRO+ incite à une formalisation et à une généralisation de l'algorithme de conception. En effet, en écrivant le générateur, le concepteur n'a pas la connaissance du contexte dans lequel ce générateur sera utilisé. Cette démarche est extrêmement formatrice ; elle oblige le concepteur à généraliser sa méthode en prévoyant un large éventail de possibilités. Pour cette raison, la méthodologie CAIRO+ possède un potentiel intéressant pour l'enseignement.

Dans ce papier, nous présentons une expérience d'enseignement dans laquelle la conception d'un générateur d'un OTA de Miller (fig. 1) a été effectuée par un stagiaire de première année de mastère ACSI.

2. Vision hiérarchique des circuits intégrés analogiques

La méthodologie CAIRO+ est basée sur une vision hiérarchique d'un circuit analogique. Ceci semble évident lorsqu'il s'agit de gros circuits tels que convertisseurs analogiques-numériques, filtres, etc. Mais une approche hiérarchique surprend, lorsqu'elle est évoquée dans le contexte des circuits très simples, tels que, par exemple, un OTA. En réalité, le nombre de blocs fonctionnels d'un circuit analogique est relativement limité, surtout si l'on

condisère uniquement ceux rencontrés le plus souvent : paire différentielle, miroir de courant, montage en cascode...

Dans la méthodologie CAIRO+, en bas de la hiérarchie se trouvent des sous-circuits unis par une contrainte fonctionnelle ou géométrique forte. Typiquement, il s'agit des transistors appariés ou isolés : miroirs de courant, paire différentielle, plusieurs transistors empilés ou un seul transistor. Nous appelons ces éléments « dispositifs de base ».

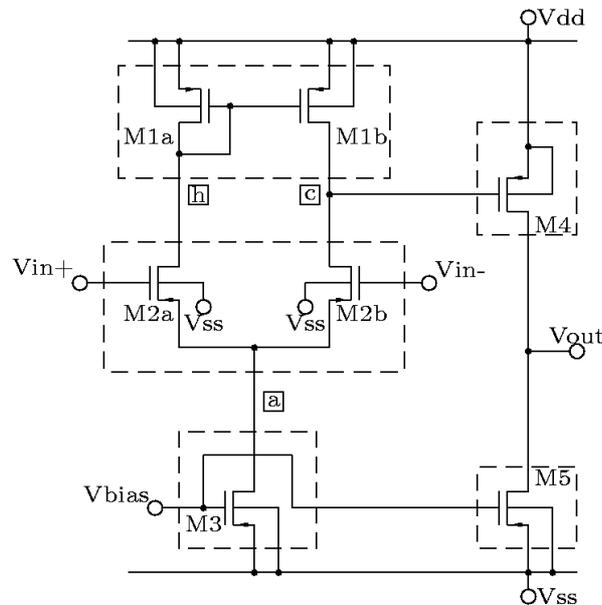


Figure 1. Schéma électrique de l'amplificateur Miller et choix des dispositifs de base.

Au-dessus des dispositifs de base se situent les modules : ce sont les circuits complexes composés de plusieurs dispositifs de base. Un module contient des dispositifs de base et / ou des modules (fig. 2). Ainsi, le code d'un générateur de module peut contenir un appel du générateur d'un autre module ou/et celui d'un dispositifs de base.

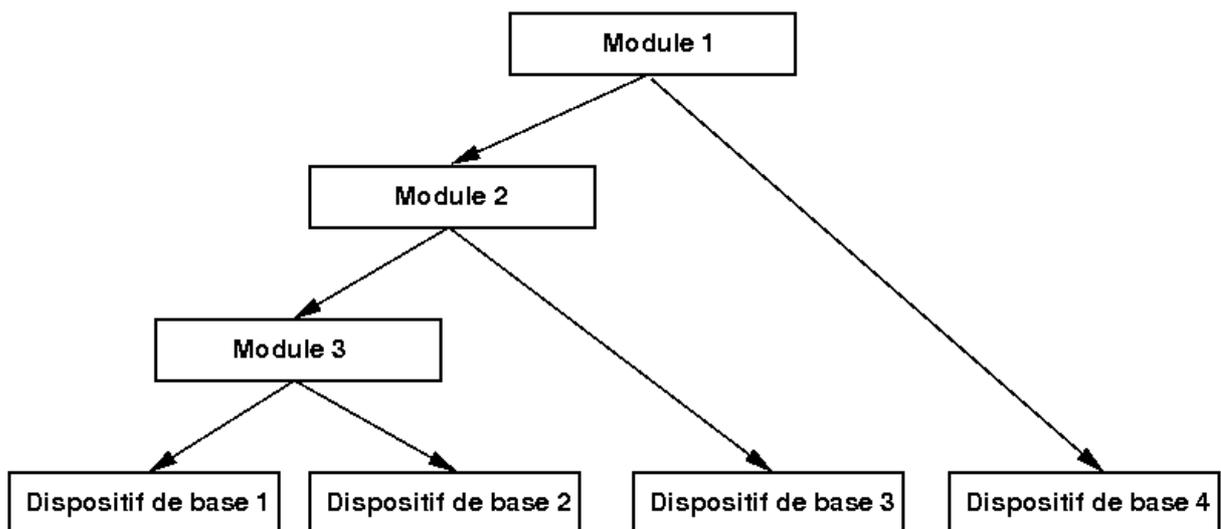


Figure 2. Hiérarchie d'un circuit : les modules contiennent des modules et des dispositifs de base. Les dispositifs de base sont les feuilles de l'arbre hiérarchique.

La vision hiérarchique permet de gérer les aspects liés au layout des circuits analogiques avec presque la même efficacité que pour les circuits numériques. La génération du layout est un problème central lorsqu'il s'agit d'un outil de CAO analogique. Ainsi, la méthodologie du CAIRO+ oblige le concepteur à définir la hiérarchie de son circuit avant toute autre démarche.

Par exemple, avant d'écrire un générateur d'un OTA Miller, il est nécessaire de définir la hiérarchie en choisissant le groupement des transistors en dispositifs de base. Un choix possible (celui qui a été retenu pendant le stage) est présenté à la figure 1. Le circuit est alors composé de 5 dispositifs de base : un miroir de courant, une paire différentielle et trois transistors. Un autre choix est possible : un regroupement les transistors appariés du miroir de courant et M4, une paire différentielle et les transistors appariés M3 et M5, ce qui fait trois dispositifs de base au total. Le choix dépend des buts du concepteur, de ces préférences personnelles, de la famille d'applications visée.

3. Générateur d'un OTA Miller en CAIRO+

Un générateur CAIRO+ est un programme informatique écrit en langage CAIRO+. Il est composé de trois parties : CREATE, DSES et LAYOUT (fig. 3).

CREATE. Dans cette partie du générateur sont définis la netlist (les dispositifs de base et modules instanciés par le générateur, avec les connexions électriques), les terminaux du circuit (entrées-sorties, bornes d'alimentation et de polarisation). On définit également le placement relatif des dispositifs de base et des modules sur le layout.

En plus, on déclare les procédures de dimensionnement utilisées dans la partie DSES et les messages délivrés au concepteur.

DSES. Cette partie du générateur est prévue pour que le concepteur puisse coder ces propres algorithmes de dimensionnement. Contrairement à la partie CREATE, CAIRO+ n'applique aucune contrainte quant au contenu de la partie DSES. Seulement, il est nécessaire qu'à la fin de son exécution, les W et les L de tous les dispositifs de base soient connus. À l'extrême, si le concepteur sait dimensionner les transistors par des moyens extérieurs au CAIRO+, cette partie peut ne rien contenir du tout, sauf, bien sûr, un code minimal nécessaire pour communiquer les dimensions aux dispositifs de base et aux modules. Mais normalement la partie DSES contient les procédures de dimensionnement conçues par le concepteur. Cette partie sera discutée en détail plus bas.

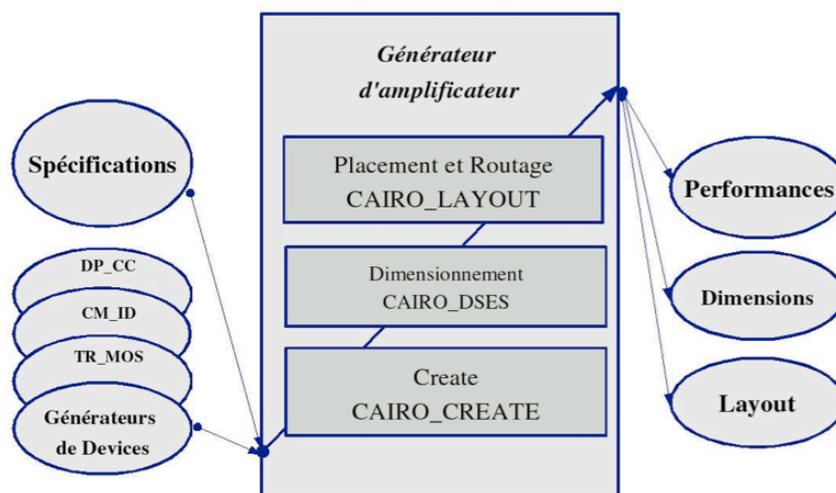


Figure 3. Structure d'un générateur CAIRO+ et ordre d'exécution de ses parties.

LAYOUT. Lors de l'écriture du générateur, les dimensions réelles des transistors ne sont pas connues : elles ne le seront que lors de l'appel du générateur. En revanche, le placement relatif des modules et des dispositifs de base est connu, car défini par le concepteur dans la partie CREATE. Dans ce contexte, le layout final est généré grâce à une procédure de routage, écrite par le concepteur, exécutée à chaque appel du générateur. La procédure de routage s'appuie sur la connaissance quant au placement relatif des dispositifs de base et des modules. Le routage s'effectue dans l'espace libre (les canaux) entre modules et dispositifs de base. CAIRO+ fournit les fonctions permettant de connaître les coordonnées absolues et les dimensions des modules, toujours d'une manière dynamique, lors de l'exécution. Le concepteur peut utiliser ces fonctions pour, par exemple, ordonner de tracer une connexion au milieu d'un canal, de largeur égale à un quart de celle du canal, entre le terminal « source » d'un module Miroir de courant jusqu'au terminal VDD du module OTA (cf. fig. 4).

De cette manière, le concepteur définit le layout du circuit sans utiliser aucune valeur numérique absolue.

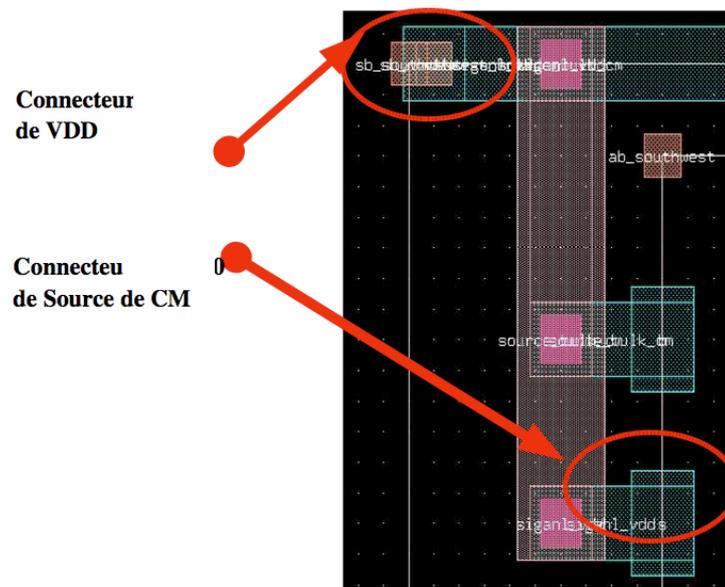


Figure 4. Routage de la source du miroir de courant.

4. Procédure du dimensionnement d'un OTA Miller

La possibilité de coder un plan de conception est un des concepts clés de la méthodologie de CAIRO+. L'environnement laisse le concepteur libre de définir ses propres procédures. Cependant, CAIRO+ fournit au concepteur des « services » : outils spécifiques facilitant l'écriture des procédures de dimensionnement. A l'heure actuelle, l'environnement CAIRO+ met à disposition du concepteur une « calculatrice CMOS » : un jeu de fonctions décrivant le modèle BSIM3 inversé. Alors que habituellement, on souhaite connaître le courant d'un transistor MOS sachant V_{ds} , V_{gs} , L et W , les procédures de la calculatrice permettent de connaître, par exemple, W sachant V_{ds} , I_{ds} , L , V_{gs} . Ces procédures sont fort utiles lors de l'analyse du régime DC d'un circuit MOS. D'autres outils sont actuellement en cours de développement [3].

Nous décrivons ici la procédure de dimensionnement développée lors du stage de première année du master ACSI.

Les hypothèses suivantes ont été admises.

1. Le concepteur spécifie les tensions DC à l'entrée et en sortie. On souhaite minimiser la tension de décalage systématique en sortie de l'amplificateur.
2. On connaît les longueurs (L) des transistors des dispositifs de base ;
3. On connaît les régimes de fonctionnement des dispositifs de base miroir de courant, paire différentielle, transistor M5. Ceci se traduit par la connaissance de la tension effective de grille $V_{eg}=V_{gs}-V_{th}$.
4. Puisque nous souhaitons minimiser la tension de décalage systématique, on ne peut pas fixer à la fois V_{eg} des transistors M4 et celui du miroir de courant. *Idem* pour les transistors M5 et M3 qui partagent le même V_{gs} . Par conséquent, dans la mesure où on a fixé V_{eg} du miroir de courant et de M5, on ne spécifie pas V_{eg} ni pour M4, ni pour M3.
5. On connaît les courants DC des deux étages.

On souhaite donc déterminer les W des transistors et la tension de polarisation V_{bias} qui doit être appliquée à la grille du transistor M3.

Partant de ces données, nous pouvons directement déterminer le W du miroir de courant en appelant une fonction de la calculatrice BSIM3 :

$$W_{cm}=f_1(V_{eg}, L, I_{ds}, Temp).$$

Idem, nous connaissons la tension V_{ds} du transistor M5, son V_{eg} , son L et son I_{ds} . On peut connaître W :

$$W_{m5}=f_2(V_{eg}, L, I_{ds}, V_{ds}, Temp).$$

Ainsi, au début de la procédure, partant des données initiales, on peut uniquement dimensionner les dispositifs de base miroir de courant et transistor M5. Ces calculs donnent d'autres informations, par exemple, V_{gs} du M3 qui définit V_{bias} . Également, la connaissance du V_{gs} du miroir de courant donne la tension V_d de la paire différentielle. Ainsi, sachant V_d , V_g , L , I et V_{eg} de la paire différentielle, on peut trouver les paramètres manquants – W et V_{gs} de la paire différentielle. L'ordre de dimensionnement des dispositifs de base pour un OTA Miller est donné par le graphe de la figure 5.

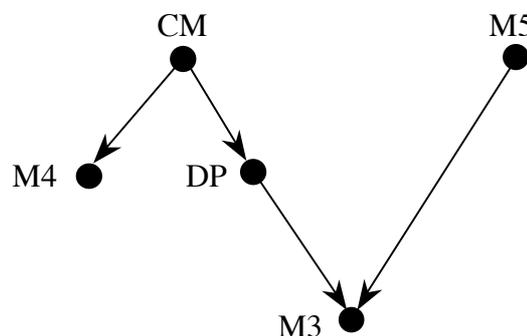


Figure 5. Algorithme de la procédure de dimensionnement.

5. Validation du générateur

Le stage prévoyait un test du générateur pour plusieurs jeux de paramètres d'entrée et dans deux technologies différentes : CMOS 120 nm et CMOS 250 nm. La figure 6 montre un exemple de layout synthétisé par le générateur.

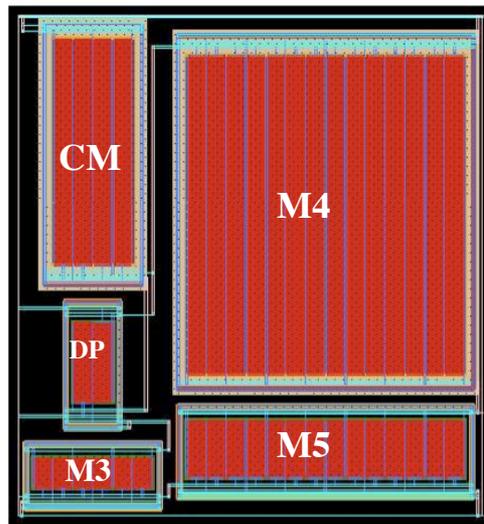


Figure 6. Layout de l'OTA obtenu avec la technologie CMOS 250 nm

6. Conclusion : intérêt pédagogique de l'environnement CAIRO+

L'écriture d'un générateur d'un circuit intégré s'est révélée être une expérience très formatrice pour le stagiaire. La nécessité de formaliser le plan de conception exclut le recours au « bricolage » et oblige de combler les lacunes dans la compréhension du fonctionnement du circuit et des liens entre ses différents paramètres.

En souhaitant étendre cette pratique pédagogique à un groupe d'étudiants, mais en même temps conscients de la difficulté de l'exercice, nous avons créé une unité d'enseignement (UE) facultative en deuxième année du master. Cette UE est organisée sous forme de cours / projet, dont le but est de faire écrire un générateur CAIRO+ d'un OTA Miller. Cette UE est adressée aux étudiants ayant choisi le parcours spécialisé en conception de circuits analogiques et des outils de CAO dédiés.

Cependant, CAIRO+ peut également trouver l'usage dans l'enseignement plus fondamental de l'électronique analogique. Ainsi, un générateur d'un OTA ou d'un autre circuit peut être utilisé tel quel lors des travaux pratiques, pour une exploration de l'influence de différents facteurs (technologie, polarisation...) sur le résultat final de la conception.

7. Bibliographie

[1] Nguyen Tuong Pierre, Bourguet Vincent, de Lamarre Laurent, Rosset-Louërat Marie-Minerve, Greiner Alain, "A Language to Design Generators of Analog Functions", Forum on Specification & Design Languages (FDL'04), Lille, France, September 2004, pp. 30-31.

[2] Iskander Ramy, de Lamarre Laurent, Nguyen Tuong Pierre, Louërat Marie-Minerve, Kaiser Andreas, Synthèse d'un IP amplificateur analogique CMOS avec CAIRO+, 6ème Colloque sur le Traitement Analogique de l'Information du Signal et ses Applications (TAISA'2005), Marseille, France, octobre 2005, pp. 69-72.

[3] Iskander Ramy, Louërat Marie-Minerve, Kaiser Andreas, Hierarchical Graph-Based Sizing for Analog Cells Through Reference Transistors, Microelectronics and Electronics (PRIME'06), Otranto, Italy, June 2006, pp. 321-324