

Dimensionnement automatique d'un circuit analogique à l'aide des transistors de référence

Ramy Iskander, Marie-Minerve Louërat
Université Pierre et Marie Curie
Laboratoire LIP6
4 Place Jussieu, 75252 Paris, France
{ramy.iskander, marie-minerve.louerat}@lip6.fr

Andreas Kaiser
IEMN
Département ISEN
41 Bld. Vauban, 59046 Lille, France
andreas.kaiser@isen.fr

Résumé

Cet article propose une méthode pour calculer les dimensions et la polarisation des transistors d'un circuit analogique CMOS en se fondant sur la connaissance du concepteur, sans avoir recours à un simulateur. Cette méthode suppose que le circuit est décrit comme une hiérarchie de modules et de dispositifs élémentaires dans le langage CAIRO+. Un dispositif élémentaire est composé d'un petit nombre de transistors interconnectés, parmi lesquels on définit un transistor de référence, qui contrôle le dimensionnement et la polarisation des autres transistors au sein du dispositif. Ce contrôle est exprimé sous la forme d'un graphe de dépendances. On peut construire le graphe de dépendance du circuit entier à partir de sa description hiérarchique. Celui-ci permet d'assurer que les contraintes électriques sont satisfaites par construction. Cette méthode est illustrée par le calcul automatique de la polarisation et du dimensionnement d'un OTA deux étages.

1 Introduction

Depuis une vingtaine d'années, les études portant sur la synthèse analogique ont été partagées entre deux "écoles" : l'une est fondée sur la connaissance et l'autre sur la simulation électrique. Dans le cas où la synthèse est fondée sur la connaissance, c'est au concepteur que revient la charge de capitaliser son savoir faire sous une forme qui puisse être réutilisée. OASYS [1] réalise cette capitalisation par le codage du calcul des dimensions et du point de polarisation (point DC) de chacun des sous-circuits qui composent le circuit. Cette phase de codage est jugée très fastidieuse par la plupart des concepteurs. Inversement, dans le cas où la synthèse est réalisée à partir de simulations électriques, on doit appeler un simulateur pour chaque point DC à résoudre. Cette approche conduit à un temps d'exécution total conséquent, comme cela apparaît dans MAELSTROM [2] dont la solution, mettant en oeuvre une optimisation, nécessite plusieurs centaines de simulation. Notons que dans les deux approches, le calcul du point de polarisation DC reste une étape incontournable. C'est pourquoi plusieurs auteurs se sont intéressés au calcul du point DC et ont apporté des solutions à ce problème fondamental. Maulik [3] a utilisé une méthode de relaxa-

tion en introduisant la solution DC comme un terme d'une fonction de coût. Gielen *et al* [4] ont résolu le problème du point DC comme un problème d'optimisation, dont les variables sont les courants et les tensions de branche. Les dimensions des transistors sont ensuite déduites en inversant le modèle électrique. L'inconvénient de ces méthodes est de faire appel aux techniques d'optimisation, coûteuses en temps d'exécution, pour résoudre le point DC.

Cet article propose une méthode procédurale pour développer des cellules réutilisables [5] appelées *dispositifs élémentaires*. Ces cellules seront utilisées par la suite pour développer des circuits plus complexes, appelés *modules*. Cet article est composé de 5 parties. La première est une introduction, la deuxième décrit brièvement l'environnement de conception CAIRO+. Dans la troisième partie on explique l'intérêt de définir un dispositif élémentaire comme un groupe de transistors liés électriquement et physiquement. En s'appuyant sur la représentation hiérarchique du circuit en dispositifs élémentaires et *transistors de référence*, nous montrons comment exprimer, en termes d'*opérateurs électriques*, une procédure de dimensionnement du circuit. Dans la quatrième partie nous présentons le dimensionnement d'un OTA à deux étages et nous concluons dans la cinquième partie.

2 La représentation hiérarchique avec CAIRO+

L'environnement de conception CAIRO+ [6, 7] est utilisé pour concevoir des générateurs paramétrables. Un générateur paramétrable est un composant réutilisable qui reçoit en entrée les paramètres électriques et physiques du procédé de fabrication, ainsi que des valeurs de spécifications et qui fournit en sortie une liste de performances, une netlist dimensionnée et le dessin des masques correspondant. Les dispositifs élémentaires et les modules sont des générateurs paramétrables. Un circuit analogique peut être représenté par une hiérarchie de modules et de dispositifs élémentaires. Les modules peuvent instantier des modules existants et des dispositifs élémentaires. Le niveau le plus bas de la hiérarchie est le niveau transistor. Chaque niveau de la hiérarchie ne peut communiquer qu'avec le niveau directement supérieur ou avec ses descendants directs. La figure 1 présente un exemple de description et de communication hiérarchique avec CAIRO+.

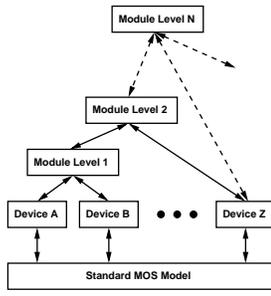


FIG. 1. Niveaux hiérarchiques et propagation des paramètres avec CAIRO+

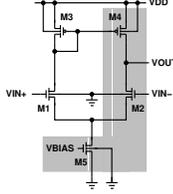


FIG. 2. Amplificateur à transconductance

3 Dimensionnement hiérarchique

Dans cette partie, on se propose de formaliser le processus de *dimensionnement hiérarchique*. Dans la synthèse basée sur la polarisation [8, 9], une fois connu le point DC, on peut calculer les largeurs de tous les transistors puis leurs paramètres petits signaux. Le concepteur peut choisir de spécifier le point DC en termes de paramètres électriques comme T_{emp} , I_{DS} , V_{EG} , V_{GS} , V_D , V_B , V_S , et V_G . Dans la suite on va considérer l'OTA de la figure 2 comme exemple pour analyser le processus classique de dimensionnement, et en déduire une méthode de dimensionnement hiérarchique basée sur le calcul du point DC.

3.1 Approche classique

Supposons que V_{OUT} , V_{IN+} et V_{IN-} soient connus. Le concepteur peut choisir de spécifier la tension effective de grille $V_{EG} = V_{GS} - V_{TH}$ pour tous les transistors [9]. Si L_4 , I_{DS4} , V_{DS4} , μ_p , C_{ox} et λ_p sont connus, alors la largeur de M_4 peut être déduite de l'équation (1).

$$I_{DS}(PMOS) = \frac{\mu_p C_{ox}}{2} \frac{W}{L} (V_{EG})^2 (1 + \lambda_p V_{DS}) \quad (1)$$

Ensuite le concepteur choisit d'imposer V_{DS2} et utilise l'équation (2) pour déterminer W_2 .

$$I_{DS}(NMOS) = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_{EG})^2 (1 + \lambda_n V_{DS}) \quad (2)$$

une fois M_4 et M_2 dimensionnés, on copie leurs dimensions pour M_3 et M_1 . M_5 est ensuite dimensionné, en utilisant $V_{BIAS} = V_{EG5} + V_{TH5}$ et l'équation (2) pour calculer W_5 . Une fois que toutes les dimensions électriques et physiques (W et L) sont connues, on calcule les paramètres petits signaux.

3.2 Les groupements de transistors

Un *dispositif élémentaire* est un groupe de transistors, réunis pour former une primitive réutilisable. Il constitue

une feuille de la représentation hiérarchique. La figure 2 montre que l'OTA est constitué par un ensemble de 3 primitives : le miroir de courant (M_3 , M_4), la paire différentielle (M_1 , M_2) et le transistor MOS M_5 . Afin de définir un dispositif élémentaire, on a identifié des règles pour regrouper des transistors. Parmi les conditions qui suivent, l'une au moins doit être satisfaite pour réunir des transistors au sein d'un dispositif élémentaire. Il s'agit de :

1. Les transistors qui constituent une "fonction" analogique doivent être réunis dans un dispositif.
2. Un ensemble de transistors qui ont des paramètres électriques L , V_{GS} , ... en commun, peuvent être réunis.
3. S'ils doivent être appariés, les transistors doivent appartenir au même dispositif.

On voit dans la figure 2 que les transistors M_3 et M_4 doivent être dans le même dispositif car :

1. Ils réalisent la fonction "miroir de courant".
2. Leurs paramètres W , L et V_{GS} sont identiques.
3. Ils doivent être appariés.

Ces mêmes conditions sont remplies dans le cas de la paire différentielle (M_1 , M_2).

3.3 Le concept de transistor de référence

Dans un souci de simplification, le concepteur choisit de dimensionner un nombre minimum de transistors. Pour définir ces transistors, on introduit le concept de *transistor de référence*. Un dispositif élémentaire contient un seul transistor de référence qui est dimensionné en premier. Les paramètres électriques du transistor définissent, d'une manière unique, par des relations simples, ceux des autres transistors. On peut dire que les paramètres de ce transistor sont *propagés* vers les transistors secondaires. Dans le cas de l'OTA de la figure 2, le concepteur peut choisir :

1. M_4 comme transistor de référence pour (M_3 , M_4)
2. M_2 comme transistor de référence pour (M_1 , M_2)
3. M_5 comme transistor de référence pour lui même.

Ces transistors sont grisés sur la figure 2.

3.4 Les contraintes d'un dispositif

Dans l'approche classique décrite dans le paragraphe (A), le concepteur a reporté les largeurs de M_4 et M_2 vers M_3 et M_1 . Ceci signifie que certains paramètres peuvent se propager depuis le transistor de référence vers les transistors secondaires, au sein d'un même dispositif élémentaire. Une modélisation possible de la propagation consiste à définir des contraintes linéaires sous la forme :

$$\left[P_{elec,i} \right]_{N \times 1} = \left[K_i \right]_{N \times M} \cdot \left[P_{elec,ref} \right]_{M \times 1} \quad (3)$$

où $P_{elec,i}$ est la matrice dont les éléments sont les paramètres électriques des transistors secondaires, K_i est une matrice creuse, dont les éléments sont des constantes et $P_{elec,ref}$ est la matrice dont les éléments sont les paramètres électriques du transistor de référence.

L'idée est alors de déduire automatiquement une procédure de dimensionnement pour un générateur, en se

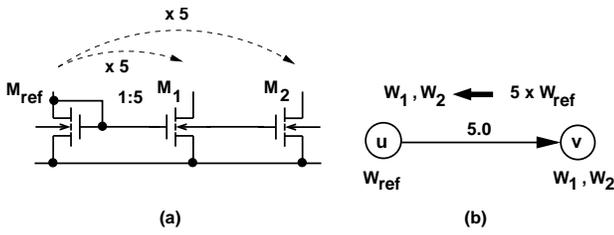


FIG. 3. (a) Contraintes sur les largeurs, (b) Représentation

fondant sur la description en module et en dispositifs élémentaires [10]. Une procédure d'un module ou d'un dispositif élémentaire est décrite par un graphe de dépendance. Dans le graphe de dépendance des dispositifs élémentaires, les contraintes sont représentées par les noeuds et les arcs. Un noeud représente les paramètres électriques comme $Temp$, W , L , I_{DS} , V_{EG} , V_{GS} , V_D , V_B , V_S ou V_G . Les arcs représentent une relation pondérée par le poids de l'arc, entre les paramètres du noeud v et celui du noeud u . Ce qui s'écrit : $v \leftarrow u$. Ce graphe garantit donc, par construction, le respect des contraintes existant pour chacun des dispositifs élémentaires. La figure 3 illustre un exemple de propagation des largeurs entre transistors d'un miroir de courant. Ces contraintes peuvent être écrites sous la forme matricielle suivante :

$$\begin{bmatrix} W_1 \\ W_2 \end{bmatrix}_{2 \times 1} = \begin{bmatrix} 5 \\ 5 \end{bmatrix}_{2 \times 1} \cdot [W_{ref}]_{1 \times 1} \quad (4)$$

On peut définir plusieurs types de contraintes dans un dispositif élémentaire en s'inspirant de *sizing rules method*[11].

3.5 Les opérateurs de dimensionnement

Lorsqu'ils suivent l'approche habituelle, les concepteurs utilisent le modèle quadratique (éq. 1) pour calculer "manuellement" les largeurs des transistors. Celle équation est un modèle très simplifié du transistor MOS. Comme un de nos objectifs est d'atteindre la précision d'un simulateur, nous avons introduits 32 opérateurs de dimensionnement dans CAIRO+. Chaque opérateur se présente sous la forme suivante :

$$OP\langle class \rangle(RV_i, \dots) : (LV_j, \dots) \Leftarrow (RV_n, \dots) \quad (5)$$

où $\langle class \rangle$ indique le paramètre essentiel à calculer, RV_i est un sous ensemble de paramètres connus du concepteur qui indique la version de l'opérateur, RV_n est l'ensemble des paramètres d'entrée nécessaires pour exécuter l'opérateur et LV_j est l'ensemble des paramètres inconnus qui sont calculés par cet opérateur. Un paramètre est considéré "connu" s'il est fixé par le concepteur ou s'il résulte d'un calcul précédent de CAIRO+. A titre d'exemple, le tableau 1 donne la définition de l'opérateur $OPVS$. Sa classe est celle de la *tension de source*. Cet opérateur a deux versions suivant la connexion du "bulk". La première $OPVS(V_{EG}, V_B)$ est activée dans le cas où la tension V_{EG} est connue et que la tension V_B doit être fixée par le concepteur. Elle calcule V_S , V_{TH} et W , simultanément, en fonction des paramètres apparaissant à droite de la flèche dans

TAB. 1. Exemple d'opérateurs

Opérateur	Définition
$OPVS(V_{EG}, V_B)$	$(V_S, V_{TH}, W) \Leftarrow Temp, I_{DS}, L, V_{EG}, V_D, V_G, V_B$
$OPVS(V_{EG})$	$(V_S, V_B, V_{TH}, W) \Leftarrow Temp, I_{DS}, L, V_{EG}, V_D, V_G$
$OPVG(V_{EG})$	$(V_B, V_G, V_{TH}, W) \Leftarrow Temp, I_{DS}, L, V_{EG}, V_D, V_S$
$OPVGD(V_{EG})$	$(V_B, V_G, V_D, V_{TH}, W) \Leftarrow Temp, I_{DS}, L, V_{EG}, V_S$
$OPW(V_{GS})$	$(V_B, V_{TH}, W) \Leftarrow Temp, I_{DS}, L, V_D, V_G, V_S$

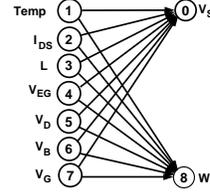


FIG. 4. Graphe de dépendance pour l'opérateur $OPVS$ de la paire différentielle

le tableau 1. La seconde version $OPVS(V_{EG})$ est activée si V_{EG} est connue et que les connecteurs "bulk" et source sont reliés à l'intérieur du dispositif. A partir de la structure du dispositif élémentaire, CAIRO+ détermine quel est l'opérateur adapté au transistor de référence. Le graphe de dépendance est construit en fonction de cet opérateur. Ce graphe représente la procédure de dimensionnement du dispositif. L'exemple de la figure 4 présente le graphe de dépendance qui a été généré suivant l'opérateur $OPVS$ pour la paire différentielle (M_1 , M_2). Ce graphe montre les relations de dépendance entre les paramètres inconnus V_S et W et les paramètres connus : $Temp$, I_{DS} , L , V_{EG} , V_D , V_B et V_G . Il est clair que chaque dispositif élémentaire possède un sous ensemble d'opérateurs en fonction de sa structure interne.

3.6 Fonctions CREATE et SIZE

Chaque dispositif possède ses propres fonctions CAIRO+ : *CREATE* et *SIZE*. Dans la fonction *CREATE* du dispositif on déclare le transistor de référence et les procédures nécessaires au dimensionnement de ce transistor. Dans la fonction *SIZE* on donne les contraintes du dispositif et on appelle le moteur de synthèse CAIRO+. Au cours de la synthèse, on utilise ces fonctions pour construire le graphe de dépendance à partir du transistor de référence. On construit le graphe du circuit entier, récursivement, en commençant par les dispositifs élémentaires. Ce graphe représente le dimensionnement du circuit analogique. On colore ensuite les noeuds du graphe pour exprimer l'ordre des calculs à effectuer : chaque couleur correspond à une étape de calcul où les opérateurs associés aux paramètres inconnus sont activés. Ce graphe permet un calcul séquentiel, en commençant par les paramètres fixés par le concepteur pour atteindre finalement l'étape de calcul des largeurs des transistors de tous les dispositifs élémentaires.

4 Résultats

L'amplificateur OTA à deux étages et sortie non différentielle est présenté à la figure 5. Chaque transistor est inclus dans un dispositif élémentaire indiqué en pointillés. Les transistors M_1 , M_3 , M_5 , M_6 et M_7 sont choisis comme

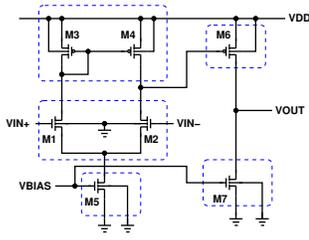


FIG. 5. L'OTA deux étages

TAB. 2. Paramètres de la paire différentielle

Transistor Paramètres	M_1 et M_2	M_1	M_2
	CAIRO+	Simulation	Simulation
$I_{DS}(\mu A)$	49.998	50.00764	50.00764
$V_{GS}(V)$	0.461358	0.4613924	0.4613924
$V_{TH}(V)$	0.34135	0.34134	0.34134
$g_m(m\Omega^{-1})$	0.6707	0.6709299	0.6709299
$g_{ds}(\mu\Omega^{-1})$	4.34349	4.34349	4.345548
$C_{ds}(fF)$	0.229801	0.229797	0.229797
$C_{gs}(pF)$	0.1562	0.1562078	0.1562078

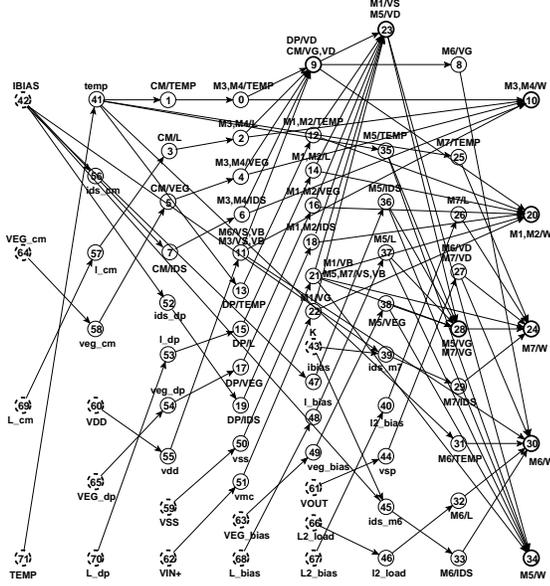


FIG. 6. Le graphe de dépendance pour le module OTA deux étages : les noeuds en pointillés sont les paramètres connus, les noeuds en gras sont les paramètres inconnus et les autres noeuds illustrent la propagation des paramètres

transistors de référence. On suppose que cet amplificateur est dimensionné de façon à réduire la tension de décalage systématique i.e. $V_{DS4} = V_{GS6}$. Le graphe de l'OTA, construit à partir du graphe des dispositifs élémentaires, est donné Fig.6. Chaque colonne correspond à une même coloration des noeuds et donc à une même étape de calcul. On remarque en particulier que :

1. La colonne de droite correspond à la dernière étape de calcul, celle des dimensions des transistors.
2. Les noeuds du miroir de courant ($CM/L, 3$), ($CM/V_{EG}, 5$), ... propagent les paramètres à M_3 par ($M_3, M_4/L, 2$), ($M_3, M_4/V_{EG}, 4$), M_3 et M_4 ayant les mêmes paramètres électriques, il partagent les mêmes noeuds.
3. ($V_S, 23$) apparaît pour la paire différentielle. Comme les connecteurs "bulk" et source ne sont pas reliés, l'opérateur $OPVS(V_{EG}, V_B)$ a été retenu. C'est une fonction de ($V_D, 9$), ($Temp, 12$), ($L, 14$), ($V_{EG}, 16$), ($I_{DS}, 18$), ($V_B, 21$) et ($V_G, 22$).

Une fois le graphe construit, CAIRO+ procède aux calculs de dimensionnement. Le tableau 2 donne les paramètres de la paire différentielle. Ils ont été calculés par CAIRO+ puis comparés aux résultats donnés par un simulateur électrique. Cette comparaison illustre la précision de notre approche.

5 Conclusion

Dans cet article, on a présenté une méthode pour dimensionner un circuit et calculer son point de fonctionnement DC. Notre approche permet de déduire automatiquement une procédure de dimensionnement quelque soit la topologie électrique cible. La procédure de dimensionnement s'exprime par un graphe de dépendance permettant de propager des contraintes de façon hiérarchique. Cette méthode a été appliquée avec succès pour dimensionner un amplificateur OTA deux étages. Elle entre dans le contexte de la synthèse de circuits analogiques fondée sur la connaissance du concepteur et apporte une précision égale à celle d'un simulateur électrique.

Références

- [1] R. Harjani, R. A. Rutenbar, and L. R. Carley. OASYS : A framework for analog circuit synthesis. *IEEE Trans. CAD*, 8(12) :1247–1266, December 1989.
- [2] M. Krasnicki, R. Phelps, R. A. Rutenbar, and L. R. Carley. MAELSTROM : Efficient simulation-based synthesis for custom analog cells. In *Design Automation Conf.*, pages 945–950, June 1999.
- [3] P. C. Maulik, L. R. Carley, and D. J. Allstot. Sizing of cell-level analog circuits using constrained optimization techniques. *IEEE JSSC*, 28(3) :233–241, March 1993.
- [4] G. Van der Plas, G. Debyser, F. Leyn, K. Lampaert, J. Vandebussche, G. Gielen, W. Sansen, P. Veselinovic, and D. Leenaerts. AMGIE a synthesis environment for CMOS analog integrated circuits. *IEEE Trans. CAS*, 2001.
- [5] R. Castro-Lopez, F. V. Fernandez, and A. R. Vazquez. A reuse-based framework for the design of analog and mixed-signal ICs. In *SPIE'05 Conf.*, pages 25–36, May 2005.
- [6] V. Bourguet, L. de Lamarre, and M. M. Louërat. Analog IC design with a library of parameterized device generators. In *XIX Conf. on Design of Circuits and Integrated Systems*, November 2004.
- [7] R. Iskander, L. de Lamarre, P. Nguyen Tuong, M. M. Louërat, and A. Kaiser. Synthèse d'un IP amplificateur analogique CMOS avec CAIRO+. In *TAISA'2005*, pages 69–72, October 2005.
- [8] F. Leyn, G. Gielen, and W. Sansen. An efficient DC root solving algorithm with guaranteed convergence for analog integrated CMOS circuits. In *ACM/IEEE Int. Conf. on Computer-Aided Design*, pages 304–307, November 1998.
- [9] J. Porte. Oceane. <http://www-asim.lip6.fr/recherche/oceane>.
- [10] R. Iskander, M. M. Louërat, and A. Kaiser. Automatic biasing point extraction and design plan generation for analog IPs. In *The 48th IEEE MidWest Symposium on Circuits And Systems (MWSCAS'05)*, August 2005.
- [11] H. Graeb, S. Zizala, J. Eckmueller, and K. Antreich. The sizing rules method for analog integrated circuit design. In *ACM/IEEE Int. Conf. on Computer-Aided Design*, 2001.