

Optimisation des éléments passifs d'un convertisseur $\Sigma\Delta$ temps continu

Laurent de Lamarre
LIP6-UPMC
Paris, France
laurent.delamarre@lip6.fr

Marie-Minerve Louërat
LIP6-UPMC
Paris, France
marie-minerve.louerat@lip6.fr

Andreas Kaiser
ISEN-IEMN
Lille, France
andreas.kaiser@isen.fr

Résumé

La valeur de la charge capacitive influe largement sur le coût et la consommation d'un convertisseur $\Sigma\Delta$. Dans cet article nous montrons comment calculer la valeur des éléments capacitifs à partir des spécifications de bruit. Une méthode de réduction de la charge capacitive totale du filtre de boucle du modulateur est proposée. Des résultats sont donnés pour un modulateur passe bas du 5^e ordre.

1. Introduction

Les convertisseurs analogiques-numériques $\Sigma\Delta$ sont communément utilisés pour leur bon compromis entre précision, vitesse et puissance consommée [1]. La réalisation avec une architecture à Temps Continu (TC) du modulateur présente certains avantages par rapport à une implémentation en Temps Discret (TD) comme la possibilité d'utilisation en basse alimentation, une fréquence d'échantillonnage nécessaire plus basse, une consommation moins élevée et un filtrage anti-repliement intrinsèque [2], au prix d'une plus grande sensibilité au phénomène de la gigue d'horloge. Dans le contexte d'un convertisseur placé en bout d'une chaîne de réception, le filtrage intrinsèque du modulateur peut permettre de réduire le niveau des bloqueurs hors bande [3, 4, 5]. Cet article présente un modulateur $\Sigma\Delta$ TC multibit ayant une bande passante de 2MHz et une résolution visée de 13bit, ce qui correspond aux spécifications de la norme de communication UMTS [6]. L'architecture étudiée est constituée d'un comparateur 4 bit, d'un filtre de boucle du 5^e ordre, d'un DAC intégrant un algorithme DWA, d'un retard fixe d'une demi période d'horloge dans la boucle de retour corrigé par un coefficient supplémentaire [7].

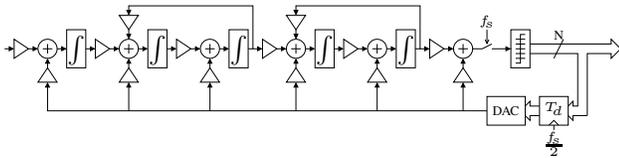


FIG. 1. Architecture du convertisseur à retour multiple, filtre du 5^e ordre, multibit et correction du retard de boucle fixé

Comme le montre la figure 1 le filtre de boucle est implémenté par une cascade de montages intégrateurs. En pratique la constante d'intégration de ces dispositifs (ac-

tif RC ou GM-C) est réalisée en jouant sur la valeur de ses éléments passifs (produit RC ou rapport gm/C) [8, 9]. La conception du convertisseur, pour la production en masse d'applications grand public a comme objectif d'en minimiser le coût de fabrication et la consommation. Le prix du circuit est lié à sa surface et à d'éventuelles étapes supplémentaires du procédé de fabrication lors de sa réalisation physique.

Les éléments capacitifs vont avoir une influence déterminante sur le prix du circuit. Plus les capacités auront des valeurs importantes, plus leur surface sera grande, voire nécessitera l'emploi d'un procédé de fabrication onéreux. De plus, si la charge capacitive est importante les éléments actifs consomment davantage de courant pour tenir les spécifications en fréquence du circuit.

Nous montrerons dans la section 2 comment le bruit de circuiterie profite de l'effet de mise en forme du bruit de quantification. Dans la section 3 le calcul de la Densité Spectrale de Bruit (DSB) ramenée à la borne positive d'un montage intégrateur sera détaillé. Dans la section 4, nous montrerons comment en déduire les valeurs des capacités d'intégrations à partir des contraintes de quantité de bruit admissible à l'entrée du modulateur. Une méthode pour réduire la valeur totale des capacités sera également proposée.

2. Bruit dans le modulateur $\Sigma\Delta$

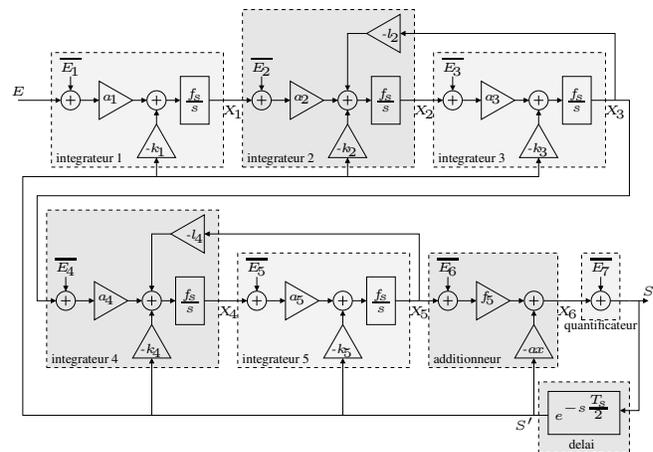


FIG. 2. modulateur $\Sigma\Delta$ à retour multiple linéarisé

La figure 2 montre le schéma linéarisé du modulateur $\Sigma\Delta$, où les entrées E_i correspondent aux sources de bruit équivalentes à l'entrée des intégrateurs, de l'étage de som-

mation et du quantificateur. A partir de la Toolbox MATLAB "Delta-Sigma" [10] on obtient les coefficients d'une architecture TD. Ces coefficients sont ensuite convertis pour obtenir les coefficients de l'architecture TC qui a la même fonction de transfert du bruit (NTF). Pour que la dynamique en sortie des intégrateurs n'excède pas le seuil de saturation, ces coefficients subissent une mise à l'échelle. Les nouvelles valeurs des coefficients sont calculées suivant les formules :

$$\tilde{a}_i = \frac{f_{i-1}}{f_i} a_i \quad \tilde{k}_i = \frac{k_i}{f_i} \quad \tilde{l}_i = \frac{f_{i+1}}{f_i} l_i$$

Pour déterminer les coefficients f_i le même algorithme que [11] a été utilisé. On considère un modèle idéal du modulateur auquel on applique un signal sinusoïdal, dont la fréquence se situe dans la bande passante et d'amplitude maximale. Au départ tous les coefficients valent 1. Pour chaque étage on répète les étapes suivantes :

1. simulation du modulateur avec les coefficient de mise à l'échelle précédemment trouvés, les autres étant laissés à 1.
2. le coefficient de mise à l'échelle f_i est calculé à partir de l'expression :

$$f_i = \frac{\max(\text{sortie } i^{\text{eme}} \text{ integrateur})}{\text{dynamique voulue en sortie du } i^{\text{eme}} \text{ integrateur}}$$

La dynamique voulue en sortie des intégrateurs dépend des choix aux niveaux circuit et système. Elle peut être différente suivant les intégrateurs. Pour des raisons de stabilité, il est conseillé que cette dynamique soit de faible amplitude [12].

Comme les coefficients sont reportés sur les étages suivants, cette méthode ne modifie ni la NTF ni la STF du modulateur.

La sortie du modulateur de la figure 2 s'obtient à partir du système d'équations suivant :

$$\begin{aligned} S(s) &= f_5 (E_6(s) + X_5(s)) + E_7(s) - a_5 S'(s) \\ S'(s) &= e^{-s \frac{T_s}{2}} S(s) \\ sX_5(s) &= f_s (a_5 (E_5(s) + X_4(s)) - k_5 S'(s)) \\ sX_4(s) &= f_s (a_4 (E_4(s) + X_3(s)) - k_4 S'(s) - l_4 X_5(s)) \\ sX_3(s) &= f_s (a_3 (E_3(s) + X_2(s)) - k_3 S'(s)) \\ sX_2(s) &= f_s (a_2 (E_2(s) + X_1(s)) - k_2 S'(s) - l_2 X_3(s)) \\ sX_1(s) &= f_s (a_1 (E_1(s) + E(s)) - k_1 S'(s)) \end{aligned}$$

Par analyse symbolique on peut résoudre ce système, on obtient alors l'expression des fonctions de transfert de chaque entrée vers la sortie du modulateur. La puissance totale de bruit dans la bande passante ramenée à l'entrée du modulateur se calcule de la façon suivante :

$$P_{\text{bruit}} = \sum_{i=1}^6 \int_{-BW}^{BW} \frac{E_i^2 \|H_i(f)\|^2}{\|H_1(f)\|^2} df \quad (1)$$

Dans cette équation on peut déterminer les expressions analytiques des rapports des modules des fonctions de transfert. Notons M_{i1} ces modules, on obtient les expressions de la table 1 pour les 5 intégrateurs.

Ces équations traduisent l'effet de mise en forme du bruit de circuiterie des intégrateurs par le modulateur. Les modules sont tracés figure 3 dans le cas d'un rapport de suréchantillonnage (OSR) égal à 16. Il apparaît que le bruit

$$\begin{aligned} M_{11} &= \frac{H_1}{H_1} = 1 \\ M_{21} &= \frac{H_2}{H_1} = \frac{2\pi f}{a_1 f_s} \\ M_{31} &= \frac{H_3}{H_1} = \frac{(2\pi f)^2}{a_1 a_2 f_s^2} \\ M_{41} &= \frac{H_4}{H_1} = \frac{|-8\pi^3 f^3 f_s^2 a_4 a_5 + 2f_s^4 l_1 a_3 a_4 a_5 \pi f|}{f_s^5 a_1 a_2 a_3 a_4 a_5} \\ M_{51} &= \frac{H_5}{H_1} = \frac{|16\pi^4 f^4 f_s a_5 - 4\pi^2 f^2 f_s^3 a_5 l_1 a_3|}{f_s^5 a_1 a_2 a_3 a_4 a_5} \end{aligned}$$

TAB. 1. expressions des rapports des modules des fonctions de transfert

de l'étage de sommation bénéficie de la même mise en forme que le bruit de quantification. Le bruit des étages d'intégration est d'autant plus atténué qu'il se trouve proche du quantificateur. Le bruit du 1^{er} étage n'est pas modifié par la boucle et il paraît être dominant sur le bruit global du système. Cependant si le bruit des 2^e et 3^e étages est rejeté à l'intérieur de la bande passante, ces étages contribuent significativement au bruit total.

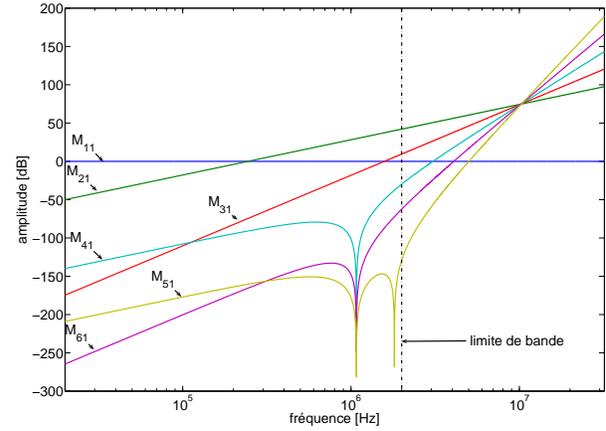


FIG. 3. OSR = 16, Modules des rapport des fonctions de transfert

Afin de réduire la contribution de ces étages remarquons que la fréquence de gain unité du module M_{21} table 1 s'exprime : $f_{0dB} = \frac{a_1 f_s}{2\pi}$. Si l'on pouvait augmenter le coefficient a_1 le point de coupure à 0dB serait repoussé vers des plus hautes fréquences, on diminuerait ainsi la contribution en bruit de cet étage dans la bande passante. On ne peut pas modifier uniquement a_1 sans modifier la NTF et la STF. Par contre en admettant une dynamique de sortie plus grande, lors de l'étape de mise à l'échelle, f_1 peut être diminué ce qui permet d'augmenter a_1 sans changer le comportement du modulateur. Cette modification peut ne pas suffire pour renvoyer complètement la fréquence de transition en dehors de la bande passante. Pour ce faire on doit également augmenter la fréquence d'échantillonnage du convertisseur. Les spécifications de l'architecture changeant, les coefficients d'intégration doivent être recalculés, y compris ceux de mise à l'échelle. En doublant l'OSR et en minimisant f_1 , on voit figure 4 que le bruit des 2^e et 3^e étages est rejeté en dehors de la bande passante.

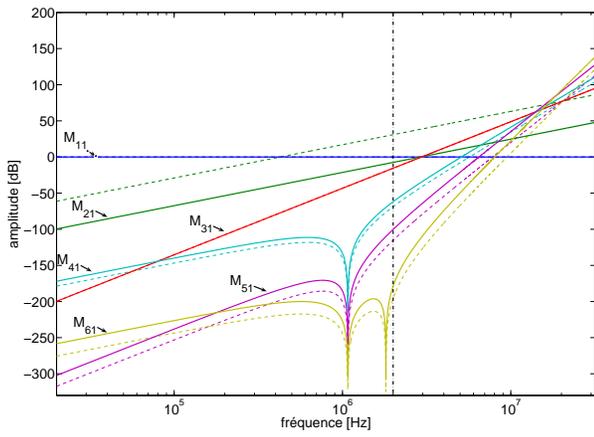


FIG. 4. $OSR = 32$, Modules des rapport des fonctions de transfert avec et sans mise à l'échelle (pointillés)

3. Bruit du montage intégrateur

Pour réaliser la fonction d'intégration on utilise le montage différentiel actif RC de la figure 5.

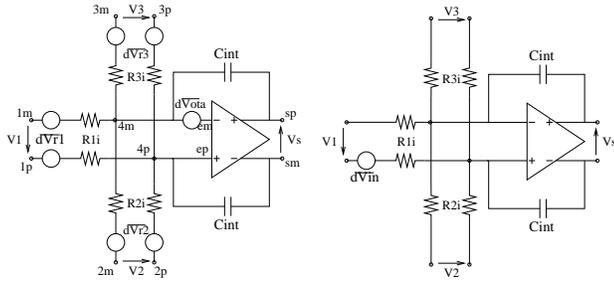


FIG. 5. Montage intégrateur et sa source de bruit équivalente

A partir des lois des noeuds on peut déterminer l'expression de la source de bruit équivalente ramenée sur l'entrée positive du montage :

$$\begin{aligned} \overline{dV_{in}^2} &= \overline{dV_{r1p}^2} + \overline{dV_{r1m}^2} + \frac{G^2}{G1^2} (\overline{dV_{r2p}^2} + \overline{dV_{r2m}^2}) \\ &+ \frac{G^2}{G1^2} (\overline{dV_{r3p}^2} + \overline{dV_{r3m}^2}) \\ &+ \frac{(G1 + G2 + G3)^2 + (2\pi f C_{int})^2}{G1^2} \overline{dV_{ota}^2} \quad (2) \end{aligned}$$

Les éléments résistifs et capacitifs du montage servent à réaliser les coefficients d'intégration selon les relations suivantes :

$$\begin{aligned} a_i f_s &= \frac{1}{R1 C_{int}} \iff R1 = \frac{1}{G1} = \frac{1}{2a_i OSR BW C_{int}} \\ k_i f_s &= \frac{1}{R2 C_{int}} \iff R2 = \frac{1}{G2} = \frac{1}{2k_i OSR BW C_{int}} \\ l_i f_s &= \frac{1}{R3 C_{int}} \iff R3 = \frac{1}{G3} = \frac{1}{2l_i OSR BW C_{int}} \end{aligned}$$

Par ailleurs la DSB d'une résistance vaut $\overline{dV_R^2} = 4k_B T R$. En remplaçant les DSB puis les résistances par leurs expressions en fonction des coefficients d'intégration dans l'équation 2 on obtient une relation entre la densité spectrale de bruit à l'entrée de l'intégrateur, la capacité d'intégration et les coefficients de l'architecture :

$$\overline{dV_{in}^2} = \frac{4k_B T}{a_i OSR BW C_{int}} \left(1 + \frac{k_i}{a_i} + \frac{l_i}{a_i} \right) \quad (3)$$

$$+ \left(\frac{(a_i + k_i + l_i)^2}{a_i^2} + \left(\frac{\pi f}{a_i OSR BW} \right)^2 \right) \overline{dV_{ota}^2}$$

4. Répartition du bruit sur les différents étages

La puissance totale de bruit admissible à l'entrée du modulateur est déterminée à partir du rapport signal à bruit visé et de l'amplitude maximale à l'entrée du modulateur.

$$P_{bruit} = \frac{P_{signal}}{SNR} = \frac{amp_{max}^2}{2 SNR}$$

Chaque étage va contribuer au bruit total suivant l'équation 1. Dans le cas du bruit thermique en intégrant les modules M_{i1}^2 sur la bande passante, la contribution en bruit d'un étage est proportionnelle à sa DSB :

$$P_{bruit,i} = \overline{dV_{in}^2} \int_0^{BW} M_{i1}^2 df = m_{i1} \overline{dV_{in}^2} \quad (4)$$

Un budget de bruit est attribué à chaque étage suivant :

$$P_{bruit,i} = b_i P_{bruit} \text{ avec } b_i < 1 \text{ et } \sum_i b_i = 1$$

Connaissant la puissance de bruit admissible à l'entrée de chaque étage on peut déterminer la valeur de la capacité d'intégration :

$$C_{int,i} = \frac{m_{i1}}{b_i} \frac{SNR}{amp_{max}^2} \frac{8k_B T}{a_i OSR BW} \left(1 + \frac{k_i}{a_i} + \frac{l_i}{a_i} \right) \quad (5)$$

Ainsi le problème est de trouver une répartition des coefficients de pondération b_i qui minimise la charge capacitive globale $C_{tot} = \sum_i C_{int,i}$.

Pour montrer l'influence de la répartition du bruit sur la valeur de la capacité totale, prenons les 2 cas suivants en exemple.

a) on répartit uniformément le bruit sur tous les étages

$$b_i = 1/n$$

b) en utilisant les coefficients de modulation m_{i1} de l'équation 4, on attribue à chaque étage une fraction du bruit total égale au rapport de l'indice de modulation de l'étage sur la somme des indices :

$$b_i = \frac{m_{i1}}{\sum_i m_{i1}}$$

La capacité d'intégration de chaque étage est calculée à partir de l'équation 5, pour les 2 répartitions et pour plusieurs résolutions. La somme des capacités est reportée dans la table 2.

ENOB[bit]	capacité totale [pF]		
	a)	b)	optimale
12.5	7.07	2.95	2.08
13.5	28.3	11.8	8.31
14.5	113	47.1	33.24
15.5	452	188	133

TAB. 2. Capacité totale pour différentes précisions

Dans le cas a), la quantité de bruit allouée au premier intégrateur est trop restreinte. Les résistances doivent

avoir une valeur faible pour générer peu de bruit, ceci implique que la capacité soit élevée, pour réaliser la constante d'intégration souhaitée. Dans les autres étages, alors que la boucle de contre-réaction du modulateur permet d'atténuer fortement le bruit, la portion allouée est trop importante. Les résistances pourraient avoir des valeurs plus importantes et générer davantage de bruit. Il en résulterait une capacité d'intégration plus faible.

Dans le cas b), l'allocation du bruit se fait en fonction des possibilités d'atténuation de la boucle. On attribue davantage de bruit au premier étage, les résistances peuvent alors prendre des valeurs plus grandes et la capacité d'intégration diminue. Le bruit des autres étages est suffisamment atténué pour que les résistances soient grandes et les capacités de faibles valeurs.

On voit sur la table 2 que la capacité totale de la répartition a) est 2 à 3 fois supérieure à celle de la répartition b), pour différentes précisions. L'optimum n'a cependant pas été atteint. On a pu constater qu'en redistribuant une portion du bruit alloué au premier étage sur les étages suivants, la capacité totale diminuait. A partir de la solution b) on peut donc trouver une répartition qui conduit à une valeur minimale de la capacité globale. En redistribuant successivement une portion du bruit d'un étage sur les suivants on parvient à minimiser la charge capacitive du circuit. Cette procédure a été mise en oeuvre, les résultats présentés sur la 3^e colonne de la table 2 montrent qu'elle permet de réduire de 30% la charge capacitive de la répartition b).

5. Validation par simulation

Le modulateur a été modélisé en utilisant le langage VHDL-AMS. Ceci nous permet de mélanger des modèles comportementaux idéaux des différents blocs, avec des modèles électriques pour les résistances et les capacités. A partir de l'équation 5 et de la répartition optimale obtenue, on a pu calculer la valeur des éléments passifs des montages actif RC. La figure 6 montre la densité spectrale de puissance en sortie du convertisseur résultant d'une analyse transitoire avec deux signaux sinusoïdaux en entrée dont les fréquences sont dans la bande passante. L'amplitude du signal d'entrée est à 85% de la pleine échelle et le SNR maximal observé est de 128dB, soit 20 bit de précision. En pratique la résolution est limitée par les sources de bruit au niveau circuit (thermique, $1/f$, distorsion,...). Pour mesurer l'influence du bruit thermique généré par les résistances on a effectué une analyse de bruit sur le modèle linéarisé du modulateur. La quantité de bruit ramenée à l'entrée du modulateur dans la bande passante résultant de l'analyse confirme les calculs présentés.

6. Conclusion

Dans un modulateur $\Sigma\Delta$ la boucle de mise en forme du bruit de quantification est mise à profit pour réduire le bruit de circuiterie. Les coefficients de l'architecture ont une influence sur la réjection du bruit de chaque étage. Dans le cas d'un intégrateur actif RC, nous avons montré comment sont liés les paramètres de l'architecture, la contrainte de bruit thermique et la capacité d'intégration. Nous avons également présenté une méthode de répartition optimale de

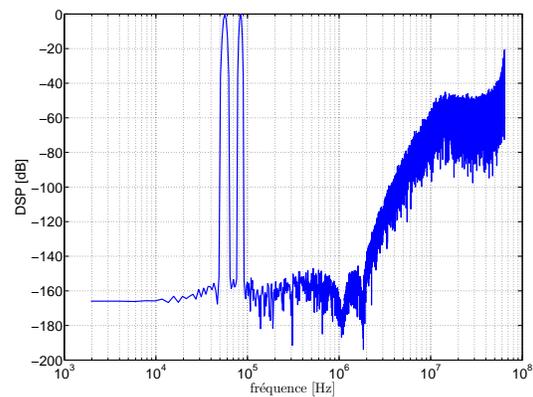


FIG. 6. densité spectrale de puissance normalisée du modulateur idéal

la contrainte de bruit du système sur les différents étages. La distribution obtenue nous permet de minimiser la charge capacitive du circuit.

Références

- [1] S.R. Norsworthy, R. Schreier and G.C. Temes "Delta-Sigma Data Converters : Theory and Simulation. IEEE Press, 2001.
- [2] L.J. Breems "Continuous-Time Sigma-Delta Modulation for IF A/D Conversion in Radio Receivers". Kluwer, 2001
- [3] F. Muñoz Chavero, K. Philips and A. Torralba, "A 4.7mW 89.5dB DR CT Complex $\Sigma\Delta$ ADC with Build-In LPF". International Solid-State Circuit Conference, Février 2005.
- [4] N. Beilleau, H. Aboushady and M.M. Louërat, "Filtering Adjacent Channel Blockers using Signal-Transfer-Function of Continuous-Time Sigma-Delta Modulators". Midwest Symposium of Circuits And System 2004 (MWSCAS'04), Hiroshima, Japon, Juillet 2004.
- [5] Y. Le Guillou and H. Fakhoury, "Elliptic filtering in continuous-time sigma-delta modulator". Electronics letters, 17 Février 2005, vol. 41, n°4.
- [6] 3rd Generation Partnership Project, www.3gpp.org
- [7] H. Aboushady and M.M. Louërat, "Loop delay compensation in bandpass continuous-time $\Sigma\Delta$ ". IEEE International Symposium on Circuits and Systems (ISCAS'04), Vancouver, Canada, Mai 2004.
- [8] R. van Veldhoven, K. Philips and B. Minnis, "A 3.3mW $\Sigma\Delta$ modulator for UMTS in 0.18 μ m CMOS with 70dB Dynamic Range in 2MHZ Bandwidth". International Solid-State Circuit Conference, Février 2002.
- [9] L. Dörrer, F. Kuttner, P. Greco, P. Torta and T. Hartig, "A 3mW 74dB SNR 2MHz Continuous-Time $\Delta\Sigma$ ADC with a tracking ADC quantizer in 0.13 μ m CMOS". IEEE J. Solid-State Circuits, vol. 40, n°12, Décembre 2005.
- [10] R. Schreier, "The Delta-Sigma Toolbox for MATLAB". Oregon state University, Novembre 1999.
- [11] H. Aboushady, L. de Lamarre, N. Beilleau and M.M. Louërat, "A Mixed Equation-based and Simulation-based Design Methodology for Continuous-Time Sigma-Delta Modulators". Midwest Symposium on Circuit And Systems (MWSCAS'04), Hiroshima, Japon, Juillet 2004.
- [12] K. Philips, P.A.C.M. Nuijten, R.L.J. Roovers, A.H.M. van Roermund, F. Muñoz Chavero, M. Tejero Pallarés and A. Torralba, "A Continuous-Time Sigma-Delta ADC With Increased Immunity to Interferers". IEEE J. Solid-State Circuits, vol. 39, n°12, Décembre 2004.