

Détection et évaluation des tensions de décalage d'un circuit analogique

Ramy Iskander, Marie-Minerve Louërat
Université Pierre et Marie Curie
Laboratoire LIP6
4 Place Jussieu, 75252 Paris, France
{ramy.iskander, marie-minerve.louerat}@lip6.fr

Andreas Kaiser
IEMN
Département ISEN
41 Bld. Vauban, 59046 Lille, France
andreas.kaiser@isen.fr

Résumé

Nous avons précédemment conçu une méthode pour dimensionner et polariser un circuit analogique en nous appuyant sur un graphe de dépendance. Cependant, à cause du nombre élevé de degrés de liberté présents dans un circuit analogique, des conflits peuvent apparaître dans ce graphe. Ici, nous proposons d'améliorer notre méthode en détectant automatiquement les conflits et en introduisant un degré de liberté supplémentaire pour les résoudre sous la forme d'une tension de décalage systématique. Lors du parcours du graphe, la tension de décalage systématique est calculée automatiquement comme la différence des tensions des noeuds en conflits, puis elle peut être ramenée sur une entrée du circuit. Nous illustrons cette méthode par l'exemple d'un OTA deux-étages à sortie non-différentielle.

1 Introduction

Voici plusieurs années que la synthèse de circuits numériques a atteint un niveau de maturité élevé. Le comportement des circuits peut être représenté à différents niveaux d'abstraction, allant des algorithmes jusqu'au niveau transistor, en utilisant des langages de description standardisés (i.e. VHDL, Verilog et SystemC). En ce qui concerne les circuits intégrés analogiques, la situation est bien différente. Les concepteurs luttent toujours pour développer des expressions mathématiques, en fonction de paramètres technologiques et de paramètres électriques au niveau circuit et au niveau système, qui modélisent des comportements non-linéaires complexes.

Plusieurs études, dont le but était d'automatiser le dimensionnement d'un circuit analogique, ont cherché à exprimer la connaissance sous forme d'une succession d'étapes de conception. Swings et Sansen ont proposé DONALD [1] pour inverser numériquement le modèle analytique comportemental d'un circuit analogique. DONALD utilise un algorithme numérique qui permet d'inverser les équations en fonction de différents paramètres, correspondant aux variables du modèle. Ceci permet d'utiliser le même modèle pour résoudre des problèmes de synthèse ou d'analyse. Le modèle de conception est représenté sous forme d'un graphe bipartite non orienté. Il est transformé en une séquence ordonnée d'équations de dimensionnement, appelée *solution plan* à partir de la propa-

gation des contraintes, représenté par un graphe bipartite orienté. Ce graphe est utilisé dans un processus de synthèse pour calculer les dimensions de composants élémentaires à partir de performances spécifiées. DONALD sait traiter les problèmes sur-contraints ou sous-contraints. Les cas sous-contraints correspondent à une donnée manquante. Les cas sur-contraints correspondent à des variables qui doivent satisfaire plusieurs équations. DONALD détecte ces problèmes et propose des solutions au concepteur. Bernardinis et Sangiovanni [2], eux, ont formalisé le problème de dimensionnement d'un circuit analogique par un graphe bipartite appelé *Analog Constraint Graphs* (ACGs). L'espace de conception admissible est défini par l'ensemble des contraintes d'égalité et d'inégalité portant sur les variables de conception. Cette représentation est utilisée pour réduire l'espace de conception. Les ACGs permettent de choisir efficacement, dans l'espace de conception, des jeux de variables correspondant uniquement aux solutions réalisables. C'est pourquoi les ACGs sont utilisés lors de l'exploration du domaine de conception, pour modéliser les performances du circuit. Cet article s'adresse également à la modélisation du comportement d'un circuit analogique dans le but de le dimensionner. La connaissance du circuit (net-list et hypothèse du concepteur sur le choix des variables de synthèse) est représentée automatiquement sous la forme d'un graphe de dépendance. Ce graphe permet d'examiner la cohérence des hypothèses effectuées sur le circuit et, dans le cas particulier des graphes sur-contraints, de proposer un diagnostic pour résoudre le conflit. Cet article comporte cinq parties. La deuxième rappelle brièvement la méthode de dimensionnement DC basée sur le graphe de dépendance. La troisième explique comment cette représentation peut aider à résoudre des problèmes de synthèse sur-contraints. La quatrième illustre cette méthode par l'exemple de l'OTA deux étages. La cinquième conclut cet article.

2 Dimensionnement hiérarchique

On utilise la méthode hiérarchique de dimensionnement décrite dans [3] et [4] pour calculer le point de fonctionnement DC d'un circuit analogique et générer un plan de conception sous la forme d'un graphe orienté acyclique. Un circuit est représenté comme une hiérarchie de sous-circuits dans l'environnement CAIRO+[5]. Les feuilles de la hiérarchie sont des *dispositifs de base* et les niveaux supérieurs sont appelés *modules*. Chaque sous-circuit est

représenté par son graphe de dépendance. Le graphe de dépendance exprime les relations qui existent entre les paramètres électriques DC (tensions, courants) et certains paramètres choisis comme paramètres d'entrée. Le graphe de dépendance du circuit est construit de manière ascendante, à partir des feuilles. Ce graphe est transformé, si possible, en graphe orienté acyclique, pour représenter le plan de dimensionnement du circuit analogique. Une fois construit, ce graphe est exécuté d'une façon descendante, pour calculer le point de fonctionnement et les dimensions des transistors.

Du fait du nombre élevé de degrés de liberté d'un problème de synthèse analogique, il peut apparaître des conflits dans le graphe de dépendance. Les conflits apparaissent quand un même paramètre est défini de plusieurs façons, i.e. il existe plusieurs chemins dans le graphe aboutissant à un même paramètre. Ces conflits rendent la connaissance introduite dans le graphe, incohérente. Dans la suite, la connaissance du circuit qui repose sur l'existence de ce graphe, est enrichie de sorte à détecter et supprimer les conflits et construire un graphe orienté acyclique.

3 Tension de décalage systématique

Comme le plan de dimensionnement est une modélisation de l'expertise du concepteur relative à un circuit, il ne devrait pas comporter d'incohérence. Cette incohérence se manifeste par l'existence de conflits dans le graphe[6]. Il est donc essentiel de savoir identifier les divers cas de conflits, de les comprendre et de les résoudre pour modéliser de manière satisfaisante l'expertise du concepteur.

Dans cet article, on examine le problème particulier posé par l'introduction d'une tension de décalage systématique lors de la conception d'un amplificateur. Nous montrons que cette tension se manifeste par l'existence de plusieurs hypothèses conflictuelles. En identifiant le noeud sur lequel se produit le conflit, on peut estimer précisément la valeur de la tension de décalage.

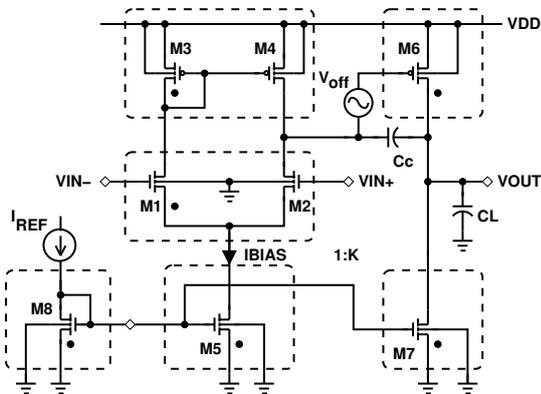


FIG. 1. Amplificateur 2 étages.

Un décalage de tension peut être voulu par un concepteur de circuits tels que les amplificateurs opérationnels, les comparateurs, les convertisseurs analogique-numérique et numérique-analogique ... Si les deux entrées d'un amplificateur sont reliées à la tension de mode commun, la sortie devrait atteindre le mode commun de sortie, ce qui

n'est pas le cas en général dans les circuits fabriqués. On parle alors de décalage de tension systématique et de décalage aléatoire. Le décalage systématique résulte directement de la technique suivie par le concepteur. La tension aléatoire résulte des fluctuations des paramètres caractérisant le procédé de fabrication. Pour amener la sortie du circuit au niveau du mode commun souhaité, il est souvent nécessaire d'ajouter une tension à une des entrées, cette tension est appelée tension de décalage.

Étudions l'amplificateur 2 étages présenté Fig. 1. Pour augmenter le produit gain-bande GBW le premier pôle non-dominant est placé à une fréquence f_{nd} au moins trois fois plus grande que GBW . Ceci est possible grâce à l'augmentation de la transconductance du deuxième étage $g_{m,M6}$. Puisque :

$$g_{m,M6} \approx \frac{2I_{M6}}{V_{GS,M6} - V_{th,M6}} \approx \frac{2I_{M6}}{V_{eg,M6}} \quad (1)$$

la tension $V_{GS,M6}$, et la tension effective de grille $V_{eg,M6}$, doivent être faibles. Cette hypothèse est en contradiction avec le choix arbitraire de la tension $V_{DS,M4}$. Ce conflit déséquilibre l'amplificateur qui sature au niveau V_{DD} . Pour équilibrer l'amplificateur, on ajoute un degré de liberté en libérant la tension au noeud $V_{D,M4}$. La différence entre $V_{D,M4}$ et $V_{G,M6}$ est la tension de décalage qui apparaît à la sortie du premier étage. Pour "ramener" à l'entrée cette tension, on divise cette valeur par le gain du premier étage.

$$V_{i,off} \approx (V_{D,M4} - V_{G,M6}) \cdot \frac{g_{ds,M2} + g_{ds,M4}}{g_{m,M1}} \quad (2)$$

En généralisant ce principe, on peut résoudre les conflits de tension sur n'importe quel noeud du graphe en introduisant une tension de décalage.

Le tableau 1 résume la liste des opérateurs utilisés pour le dimensionnement de l'amplificateur à 2 étages. Ils sont placés dans une bibliothèque et appelés lors de l'exécution du graphe de dépendance. On peut trouver une définition plus complète de ces opérateurs dans [3] and [4].

TAB. 1. Opérateurs utilisés pour le dimensionner l'amplificateur 2 étages.

Opérateur	Définition
OPVS(V_{eg}, V_B)	$(V_S, V_{th}, W) \Leftarrow Temp, I_{DS}, L, V_{eg}, V_D, V_G, V_B$
OPVG(V_{eg})	$(V_G, V_B, V_{th}, W) \Leftarrow Temp, I_{DS}, L, V_{eg}, V_D, V_S$
OPVGD(V_{eg})	$(V_G, V_D, V_B, V_{th}, W) \Leftarrow Temp, I_{DS}, L, V_{eg}, V_S$
OPW(V_G, V_S)	$(W, V_B, V_{th}) \Leftarrow Temp, I_{DS}, L, V_D, V_G, V_S$
OPIDS(V_G, V_S)	$(I_{DS}, V_B, V_{th}) \Leftarrow Temp, W, L, V_D, V_G, V_S$

Pendant la construction du graphe de dépendance, un conflit apparaît si un même paramètre (ici, une tension) est évalué par des opérateurs distincts. Il n'y a aucune raison que les valeurs données par les opérateurs distincts soient identiques. Il y a donc apparition d'un conflit (Fig. 2(a)). Supposons que (M_3, M_4) est idéal, i.e. $V_{G,M3} = V_{D,M4}$. Dans le graphe Fig. 2(a), $V_{G,M3}$ et $V_{D,M4}$ partagent donc le même noeud. L'opérateur $OPVGD$ est utilisé pour calculer $V_{G,M3}$ et $V_{D,M4}$ à partir des données connues, comme

le courant $I_{DS,M3}$. L'opérateur *OPVGD* est utilisé pour calculer $V_{G,M6}$ à partir de données connues de M_6 , telles que $I_{DS,M6}$. Malheureusement, $V_{D,M4}$ et $V_{G,M6}$ forment une équipotentielle. $V_{G,M6}$, $V_{G,M3}$, $V_{D,M4}$ et $V_{D,M1}$ partagent donc le même noeud. Les deux opérateurs *OPVGD* et *OPVG* calculent le même paramètre et entrent donc en conflit. Il est donc nécessaire d'introduire un degré de liberté supplémentaire pour résoudre ce conflit. Ce degré de liberté doit être inséré dans le graphe pour le transformer en un nouveau graphe, sans conflit.

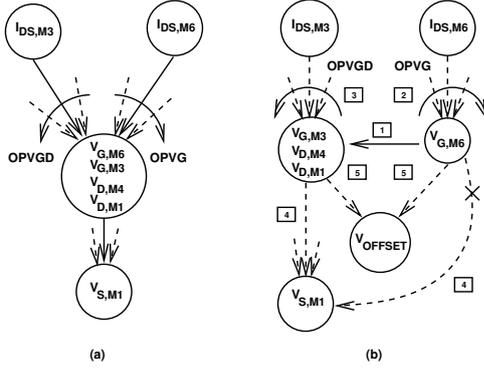


FIG. 2. Conflits entre opérateurs : (a) Détection, (b) Résolution. Les rectangles montrent les étapes de résolution.

Pour résoudre le conflit qui est apparu entre les deux opérateurs définissant un paramètre, nous proposons de modifier le graphe par la technique de séparation des noeuds. On commence par choisir un opérateur pivot. Ici l'opérateur pivot est défini soit comme l'opérateur qui calcule une tension de grille (i.e. *OPVG*), soit comme celui qui calcule la tension de source (i.e. *OPVS*) d'un transistor MOS. Ces opérateurs sont définis dans le tableau 1. Dans cette approche, la tension de drain peut être soit connue a priori, soit déterminée par sa connexion à un autre dispositif de base par la grille ou la source. Nous supposons donc que les tensions de décalage sont associées à une grille ou à une source de transistor MOS. Les transistors montés en diode sont donc exclus. Une fois le pivot choisi, les paramètres qui créent le conflit sont associés à un nouveau noeud. Les relations associées à chacun des opérateurs en conflit sont redirigées vers les noeuds appropriés. On corrige éventuellement les relations de dépendance associées au noeud conflictuel initial. On ajoute encore un nouveau noeud, qui représente la tension de décalage. L'introduction de ce nouveau noeud permet de modifier le graphe de dépendance initial conflictuel en un graphe sans conflit. La connaissance exprimée par le graphe modifié est alors cohérente. Fig. 2(b), l'opérateur pivot est *OPVG* car il calcule une tension de grille. Après la création d'un nouveau noeud (étape 1), le noeud initial n'est associé qu'à $V_{G,M6}$ et le nouveau noeud à $\{V_{G,M3}, V_{D,M4}, V_{D,M1}\}$. Comme *OPVG* avait été choisi pour calculer $V_{G,M6}$, les arcs de dépendance associés sont modifiés (étape 2) pour relier $V_{G,M6}$. *OPVGD* est modifié (étape 3) pour être relié à $\{V_{G,M3}, V_{D,M4}, V_{D,M1}\}$. Dans l'étape 4, l'arc entre $V_{S,M1}$ et le noeud initial est remplacé. Comme $V_{S,M1}$ dépend des paramètres de M_1 , il faut modifier l'arc de

puis $V_{G,M6}$ qui n'a aucun paramètre de M_1 . Ainsi l'arc de dépendance entre $V_{S,M1}$ et le noeud initial $V_{G,M6}$ est remplacé par un arc de dépendance avec le nouveau noeud $\{V_{G,M3}, V_{D,M4}, V_{D,M1}\}$ qui contient $V_{D,M1}$. Dans la cinquième étape on ajoute le noeud qui représente la tension de décalage. Il est relié au noeud initial et au noeud ajouté. Sa valeur est $V_{OFFSET} = V_{G,M6} - \{V_{G,M3}, V_{D,M4}, V_{D,M1}\}$. On obtient alors un graphe modifié sans conflit.

4 Résultats

La figure 3 présente le graphe de dépendance de l'amplificateur à 2 étages. On suppose que $W_{M8} = W_{M5}$. Le transistor M_8 appartient au circuit de polarisation de l'amplificateur. Nous choisissons de spécifier le courant I_{BIAS} . Le courant de référence I_{REF} est un résultat du dimensionnement.

Pour générer un conflit dans ce graphe on a ajouté la contrainte $V_{G,M3} = V_{D,M4}$. De plus on choisit $V_{eg,CM}$ et $V_{eg,M6}$. Dans la suite on va détailler l'analyse du graphe et expliquer la détection et la résolution du conflit :

1. Les paramètres d'entrée pour dimensionner l'amplificateur sont : $TEMP$, V_{DD} , V_{SS} , I_{BIAS} , $V_{eg,CM}$, L_{CM} , $V_{eg,DP}$, L_{DP} , V_{ICM} , V_{OUT} , $V_{eg,M5}$, $L_{\{M8,M5,M7\}}$, $V_{eg,M6}$, L_{M6} et K . Ils apparaissent dans les noeuds entourés par un *rectangle*.
2. Les paramètres utilisés pour propager des valeurs sont représentés par les noeuds entourés d'un *cercle*. Considérons par exemple le paramètre $(C2, v_{eg,cm}, 61)$: il propage le paramètre de l'amplificateur $(C1, V_{eg,CM}, 67)$ au paramètre du miroir de courant $(C3, V_{eg,CM}, 8)$.
3. Les paramètres des dispositifs de base sont propagés aux paramètres des transistors qui constituent le dispositif. Considérons par exemple le paramètre du miroir de courant : $(C3, V_{eg,CM}, 8)$ est propagé à M_3 via $(C4, V_{eg,M3}, 7)$ et à M_4 via $(C4, V_{eg,M4}, 7)$. Notons que M_3 et M_4 partagent la même tension effective de grille $(C4, V_{eg}, 7)$.
4. Comme on a spécifié $V_{eg,M3}$, $V_{G/D,M3}$ est calculé par l'opérateur *OPVGD* ($V_{eg,M3}$) en $(C5, V_{G/D,M3}, 2)$.
5. Comme on a spécifié $V_{eg,M6}$, $V_{G,M6}$ est calculé par l'opérateur *OPVG* ($V_{eg,M6}$) en $(C7, V_{G,M6}, 1)$.
6. Les points (4) et (5) entrent en conflit avec l'hypothèse $V_{G,M3} = V_{D,M4}$. On applique donc la méthode de séparation des noeuds et on ajoute le noeud $(C8, V_{OFFSET}, 0)$ pour calculer la tension de décalage, qui dépend du noeud initial $(C7, V_{G,M6}, 1)$ et du nouveau noeud $(C5, V_{G/D,M3}, 2)$. Lors du parcours du graphe, on évalue la tension de décalage comme la différence des tensions à ces deux noeuds.
7. Les largeurs des transistors sont calculées aux noeuds $(C8, \{M_1, M_2\}, 21)$, $(C8, \{M_3, M_4\}, 11)$, $(C8, M_6, 31)$, $(C7, \{M_5, M_8\}, 36)$ et $(C8, M_7, 25)$.
8. Comme $W_{M8} = W_{M5}$, ces paramètres partagent le même noeud : $(C7, \{M_5, M_8\}, 36)$.
9. Le courant de référence I_{REF} est calculé par l'opérateur *OPIDS* (V_G, V_S) au noeud $(C8, I_{DS,M8}, 41)$.

10. Le dimensionnement est effectué par la propagation des paramètres dans le graphe :

- $V_{G,M3}$ et $V_{D,M3}$ sont calculés par $OPVGD(V_{eg,M3})$ au noeud (C5, $V_{G/D,M3},2$).
- $V_{D,M3}$ est utilisé pour calculer $V_{D,M5}$, qui est égal à $V_{S,M1}$, avec l'opérateur $OPVS(V_{eg,M1},V_{B,M1})$ au noeud (C6, $V_{S,M1},24$).
- puis $V_{D,M5}$ est utilisé pour calculer $V_{G,M5}$ avec $OPVG(V_{eg,M5})$ au noeud (C7, $V_{G,M5},29$).
- $V_{G,M5}$, qui est égal à $V_{G,M8}$, est utilisé pour calculer le courant I_{REF} avec l'opérateur $OPIDS(V_{G,M8},V_{S,M8})$ au noeud (C8, $I_{DS,M8},41$).

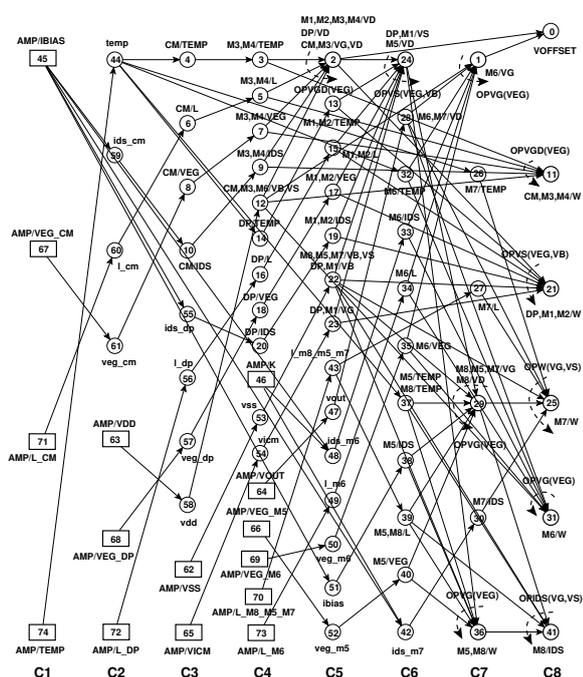


FIG. 3. Le graphe de dépendance du module amplificateur : (a) les rectangles contiennent les paramètres d'entrée, (b) les cercles fins, les paramètres utilisés pour propager les valeurs, (c) les cercles en gras contiennent les opérateurs. Chaque noeud est représenté par le triplet (colonne, nom, index).

On a réalisé la simulation électrique de l'amplificateur, dimensionné suivant le graphe de la figure 3 et rebouclé par un gain unitaire. Le tableau 2 présente les résultats du point de fonctionnement, obtenu par dimensionnement et par simulation ainsi que la tension de décalage. On peut calculer la tension de décalage ramenée à l'entrée en utilisant l'équation (2), qui donne la valeur -0.20424 mV. En utilisant les équations plus précises d'OCEANE [7] on obtient la valeur -0.204734 mV. Cette valeur de la tension de décalage équilibre effectivement l'amplificateur. La tension de mode commun de sortie $V_{OUT} = V_{DD} + V_{DS,M6}$ vaut alors $0.6V$ pour une tension de mode commun d'entrée de $0.6V$. Remarquons que le point de fonctionnement obtenu par simulation électrique montre que M_1 et M_2 diffèrent légèrement sous l'influence de la tension de décalage qui a été ramenée à l'entrée.

TAB. 2. Technologie CMOS 130NM et $V_{DD} = 1.2V$.

Paramètre	Synthèse		Simulation		
	M_1, M_2	M_3, M_4	M_1	M_2	M_4
$I_{DS}(\mu A)$	50.0	-50.0	50.028	49.971	-49.971
$V_{GS}(V)$	0.453075	-0.462552	0.45317	0.45297	-0.4626
$V_{DS}(V)$	0.590524	-0.462552	0.59057	0.6099	-0.44328
$V_{BS}(V)$	-0.146925	0.0	-0.14683	-0.14683	0.0
$V_{th}(V)$	0.333076	-0.342552	0.33304	0.33304	-0.34255
$V_{eg}(V)$	0.12	-0.12	0.12013	0.11993	-0.12005
$V_{dsat}(V)$	0.115618	-0.120473	0.1157	0.11557	-0.12051
$g_m(mA/V)$	0.671032	0.653846	0.67095	0.67075	0.65333
$g_{ds}(\mu A/V)$	4.24831	2.85842	4.2497	4.1989	2.9923
$g_{mb}(mA/V)$	0.13131	0.143927	0.13129	0.13127	0.14382
$C_{gd}(fF)$	10.8436	30.2681	10.830	10.818	30.443
$C_{gs}(pF)$	0.165409	0.523254	0.16524	0.16518	0.52325
$C_{sd}(fF)$	0.0378348	0.343275	0.037829	0.034159	0.39329
$C_{bd}(fF)$	0.0341236	0.284976	0.034119	0.030809	0.3265
	M_6		M_6		
$I_{DS}(\mu A)$	-500		-500.07		
$V_{GS}(V)$	-0.443267		-0.44328		
$V_{DS}(V)$	-0.6		-0.6		
$V_{i,off}(mV)$	-0.20424^1		—		
$V_{i,off}(mV)$	-0.204734^2		-0.204734		

1. Avec Eq. (2). 2. Avec les équations d'OCEANE [7].

5 Conclusion

On a formulé le problème de tension de décalage d'un circuit analogique comme un conflit dans un graphe de dépendance. La tension de décalage est détectée en identifiant les hypothèses contradictoires et résolue par une technique de séparation des noeuds dans le graphe de dépendance. Cette approche a été utilisée pour modéliser un amplificateur à deux étages. On a pu introduire automatiquement la tension de décalage dans le graphe de dépendance. On a montré que la valeur calculée équilibre effectivement l'amplificateur.

Références

- [1] K. Swings and W. Sansen. Donald : a workbench for interactive design space exploration and sizing of analog circuits. In *Proc. of the European Conf. on Design Automation, EDAC*, pages 475–479, 1991.
- [2] F. De Bernardinis and A. Sangiovanni Vincentelli. Efficient analog platform characterization through analog constraint graphs. In *The International Conference on Computer-Aided Design, ICCAD*, pages 415–421, November 2005.
- [3] R. Iskander, M.-M. Louërat, and A. Kaiser. Hierarchical graph-based sizing for analog cells through reference transistors. In *The IEEE 2nd Conference on Ph.D. Research in Microelectronics and Electronics, PRIME*, pages 321–324, Otranto, Italy, June 2006.
- [4] R. Iskander, M.-M. Louërat, and A. Kaiser. Automatic DC operating point computation and design plan generation for analog IPs. *Accepted in Analog Integrated Circuits and Signal Processing Journal*. in press.
- [5] R. Iskander, L. de Lamarre, A. Kaiser, and M.-M. Louërat. Design space exploration for analog IPs using CAIRO+. In *IEEE International Conference on Electrical Electronic and Computer Engineering, ICEEC*, pages 473–476, Egypt, September 2004.
- [6] C.-H. Wu, S.-J. Lee, and H.-S. Chou. Dependency analysis for knowledge validation in rule-based expert systems. In *Proceedings of the Tenth Conference on Artificial Intelligence for Applications*, pages 327–333, San Antonio, TX, 1994.
- [7] J. Porte. Océane. <http://www-asim.lip6.fr/recherche/oceane>.