

# Régulateurs de tension CMOS

## Table des matières

<b>1</b>	<b>Concepts de base</b>	<b>3</b>
1.1	Fonction . . . . .	3
1.2	Régulateur de tension linéaire série générique . . . . .	4
1.2.1	Constitution du régulateur . . . . .	4
1.2.2	Constitution du ballast . . . . .	4
1.3	Autres régulateurs de tension . . . . .	6
1.4	Indices de performance . . . . .	6
<b>2</b>	<b>Régulateur LDO conventionnel</b>	<b>8</b>
2.1	Constitution . . . . .	8
2.2	Indices de performance . . . . .	9
2.2.1	Stabilité . . . . .	9
2.2.2	Régulation de ligne . . . . .	12
2.2.3	Régulation de charge . . . . .	15
2.2.4	Coefficient de température . . . . .	16
2.2.5	Temps d'établissement . . . . .	16
2.3	Problèmes de conception du LDO conventionnel . . . . .	18
2.3.1	Le transistor ballast . . . . .	18
2.3.2	Le condensateur de compensation . . . . .	18
2.3.3	Le condensateur de découplage . . . . .	18
2.3.4	La connexion avec l'extérieur . . . . .	18
2.3.5	La tension de référence . . . . .	19
2.3.6	L'amplificateur d'erreur . . . . .	19
<b>3</b>	<b>Régulateur LDO intrinsèque</b>	<b>20</b>
3.1	Constitution . . . . .	20
3.2	Stabilité et performances . . . . .	21
<b>4</b>	<b>Régulateur LDO avec suiveur de tension</b>	<b>22</b>
4.1	Principe . . . . .	22
4.2	Fonction de transfert . . . . .	24
4.3	Faisabilité du régulateur . . . . .	24
4.4	Réduction de la consommation par polarisation adaptative . . . . .	25
<b>5</b>	<b>Génération d'un zéro interne</b>	<b>26</b>
5.1	Génération d'un zéro passif . . . . .	26
5.2	Génération d'un zéro actif à partir d'une transcapacitance . . . . .	27
5.2.1	Avec un amplificateur de courant . . . . .	27
5.2.2	Avec un convoyeur de courant . . . . .	28
5.3	Autres techniques de génération d'un zéro actif . . . . .	29

<b>6</b>	<b>Régulateur LDO avec zéro actif sur la sortie</b>	<b>29</b>
6.1	Constitution du LDO . . . . .	29
6.2	Stabilité . . . . .	29
6.3	Faisabilité du LDO . . . . .	31
6.3.1	Spécifications de l'OTA . . . . .	31
6.3.2	Positionnement du zéro actif . . . . .	32
6.3.3	Spécifications de l'amplificateur de courant . . . . .	32
6.3.4	Performances . . . . .	33
<b>7</b>	<b>Régulateur LDO avec zéro actif sur le pont résistif</b>	<b>34</b>
7.1	Constitution . . . . .	34
7.2	Stabilité . . . . .	34
7.3	Faisabilité du LDO avec condensateur externe . . . . .	36
7.3.1	Positionnement du zéro actif . . . . .	36
7.3.2	Spécifications de l'amplificateur de courant . . . . .	36
7.3.3	Performances . . . . .	37
7.4	Faisabilité d'un LDO sans condensateur externe . . . . .	38
<b>8</b>	<b>Régulateur LDO avec zéro actif sur DDA</b>	<b>38</b>
8.1	L'amplificateur différentiel de différence (DDA) . . . . .	38
8.2	Constitution du LDO . . . . .	39
8.3	Stabilité . . . . .	41
8.4	Performances . . . . .	42
<b>9</b>	<b>Régulateur LDO à compensation pseudo-Miller</b>	<b>43</b>
9.1	Motivation . . . . .	43
9.2	Constitution du LDO . . . . .	43
9.2.1	Stabilité . . . . .	43
<b>10</b>	<b>Régulateurs basse tension tension à prélèvement direct</b>	<b>43</b>
10.0.1	Constitution . . . . .	43
10.0.2	Peformances . . . . .	44
<b>11</b>	<b>Régulateurs de tensions à haute régulation de ligne</b>	<b>44</b>

# 1 Concepts de base

## 1.1 Fonction

Par définition, un régulateur de tension est un dispositif électronique qui ajuste sa résistance interne en fonction de sa résistance de charge pour générer une tension de sortie constante et indépendante des dispersions technologiques, des tensions d'alimentation et de la température (invariant PVT). Les régulateurs de tension sont intensivement utilisés pour la gestion des tensions d'alimentation [11] dans les SoC (System-on-Chip), les SiP (System-in-Package), ..., nécessitant plusieurs tensions d'alimentation afin de minimiser la consommation. Un exemple simple de gestion de l'énergie est donné sur la *figure 1*. Le cadre choisi est le cadre de l'électronique nomade (téléphonie portable, assistant personnel PDA, visiophonie,...) qui possède une batterie incorporée, typiquement en technologie lithium-ion, générant une tension minimum de 2.97V avant recharge et une tension maximum de 4.2V en pleine charge. Afin d'augmenter la durée des cycles décharge-recharge et ainsi de prolonger la durée de vie de la batterie, une distribution optimale des tensions d'alimentation est effectuée à partir de trois régulateurs de tension fournissant, une haute tension (1.8V) pour assurer l'interfacage avec l'extérieur, une tension moyenne (1.2V-1.4V) suffisante pour permettre le bon fonctionnement de la circuiterie analogique, et une basse tension (0.8V-1V) assurant une minimisation de la puissance consommée et des courants de fuite de la circuiterie numérique. On notera qu'un régulateur de tension (LDO) peut également être pertinemment utilisé pour alimenter spécifiquement une partie de la circuiterie analogique très sensible aux bruits d'alimentation, typiquement un convertisseur analogique-numérique [7] ou une bandegap (prérégulation).

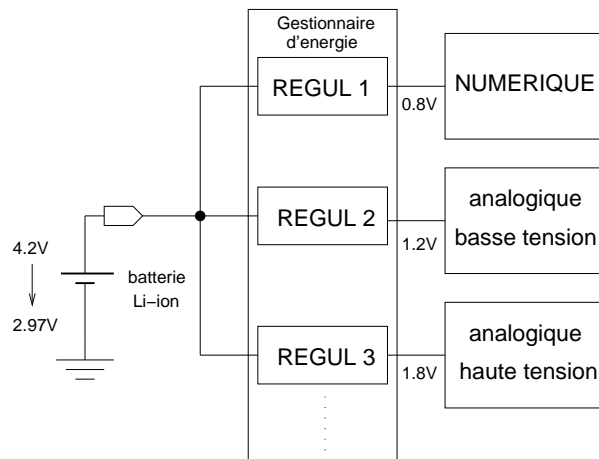


FIGURE 1 –

*Un exemple de gestion des tensions d'alimentation*

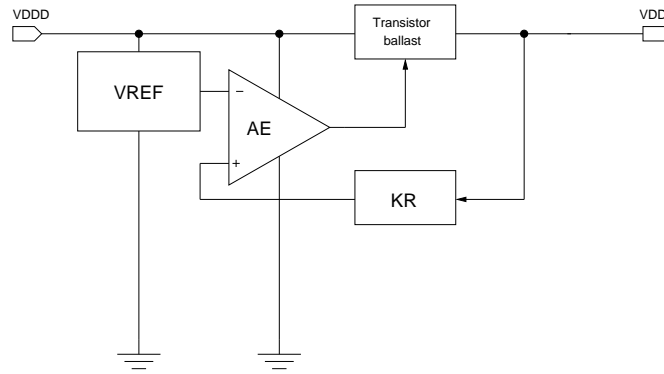


FIGURE 2 –

*Représentation fonctionnelle du régulateur de tension linéaire générique*

## 1.2 Régulateur de tension linéaire série générique

### 1.2.1 Constitution du régulateur

Le régulateur de tension linéaire série représenté sur la *figure 2* est constitué de quatre blocs fonctionnels

- **un générateur de tension de référence** : usuellement une [bandegap](#), devant procurer une précision de l'ordre de 0.5% à 1% et un coefficient de température de l'ordre de 50ppm/oC à 100ppm/oC
- **un ballast** : usuellement un transistor ou une combinaison de transistors MOS ou bipolaires en série entre l'entrée et la sortie du régulateur jouant fonctionnellement le rôle de résistance variable
- **un dispositif de prélèvement** : typiquement un pont diviseur résistif permettant la comparaison entre la tension de consigne VREF (souvent de l'ordre de 1.2V) et une fraction de la tension de la tension régulée normalement supérieure à VREF
- **un amplificateur d'erreur** : typiquement un amplificateur opérationnel dont la fonction est de comparer la fraction de tension  $KR.VDD$  prélevée à la tension de consigne VREF, d'amplifier la différence, et via le ballast permettre l'ajustement de VDD à la valeur  $VREF/KR$  en forçant par contre-réaction une valeur nulle entre ses deux entrées.

### 1.2.2 Constitution du ballast

Différentes structures de ballast peuvent être utilisées et les cinq structures les plus courantes [10] sont représentées sur la *figure 3*.

#### - Ballasts bipolaires

Les transistors bipolaires sont des dispositifs commandés en courant avec des gains en courant de quelques dizaines. Ainsi, l'amplificateur d'erreur devant fournir le courant de base adéquat, sera caractérisé par une consommation fortement dépendante du courant de sortie du régulateur. L'utilisation d'un transistor composite Darlington, qui a un gain en courant égal au produit des gains en courant des deux transistors en

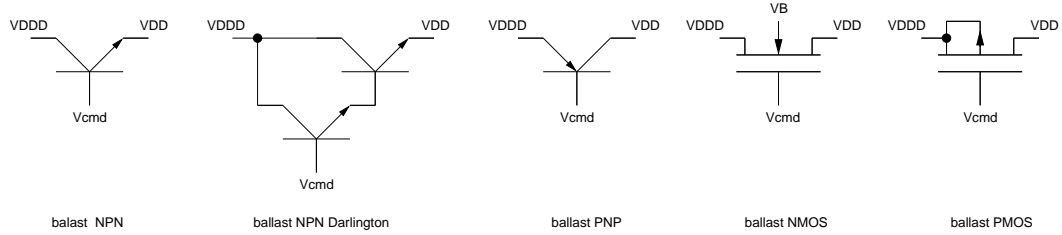


FIGURE 3 –

*Différentes structures de transistor ballast*

cascade, permet de réduire nettement le problème mais implique l'utilisation d'une tension de base égale à  $VDD+2V_{BE}$  ( $V_{BE}$  de l'ordre de  $0.6V$ ). On notera que le courant de base des ballasts NPN est injecté dans VDD (donc recyclé), alors que le courant de base des ballasts PNP est dérivé vers la masse (courant de masse perdu). En terme de tension d'alimentation, la base du NPN simple doit être au moins égale à  $VDD+V_{BE}$ , elle peut ainsi être supérieure à VDDD et nécessiter un dispositif élévateur de tension (typiquement une pompe de charge [4]), alors que la base du PNP est à un potentiel inférieure à VDDD. On notera également que la tension collecteur émetteur (tension de déchet du régulateur) augmente avec le courant de collecteur. Du point de vue stabilité, le transistor bipolaire NPN dans une configuration collecteur commun (émetteur suiveur), présente sur la sortie du régulateur une basse impédance, la stabilité du régulateur en boucle fermée peut ainsi être assurée indépendamment des conditions de charge, ce qui n'est pas le cas pour le ballast PNP en configuration émetteur commun donc en sortie relativement haute impédance. Enfin, si on considère la compatibilité technologique, la réalisation des ballasts bipolaires est **impossible**

dans une technologie CMOS standard.

### - Ballasts MOS

La largeur  $W$  des transistors MOS étant proportionnelle au courant de drain, comparativement aux structures bipolaires, "non dimensionnées", en termes de possibilités de courant de sortie, les ballasts MOS sont moins performants. Par contre, les transistors MOS sont des dispositifs commandés en tension et en terme de consommation, pour l'amplificateur d'erreur, même en considérant le fait qu'un fort courant de sortie conduit à une forte largeur pour le ballast donc à une forte capacité de grille, en utilisant des amplificateur travaillant en classe AB, il est normalement possible d'obtenir une consommation de quelques dizaines de microampères. En terme de tension d'alimentation, comme son homologue NPN, le ballast NMOS peut nécessiter un dispositif élévateur de tension, alors que le ballast PMOS peut fonctionner avec une tension  $VDDD \approx 0.2V$  supérieure à VDD, de ce fait, les régulateurs de tension à ballast PMOS, intrinsèquement à faible tension de déchet sont souvent simplement appelés régulateurs LDO (Low-DropOut) est sont très souvent utilisés, en dépit des problèmes de stabilités inhérents à leur configuration source commune, conduisant à une impédance de drain fortement dépendante du courant de sortie.

### 1.3 Autres régulateurs de tension

Une alternative à la régulation de tension linéaire est la régulation à commutation ou conversion DC/DC. Ces régulateurs sont des dispositifs mixtes (analogiques et numériques) injectant dans la boucle de réaction des impulsions de courant, ils peuvent générer une tension régulée supérieure à VDDD (boost converter) ou inférieures à VDDD (buck converter). Les convertisseurs DC/DC sont des dispositifs beaucoup plus complexes à dimensionner que les régulateurs de tensions linéaires, ils nécessitent un oscillateur, une circuiterie numérique, une inductance de forte valeur [9], [6], [12], ou une circuiterie à capacités commutées [8], ... . Typiquement, ils sont très performants en terme de rendement et de courant de sortie, par contre ils sont peu performants, en terme de réjection des bruits d'alimentation (de part la nature mixte des signaux traités), de ce fait, ils sont souvent cascades avec une régulateur de tension linéaire, et en terme de réponse temporelle (quelques 10 microsecondes contre quelques microsecondes pour le LDO).

### 1.4 Indices de performance

#### - Coefficients de température

La dépendance à la température, peut être mesurée par le coefficient de température (tempco)

$$TC = \frac{\partial VDD}{\partial T}$$

ou par le coefficient de température fractionnaire exprimé en *ppm/°K* (1 ppm correspond à une variation relative de  $10^{-6}$ )

$$TC_F = \frac{1}{VDD} \frac{\partial VDD}{\partial T}.$$

#### - Régulation de l'alimentation

La dépendance de la tension de sortie VDD aux variations de la tension d'alimentation VDDD est donnée par l'indice statique de régulation de l'alimentation (régulation de ligne)

$$LR_{li} = \frac{\Delta VDD}{\Delta VDDD} \quad \text{ou} \quad \frac{\Delta VDD}{\Delta VDDD} \frac{100}{VDD} \quad \text{en } V^{-1}\%$$

#### - Réjection de l'alimentation

Cet indice de performance petit signal mesure également la dépendance de la tension de sortie aux variations de la tension d'alimentation mais contrairement à l'indice précédent qui est un indice statique (par définition indépendant des effets inductifs et capacitifs) c'est un indice petit signal qui prend en compte le comportement en fréquence des bruits parasites inévitablement présents dans un environnement comportant des circuits numériques. Cet indice (Power Supply Rejection), formellement donné par

$$PSR_{vddd} = 20 \log \frac{\delta VDDD}{\delta VDD} = 20 \log \frac{vddd(\omega)}{vdd(\omega)}$$

correspond à l'inverse de la fonction de transfert du régulateur.

### - Régulation de charge

La dépendance de la tension de sortie VDD aux variations du courant de sortie IL est donnée par l'indice de statique de régulation de charge

$$LR_{lo} = \frac{\Delta VDD}{\Delta IL} \text{ en } \Omega \text{ ou } \frac{\Delta VDD}{\Delta IL} \frac{100}{VDD} \text{ en } \Omega V^{-1}\%.$$

### - Impédance de sortie

Cet indice de performance mesure également la dépendance de la tension de sortie aux variations du courant de sortie, c'est un indice petit signal défini par

$$Z_s = \frac{\delta VDD}{\delta IL} = \frac{vdd(\omega)}{il(\omega)}$$

ou simplement aux basses fréquences par

$$R_s = \frac{vdd}{il}.$$

### - Bruit

Pour prendre en compte le fait que la précision de la régulation est limitée ultimement par le bruit généré par ses constituants actifs et passifs, on spécifie la tension de bruit en sortie du dispositif.

### - Tension de déchet

C'est la tension minimum VDO (Drop-Out Voltage) aux bornes du ballast permettant la régulation effective de VDD. Elle est parfois définie comme la différence VDDD-VDD correspondant à un écart de 2% sur la tension nominale de sortie ou simplement comme la chute de tension VDO=Ron.IL, Ron étant la résistance effective du ballast.

### - Rendement

Le rendement du régulateur de tension dépend directement de la tension de déchet VDO, du courant de sortie IL et des différents courants statiques IQ (courant consommé par le circuit de prélèvement, polarisation de l'amplificateur opérationnel, ...). Formellement, il s'exprime par

$$\eta \approx \frac{VDD IL}{(IQ + IL)VDDD}.$$

La quantité

$$\eta_i = \frac{IL}{IQ + IL}$$

traduit l'efficacité en courant du régulateur, et à fort courant de sortie, la quantité

$$\eta \approx \eta_v = \frac{VDD}{VDDD} = 1 - \frac{VDO}{VDD}.$$

correspond à l'efficacité en tension. On notera qu'en électronique portable, un indice d'efficacité en courant proche de l'unité est primordiale, les temps de veille sont normalement beaucoup plus important que les temps d'activité.

### - Temps d'établissement et régulation de ligne transitoire

Pour le temps d'établissement du régulateur, deux types de réponses sont à considérer. La réponse transitoire en tension VDD en fonction de VDDD et la réponse transitoire en tension VDD en fonction de IL. Pour la mesure de cette dernière, il est d'usage de considérer un courant de charge impulsionnel variant de zéro à ILmax, et selon l'architecture du dispositif, la réponse est susceptible de présenter des pics de tension (glitches d'alimentation) plus ou moins prononcés. La tolérance à ce défaut de régulation de ligne transitoire est fonction de la nature du circuit à alimenter. Ainsi, un circuit numérique, alimenté par un courant IL fonction de son taux d'activité, ayant par conception une "marge de bruit", est beaucoup plus tolérant qu'un circuit mixte analogique-numérique avec une circuiterie analogique généralement très sensible au bruits d'alimentation. D'autre part, un circuit analogique temps continu, qui utilise en régime établi un courant d'alimentation fixe, n'est pas générateur de aux glitches d'alimentation.

### - Précision

Les effets combinés de la régulation de ligne, de la régulation de charge, de la température et de la tension de décalage de l'amplificateur d'erreur donnent lieu à un indice de performance appelé précision du régulateur, défini par

$$Prec. = \frac{\Delta VDD_{LR_{i_i}} + \Delta VDD_{LR_{i_o}} + \Delta VDD_{TC} + EDO_{amp.}}{VDD} \cdot 100 + Prec_{VREF}.$$

Si la contribution de la précision du générateur de tension de référence n'est pas pris en compte, on parlera de précision intrinsèque du régulateur.

## 2 Régulateur LDO conventionnel

### 2.1 Constitution

Le régulateur de tension linéaire à faible tension de déchet représenté sur la *figure 4*, conforme au schéma fonctionnel générique de la *figure 2* est souvent appelé LDO standart ou conventionnel. Le dispositif de prélèvement est simplement constitué d'un diviseur résistif ( $KR=R2/(R1+R2)$ ) et de part la nature purement capacitive de la charge sur la grille du ballast, l'amplificateur d'erreur est typiquement un OTA (amplificateur opérationnel de transconductance à sortie haute impédance). Du fait de la connexion en source commune du ballast PMOS, le régulateur de tension standard nécessite l'utilisation d'un circuit externe de contrôle de la stabilité, correspondant à un circuit de compensation constituée d'un condensateur CC de très forte valeur associé à sa résistance série effective RSE (parasite ou éventuellement rapportée). Le condensateur CD, correspond à la capacité de routage des fils d'alimentation en aval du régulateur, cette



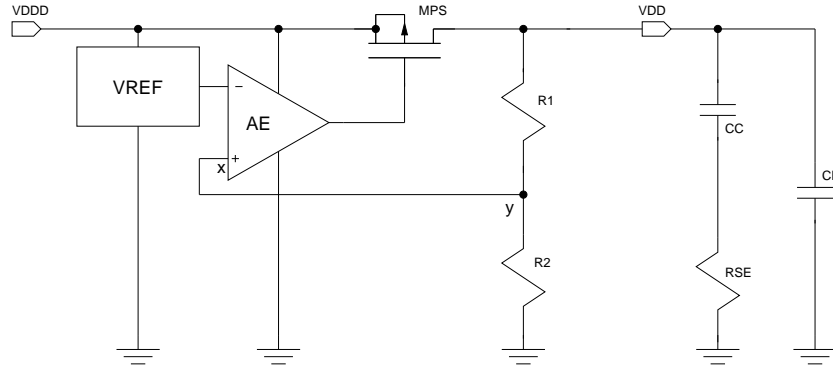


FIGURE 4 –

*Le LDO conventionnel*

capacité peut atteindre des valeurs de la centaine de pF pour l'alimentation d'une circuiterie numérique, elle peut être complétée par un condensateur de découplage pour améliorer les performances du LDO en court-circuitant pour les hautes fréquence, la résistance série du réseau de compensation.

## 2.2 Indices de performance

### 2.2.1 Stabilité

#### - Fonction de transfert du LDO conventionnel

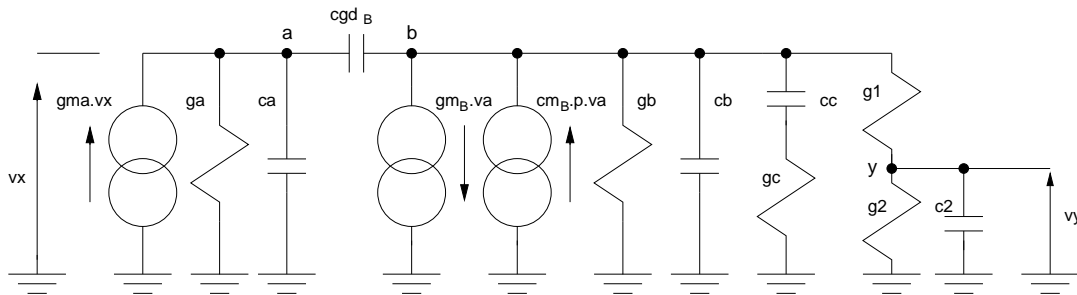


FIGURE 5 –

*Modèle utilisé pour l'analyse de la stabilité du LDO conventionnel*

Pour effectuer l'analyse de la stabilité, on peut ouvrir la boucle de réaction entre les nœuds  $x$  et  $y$  (*figure 4*) et calculer la fonction de transfert  $v_y/v_x$  à partir du schéma équivalent de la *figure 5*. Ce faisant, en modélisant l'amplificateur d'erreur par un [circuit à un pôle](#)

et en remplaçant le transistor PMOS par son [modèle capacitif complet](#) on arrive à la fonction de transfert

$$\frac{v_y}{v_x} = -\frac{g_1 g_{ma} (g_{m_B} - (c_{m_B} + c_{gd_B})p)(g_c + c_{cp})}{d_4 p^4 + d_3 p^3 + d_2 p^2 + d_1 p + d_0}$$

avec

$$\begin{aligned}
d_4 &= c_2 cc( ca cb + cgd_B(ca + cb - cm_B) ) \\
d_3 &= (g_1 + g_2) cc( ca cb + cgd_B(ca + cb - cm_B) ) \\
&\quad + c_2( gc( (ca + cgd_B)(cc + cb) + cgd_B(ca - cm_B)) ) \\
&\quad + cc( (gb + g_1)(ca + cgd_B) + ga(cb + cgd_B) + gm_B cgd_B ) ) \\
d_2 &= (g_1 + g_2)( ( gc((ca + cgd_B)(cb + cc) + cgd_B(ca - cm_B)) ) ) \\
&\quad + cc( (gb + g_1)(ca + cgd_B) + ga(cb + cgd_B) + gm_B cgd_B ) ) \\
&\quad + c_2( (gc(gb + g_1)(ca + cgd_B) + ga(cb + cgd_B + cc)) \\
&\quad + cc ga(gb + g_1) ) + gc cgd_B gm_B ) ) \\
&\quad - g_1^2 cc(ca + cgd_B) \\
d_1 &= (g_1 + g_2)( gc( (gb + g_1)(ca + cgd_B) + ga(cb + cgd_B + cc) ) ) \\
&\quad + ga(gb + g_1)cc) + cgd_B gm_B gc \\
&\quad + c_2 gagc(gb + g_1) + g_1^2 gacc + g_1^2 gc(ca + cgd_B) \\
&\quad - g_1^2 cc(ca + cgd_B) \\
d_0 &= gagc(g_1 + g_2)(gb + g_1) - ga g_1^2 gc
\end{aligned}$$

et

$$\begin{aligned}
g_1 &= 1/R1 \\
g_2 &= 1/R2 \\
gc &= 1/RSE \\
ca &= cgs_B + cgb_B \\
cb &= cds_B + cdb_B + CD \\
gb &= gds_B + GL.
\end{aligned}$$

On notera que  $GL=IL/VDD$  est la modélisation résistive de l'effet de charge en courant du régulateur et que  $c_2$  correspond à la somme de la capacité parasite d'entrée de l'amplificateur et de la capacité parasite issue de l'intégration du pont diviseur  $R1/R2$ . Ainsi, avec

$$g_{12} = \frac{1}{R1+R2}$$

le LDO conventionnel est caractérisé en boucle ouverte par une fonction de transfert du quatrième ordre de gain statique

$$A0_{bo} = \frac{gma}{ga} \frac{g_1}{g_1 + g_2} \frac{gm_B}{gb + g_{12}} = A0_A KR A0_B$$

égal au produit du gain statique de l'amplificateur d'erreur, du gain du circuit de prélèvement et du gain du transistor ballast. Ce dernier s'écrivant

$$A0_B = \frac{gm_B}{gds_B+GL} \approx gm_B \frac{1}{\frac{IL}{L_{BVEB}} + \frac{IL}{VDD}} \propto \frac{1}{\sqrt{IL}}$$

avec, en forte inversion et en saturation

$$gm_B \approx \sqrt{2\mu_0 \text{cox} \frac{W}{L} IL}.$$

On notera que pour les très faibles valeurs de courant  $IL$ , le transistor ballast est susceptible de passer en faible inversion. Sa transconductance étant proportionnelle au courant, son gain statique devient pratiquement indépendant du courant de charge, la continuité

de son expression formelle est ainsi assurée.

### - Etude approximative

La fonction de transfert du quatrième ordre n'étant pas sujette à une interprétation directe pour une étude quantitative de la stabilité, il est d'usage [10] de considérer la fonction de transfert simplifiée

$$\frac{vy}{vx} \approx -A0_{bo} \frac{1 + \frac{p}{\omega_{zc}}}{\left(1 + \frac{p}{\omega_{pc}}\right)\left(1 + \frac{p}{\omega_{pa}}\right)\left(1 + \frac{p}{\omega_{pd}}\right)}$$

obtenue en considérant la charge capacitive et le pôle directement associé aux quatre nœuds du circuit avec

$$\omega_{zc} = \frac{gc}{cc}$$

et

$$\omega_{pa} \approx \frac{ga}{ca} \approx \frac{\omega_{TA}}{A0_A}$$

$$\omega_{pc} \approx \frac{gb}{cc} = \frac{gds_B + GL}{cc} \approx \frac{IL}{cc} \left( \frac{1}{L_B V E_B} + \frac{1}{VDD} \right)$$

$$\omega_{pd} \approx \frac{gc}{cb}$$

$$\omega_{pr} \approx \frac{g_1 + g_2}{c_2} \rightarrow \infty.$$

L'approximation considère que le zéro positif est à fréquence très élevée, que les pôles réels est nettement séparés, que les résistances R1 et R2 sont grandes devant la résistance de sortie du ballast et la résistance RL traduisant l'effet de charge et que la capacité  $c_2$  est nulle. Ce faisant, on peut poser simplement la problématique de la stabilisation du LDO conventionnel en considérant les trois cas de la *figure 6* :

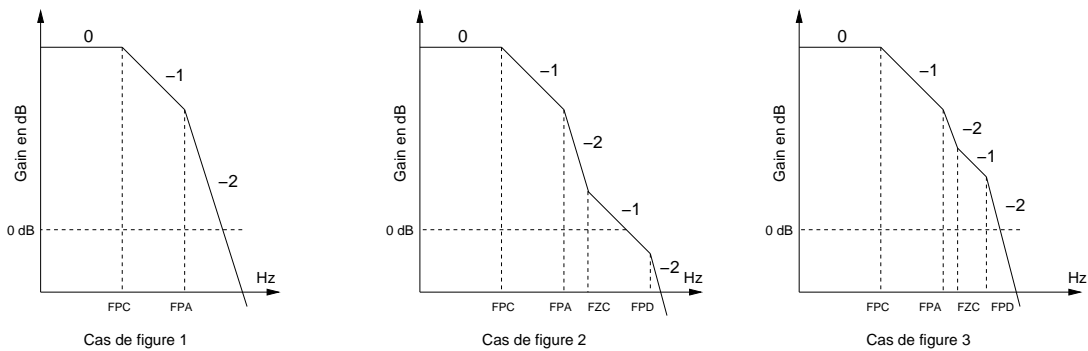


FIGURE 6 –

*Trois cas de figure posant la problématique de la stabilisation du LDO conventionnel pour un courant de charge IL donné*

cas 1 : la résistance RSE est nulle, le régulateur n'est pas compensé (LDO intrinsèque), les deux pôles dominants correspondant aux fréquences FPC et FPA sont très au dessus de l'axe Odb le système est potentiellement **instable**

cas 2 : la résistance RSE n'est plus nulle (de l'ordre de l'Ohm), associée à CC de très forte valeur (de l'ordre du microfarad) elle crée un zéro suffisamment proche de FPA pour assurer un marge de phase suffisante (typiquement supérieure à 45 degrés), le pôle correspondant à la fréquence FPD se situe au dessous de l'axe 0 dB

cas 3 : la résistance RSE est maintenant telle que le pôle correspondant à la fréquence FPD se situe au dessus de l'axe 0dB, le système redevient potentiellement instable.

On constate ainsi, que le LDO conventionnel doit être compensé, et qu'il existe une plage réduite de valeur pour la résistance de compensation assurant la stabilité. D'autre part, on doit considérer que le gain intrinsèque et le pôle dominant sont fonction du courant de charge, et pour une valeur donnée CC et CD, on peut relever sur le graphe RSE versus IL (*figure 7*) deux zones disjointes délimitant une zone de stabilité (typiquement marge de phase supérieure à 45 degrés), cette zone communément appelée "tunnel de la mort" est dépendante de la distance pôle/zéro

$$\delta_{pz} = \frac{\omega_{pd}}{\omega_{zc}} \approx \frac{cc}{cb} \approx \frac{cc}{cd}.$$

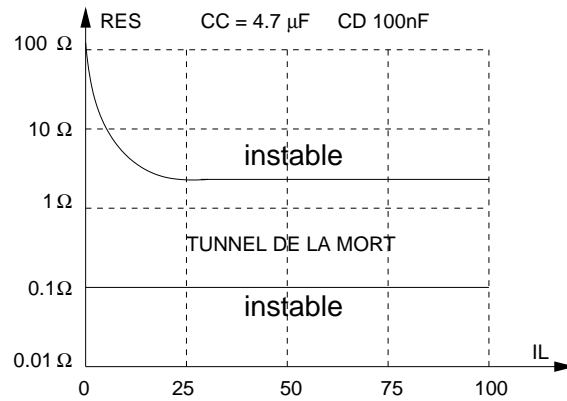


FIGURE 7 –

*Graphe du tunnel de la mort du LDO conventionnel*

### 2.2.2 Régulation de ligne

#### - Fonction de transfert du LDO conventionnel en boucle fermée

Si nous considérons le schéma de la *figure 8*, prenant en compte les différentes entrées du LDO, à savoir, la tension à régulée **vddd**, la tension de référence **vref**, le bruit d'alimentation **va** et la tension de décalage **eda** issus de l'amplificateur d'erreur, avec

$$vg = A0_A(vy - vref + eda) + va$$

et

$$vy = KR vdd$$

on peut écrire

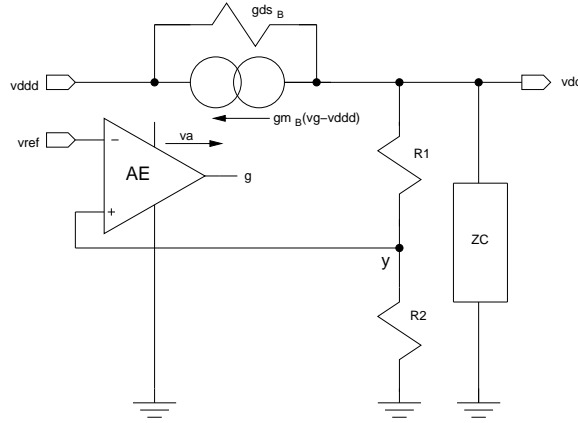


FIGURE 8 –

*Modèle de calcul pour la réjection des bruits d'alimentation  
du LDO conventionnel*

soit  $gm_B(vddd - vg) + (vddd - vdd)gds_B = g_1(vdd - vy) + vdd YC$

$$vdd = \frac{(gm_B + gds_B)vddd + gm_B A0_A vref - gm_B A0_A eda - gm_B va}{gm_B A0_A KR + gds_B + g_{12} + YC}$$

### - Régulation de ligne

Le gain d'alimentation étant simplement le gain en boucle fermée du LDO, on peut écrire

$$vdd = \frac{(1 + \frac{gds_B}{gm_B})vddd - va + A0_A vref - A0_A eda}{A0_A KR + \frac{gds_B + g_{12} + YC}{gm_B}}$$

Il est ainsi possible d'identifier trois zones sur l'axe des fréquence.

#### Zone des basses fréquences (statique) :

L'inverse du gain en boucle ouverte du LDO est négligeable, avec

$$vdd \approx (1 + \frac{R1}{R2}) (\frac{(1 + \frac{1}{A0_B})vddd - va}{A0_A} + vref - eda)$$

on constate que :

- 1 le bruit d'alimentation issu de la tension de référence est divisé par KR (donc amplifié), ainsi, une forte contrainte sur la réjection des bruits d'alimentation en statique du régulateur implique de facto, une forte contrainte sur la régulation de ligne du circuit générant la tension de référence
- 2 la tension de décalage de l'amplificateur d'erreur est également multipliée par 1/KR, par sa valeur et son comportement en température, elle influe donc directement sur la précision du LDO

- 3 le bruit d'alimentation de la tension à réguler et le bruit d'alimentation de l'amplificateur sont soustraits et atténués par le gain en boucle ouverte de l'amplificateur pondéré par le gain du diviseur résistif, une bonne réjection peut donc être théoriquement obtenue par un amplificateur d'erreur à fort gain statique (au détriment de la stabilité du LDO) et/ou en utilisant un amplificateur d'erreur avec un gain d'alimentation unitaire (la différence de potentiel grille-source du ballast est constante si l'amplificateur est alimenté par VDDD), dans ce cas, la réjection est de l'ordre du gain en boucle ouverte du régulateur.

Zone des très hautes fréquences :

Si on se place au voisinage de la fréquence de transition de l'amplificateur et si on suppose que la valeur du condensateur de découplage CD est nulle, l'impédance du condensateur de compensation étant négligeable, avec

$$vdd \approx \frac{vdd + vref - va}{1 + \frac{1}{g_{m_B} RSE}} \approx \frac{vdd + vref - va}{1 + \frac{2 VEG_B}{TL RSE}} \approx \frac{vdd + vref - va}{1 + \frac{VOD}{TL RSE}} \approx \frac{vdd + vref - va}{1 + \frac{Rds_B}{RSE}}$$

on constate que la réjection des différents bruits d'alimentation est de l'ordre de

$$PSR_{reg} \approx 1 + \frac{Rds_B}{RSE}.$$

Le régulateur fonctionne comme un simple diviseur de tension [5], et il est clair qu'autant que faire ce peut, la résistance série effective du condensateur de compensation devra être faible et/ou que l'on devra utiliser un condensateur de découplage CD de forte valeur (typiquement la centaine de nF).

Zone des fréquences moyennes :

Dans la zone de transition séparant les basses et hautes fréquences, on peut considérer que le comportement du gain d'alimentation suit approximativement le comportement en fréquence du gain de l'amplificateur. Il est ainsi caractérisé par la fonction de transfert intrinsèque (tension de référence et amplificateur rejettent idéalement les bruits d'alimentation)

$$\frac{vdd}{vddd} \approx \frac{1}{KR \frac{A0 A}{1 + \frac{p}{\omega c_A}} + \frac{gds_B + YC}{g_{m_B}}}.$$

L'admittance YC du réseau de compensation étant fortement dépendante de sa constitution, on peut se placer dans deux configurations extrêmes. Dans la première, l'impédance de la résistance RSE est prépondérante (typiquement CC de très forte valeur), la fonction de transfert s'écrivant

$$\frac{vdd}{vddd} \approx \frac{1 + \frac{p}{\omega c_A}}{KR A0_A + \frac{gds_B + 1/RSE}{g_{m_B} \omega c_A} p},$$

la transition s'effectue de manière monotone. Dans la seconde configuration, l'impédance du condensateur est et la résistance sont du même ordre de grandeur, la fonction de transfert

$$\frac{vdd}{vddd} \approx \frac{1 + \frac{p}{\omega c_A}}{\frac{CC}{g_{m_B} \omega c_A} p^2 + \left( \frac{gds_B + 1/RSE}{g_{m_B} \omega c_A} + \frac{CC}{g_{m_B}} \right) p + KR A0_A}$$

est la fonction de transfert d'un passe bande de Lerner, présentant une surtension au voisinage de la pulsation de résonance

$$\omega_0 = \sqrt{KR gm_B \omega_T CC}$$

de valeur

$$A \approx \frac{gm_B}{gds_B + 1/RSE + \omega c_A CC}$$

On notera que le fait de ne prendre en compte que le comportement en fréquence de l'amplificateur, implique une surévaluation de la valeur de la surtension calculée, toutefois comme le montre la *figure 9*, comportementalement, une faible valeur de condensateur de compensation implique une forte surtension au voisinage de la pulsation de résonance qui est proportionnelle à la fréquence de transition de l'amplificateur.

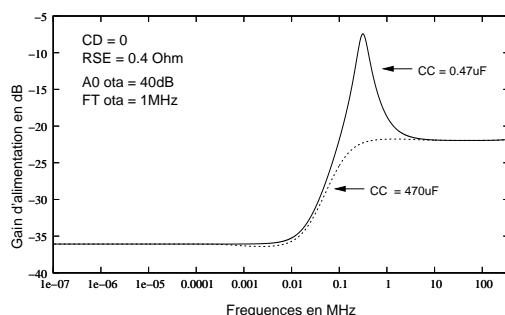


FIGURE 9 –

*Gains d'alimentation du LDO conventionnel*

### 2.2.3 Régulation de charge

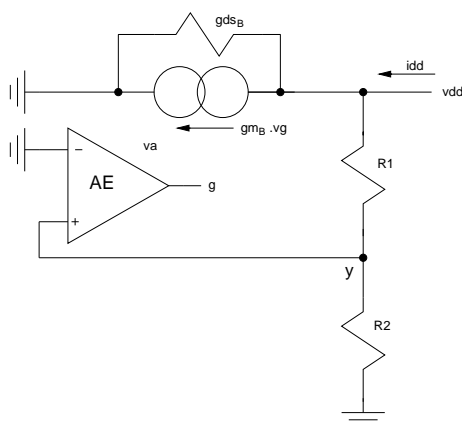


FIGURE 10 –

*Modèle de calcul de la régulation de charge du LDO conventionnel*

La régulation de charge peut directement être calculée à partir de la résistance de sortie du LDO. Pour ce faire, on peut utiliser le schéma de la *figure 8*, éteindre les sources

de tensions indépendantes et considérer le rapport  $v_{dd}/i_{dd}$ . On arrive ainsi au schéma de la *figure 10* permettant d'écrire

$$i_{dd} = g_{m_B} v_g + g_{ds_B} v_{dd} + g_1 (v_{dd} - v_y)$$

soit

$$i_{dd} = v_{dd} (g_{m_B} A_{0_A} K R + g_{ds_B} + g_{12})$$

soit

$$R_s = \frac{1}{g_{m_B} A_{0_A} K R + g_{ds_B} + g_{12}} \approx \frac{r_{ds_B}}{A_{0_A} A_{0_B} K R + 1} \approx \frac{1}{g_{m_B} A_{0_A} K R} \approx \frac{V_{DO}}{I_L A_{0_A} K R}$$

La régulation de charge est donc inversement proportionnelle au gain statique de l'amplificateur d'erreur est au courant de charge.

#### 2.2.4 Coefficient de température

A partir de la définition du coefficient de température

$$TC_F = \frac{1}{V_{DD}} \frac{\partial V_{DD}}{\partial T}$$

et en considérant l'expression de  $v_{dd}$  en statique

$$v_{dd} \approx \frac{g_{m_B} A_{0_A} v_{ref} + g_{m_B} A_{0_A} e_{da}}{g_{m_B} A_{0_A} K R + g_{ds_B} + g_{12} + G_L} \approx \frac{v_{ref} + e_{da}}{K R}$$

on peut écrire

$$TC \approx \frac{1}{V_{DD}} \left( \frac{\partial V_{REF}}{\partial T} + \frac{\partial E_{D0_A}}{\partial T} \right) \left( 1 + \frac{R_1}{R_2} \right).$$

Les résistances du diviseur de tension étant normalement appariées, le coefficient de température du LDO est directement dépendant du coefficient de température du circuit générant la tension de référence et du comportement en température de la tension de décalage de l'amplificateur d'erreur.

#### 2.2.5 Temps d'établissement

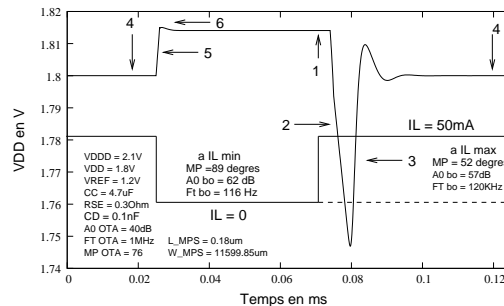


FIGURE 11 –

*Réponse impulsionnelle du LDO conventionnel à un courant de charge*

L'analyse quantitative transitoire du LDO sur une une impulsion de courant est très complexe, ainsi on se limitera à une analyse comportementale, en se focalisant sur des



zones de fonctionnement significatives et sujettes à une interprétation objective, à partir de la *figure 11*, correspondant à une simulation SPICE d'un LDO avec un transistor ballast dimensionné avec une technologie MOSIS à longueur minimum de 0.18 micromètre modélisée en BSIM3v3. L'amplificateur est un macromodèle à deux pôles. On peut ainsi distinguer six zones :

Zone 1 :

Le courant de charge est nul, le transistor ballast conduit le faible courant résiduel fixé par le diviseur résistif ( $0.2\mu A$ ).

Zone 2 :

Le LDO répond au front montant ( $1\mu s$ ) de l'impulsion de courant, son temps de réponse étant normalement très supérieur au temps de montée de l'impulsion, la tension de grille du ballast peut être considérée comme constante et la très forte capacité de sortie, chargée à la tension VDD, peut instantanément fournir le courant demandé en provoquant une brusque variation négative de tension.

$$\Delta V2 \approx \frac{IL_{max}}{CC+CD} \Delta T2,$$

l'intervalle de temps T2 correspondant au temps d'établissement de la boucle de réaction, est directement fonction de la largeur de bande en boucle ouverte du LDO (à  $IL_{max}$ ) et éventuellement du slew-rate de l'amplificateur opérationnel inversement proportionnel à la capacité de grille de MPS. On notera qu'en toute rigueur, l'amplitude de la pointe de tension doit éventuellement (selon la valeur de CD) être augmentée d'une quantité dépendante de RSE[10].

Zone 3 :

Le courant de charge est à sa valeur maximum, la boucle de réaction est établie, le courant généré par le ballast permet à la tension de sortie du LDO de prendre sa valeur finale dans un intervalle de temps fonction des spécifications fréquentielles de la fonction de transfert en boucle ouverte, notamment de la marge de phase à  $IL_{max}$ , et éventuellement du slew-rate.

zone 4 :

Le régulateur est en régime établi pour  $IL_{max}$ , la valeur de la tension correspondante, normalement inférieure à la valeur pour  $IL=0$ , est dépendante de la régulation de charge statique (résistance de sortie en boucle fermée) et du gain statique.

zone 5 :

Le temps de réponse du LDO étant toujours normalement très supérieur au temps de descente de l'impulsion, la tension de grille du transistor reste constante, le courant fourni reste à  $IL_{max}$  alors que le courant de charge est pratiquement nul, les capacités de sortie se chargent, et en omettant l'influence éventuelle de RSE, le front descendant de l'impulsion de courant peut approximativement être traduit en terme de tension par la relation

$$\Delta V5 \approx \frac{IL_{max}}{CC+CD} \Delta T5,$$

l'intervalle de temps T5, fonction de la largeur de bande en boucle ouverte du LDO

et éventuellement du slew-rate de l'amplificateur, correspond au temps nécessaire pour que le courant du ballast atteigne sa valeur minimum.

zone 6 :

La marge de phase du régulateur à courant de charge minimum étant proche de 90 degrés et la constante de temps étant très grande, on peut considérer que la tension de sortie va atteindre sa valeur finale après un temps

$$T6 \approx \frac{CC+CD}{ILmin} \Delta V6.$$

Le courant résiduelle étant normalement très petit (de l'ordre du microampère) T6 peut s'avérer être très long (plus de 10ms dans l'exemple considéré).

## 2.3 Problèmes de conception du LDO conventionnel

### 2.3.1 Le transistor ballast

Pour optimiser les performances du régulateur, le transistor ballast doit normalement être en régime saturé et posséder une faible tension de saturation (tension de déchet), ainsi, la faible tension effective de grille correspondante, associée au fort courant de drain (souvent de l'ordre de 100mA) conduit à des rapport d'aspect extrêmement grand (typiquement  $L=Lmin$  et  $W=qqs$  10000 micromètres). Les capacités parasites intrinsèques et extrinsèques seront donc très grandes et auront une incidence notable sur les caractéristiques fréquentielles du LDO, le transistor PMOS sera donc toujours fortement replié et conditionnera pratiquement le facteur de forme du régulateur. D'autre part, en terme d'intégration, les techniques de dessin de masque inhérentes aux dispositifs de grande taille à fort courant devront être mises en œuvre (prise en compte des résistances de piste, densité de courant, problèmes thermiques, ... ).

### 2.3.2 Le condensateur de compensation

Technologiquement parlant, la compensation est effectuée par un condensateur CC à électrolyte solide au tantale avec des caractéristiques électriques relativement précises et stables en température et avec un RSE de l'ordre de l'Ohm. Les valeurs normalisées sont typiquement supérieures au microfarad (le plus souvent 1, 2.2, 4.7, 10,...). Leur coût est relativement élevé. On notera que la résistance équivalente peut être réduite (ou ajustée) par la mise en parallèle de plusieurs condensateurs.

### 2.3.3 Le condensateur de découplage

L'éventuelle capacité de découplage, est typiquement rélisé par condensateur céramique multicouche d'une valeur comprise entre 470pf et 10nF présentant une très faible RSE effective (qqs 10 mOhm) pour un relativement faible coût.

### 2.3.4 La connexion avec l'extérieur

Le réseau de compensation implique l'utilisation d'une connexion externe. Une valeur typique de résistance pour le fil de connexion et sa soudure, de l'ordre  $50m\Omega$  à  $100m\Omega$ , entraîne d'une part, une chute de tension de l'ordre de 20mV pour un courant de charge de 100mA, et d'autre part une augmentation de la résistance série équivalente de la charge capacitive. Ainsi, un régulateur haute précision avec prélèvement externe



de MP3 plus faible que la tension correspondant à la tension de sortie de mode commun nominale. D'autres architectures d'amplificateur d'erreur sont possibles, on peut ainsi utiliser un OTA fonctionnant en classe AB pour répondre plus rapidement aux besoins de charge rapide de la capacité de grille du ballast, on peut également utiliser un OTA à charge différentielle avec éventuellement une contre réaction locale de mode commun sur le premier étage permet de bénéficier de la caractéristique pseudo classe AB. On notera que le décentrage de la tension de sortie de mode commun peut permettre un cascodage partiel des transistors de sortie des OTA. En terme de modèle, partant des spécifications de l'AOP, pour l'étude de la stabilité du régulateur on peut utiliser l'équivalence de la *figure 13* avec l'identification

$$\frac{A_0}{1 + \frac{A_0}{\omega_T} p} \equiv \frac{gma}{ga} \frac{1}{1 + \frac{ca}{ga} p}.$$

On notera d'autre part, l'influence de la capacité d'entrée de l'OTA qui participe à l'amplitude du pôle associé à la capacité C2 de la fonction de transfert en boucle ouverte du LDO ; Ainsi, en terme de dimensionnement de l'amplificateur, on peut être conduit à imposer une faible longueur de grille pour les transistors de la paire différentielle d'entrée.

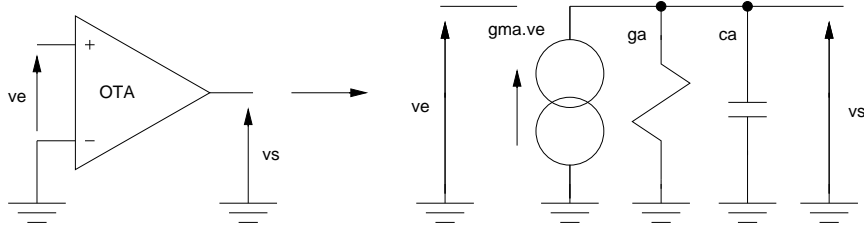


FIGURE 13 –

*Modélisation de l'OTA*

Une prise en compte de la marge de phase du dispositif peut être approximativement réalisée en considérant, dans le dénominateur de la fonction de transfert en boucle ouverte du LDO, un facteur supplémentaire de valeur

$$1 + \frac{p}{\omega_T \tan(MP)}.$$

### 3 Régulateur LDO intrinsèque

#### 3.1 Constitution

Considérons le régulateur intrinsèque de la *figure 14*. Il est chargé par le condensateur CD modélisant la capacité des pistes métalliques d'alimentation du circuit de charge. En boucle ouverte, il est caractérisé par la fonction de transfert d'ordre trois

$$\frac{vy}{vx} = - \frac{g_1 gma ( gm_B - (cm_B + cgd_B)p )}{d_3 p^3 + d_2 p^2 + d_1 p + d_0}$$

avec

$$d_3 = c_2(cb + cgd_B)(ca + cgd_B) - c_2cgd_B(cm_B + cgd_B)$$

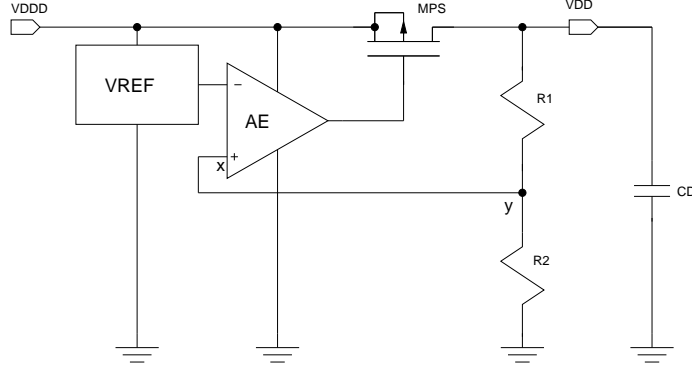


FIGURE 14 –

*Constitution du LDO intrinsèque*

$$\begin{aligned}
 d_2 &= c_2 c g d_B g m_B - c g d_B (g_1 + g_2) (c m_B + c g d_B) + c_2 (c b + c g d_B) g a \\
 &\quad + (c a + c g d_B) ((g_1 + g_2) (c b + c g d_B) + (g b + g_1) c_2) \\
 d_1 &= c g d_B (g_1 + g_2) g m_B + (c a + c g d_B) ((g_1 + g_2) (g_1 + g b) - g_1^2) \\
 &\quad + g a ((g_1 + g_2) (c b + c g d_B) + (g_1 + g b) c_2) \\
 d_0 &= g a ((g_1 + g_2) (g b + g_1) - g_1^2).
 \end{aligned}$$

### 3.2 Stabilité et performances

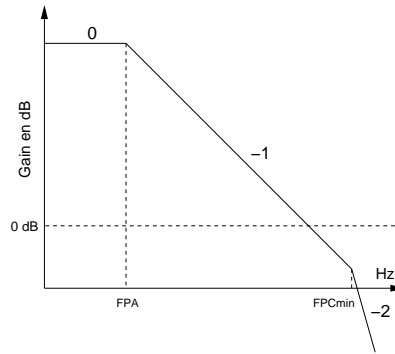


FIGURE 15 –

*Diagramme asymptotique du LDO intrinsèque  
pour un courant de charge  $I_L=0$*

Si on néglige le pôle associé à la capacité C2, le LDO intrinsèque est caractérisé par une fonction de transfert d'ordre deux représentable asymptotiquement, pour le pire cas en terme de stabilité à  $I_L=0$ , par le diagramme de la *figure 15*. Comme le montre l'exemple considéré, un dispositif intrinsèquement stable peut théoriquement être obtenu si le pôle associé au nœud de sortie correspondant à la pulsation

$$\omega_{pcmin} \approx \frac{g d s_B}{C D} \approx \frac{I_{R1}}{C D L_B V_{E_B}},$$

est très supérieur au produit gain bande de l'amplificateur d'erreur. Pratiquement, compte tenu du fait que la capacité C2 prenant en compte la capacité d'entrée de l'OTA et la capacité parasite issue de l'intégration du pont résistif ne sont pas nulles, et compte tenu du fait qu'il est pratiquement difficile de concevoir un amplificateur avec une marge de phase proche de 90 degrés (longueur des transistor réduite) et un grand gain (longueur des transistors importante), un régulateur de tension intrinséquement stable ne peut physiquement être obtenu qu'en utilisant un OTA avec une fréquence de transition très faible avec un temps de réponse très grand (*figure 16*), et/ou un fort courant résiduel IR1 avec une forte consommation statique (*figure 17*), et/ou pour une faible charge capacitive (*figure 18*). Ainsi, en terme de réponse temporelle et surtout de régulation de ligne transitoire (*figure 19*), traduisant la propension à répondre rapidement au front montant et descendant du courant de charge, et principalement fixé par la fréquence de transition de l'amplificateur, les performances du dispositif sont limitées. Pratiquement, le LDO intrinsèque ne peut être utilisé que pour l'alimentation d'un circuit analogique temps continu travaillant à courant de charge IL constant.

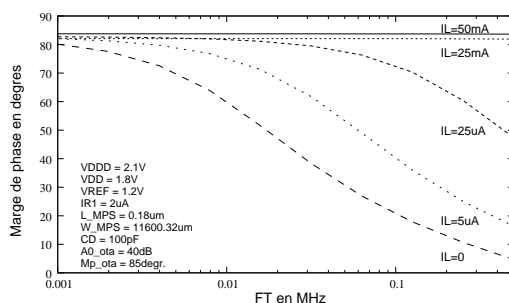


FIGURE 16 –

*MP vs FT du LDO intrinsèque*

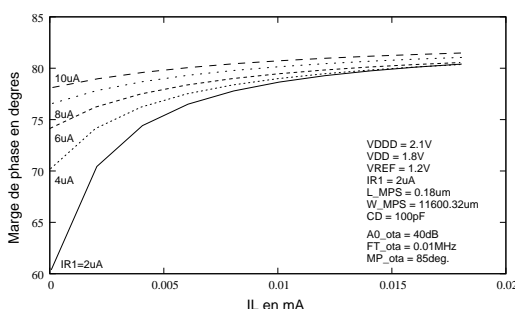


FIGURE 17 –

*MP vs IL du LDO intrinsèque*

## 4 Régulateur LDO avec suiveur de tension

### 4.1 Principe

A l'opposé du régulateur intrinsèque, un LDO stable peut théoriquement être obtenu en plaçant la fréquence du pôle dominant de l'amplificateur au dessus de la

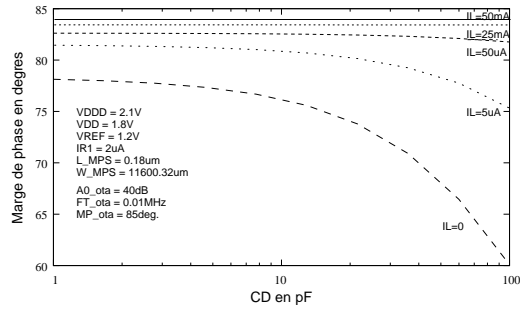


FIGURE 18 –

*MP vs CD du LDO intrinsèque*

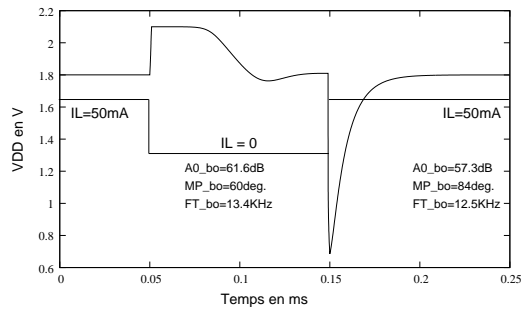


FIGURE 19 –

*Réponse impulsionnelle du LDO intrinsèque*

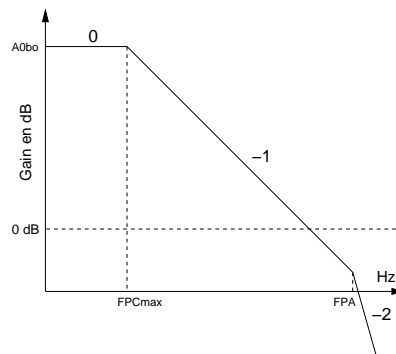


FIGURE 20 –

*Diagramme asymptotique du LDO avec suiveur de tension pour un courant de charge  $IL=IL_{max}$*

fréquence correspondant au produit du gain statique du LDO par la fréquence correspondant au pôle associé au nœud de sortie (*figure 20*). Ce type de dispositif ne nécessitant pas de résistance pour la création d'un zéro stabilisateur, peut être utilisé avec un condensateur de charge ayant une résistance série effective RSE pratiquement nulle, donc technologiquement réalisable à bas coût, typiquement par un condensateur céramique multicouche. Bien entendu, le pôle dominant de l'amplificateur devra être à une fréquence d'autant plus élevée que le courant  $IL_{max}$  est grand et que la capacité

de charge est petite et en général, étant donnée la forte valeur de la capacité de grille du transistor ballast chargeant sa sortie, un OTA susceptible de fournir la fréquence de transition et le gain demandés est pratiquement irréalisable avec un courant de polarisation réaliste. Ainsi, on interpose entre la grille du transistor et la sortie de l'OTA un adaptateur d'impédance réalisé par un suiveur de tension à faible impédance de sortie et très faible capacité d'entrée. C'est la très forte réduction de la charge capacitive qui rend physiquement faisable l'amplificateur du LDO. Ce faisant, avec (*figure 21*)

$$v_s = \frac{A_v}{1+r_g c_g p} v_1 = \frac{A_v}{1+r_g c_g p} \frac{A_0}{1+\frac{c_a}{g_a p}} v_e$$

l'OTA tamponné peut être considéré comme un simple OTA deux pôles, caractérisé par un pôle dominant fixé capacitivement par le condensateur  $C_a$  de très faible valeur (typiquement inférieure à 0.1pF), et par un pôle non dominant normalement placé très au dessus de la fréquence de transition du LDO.

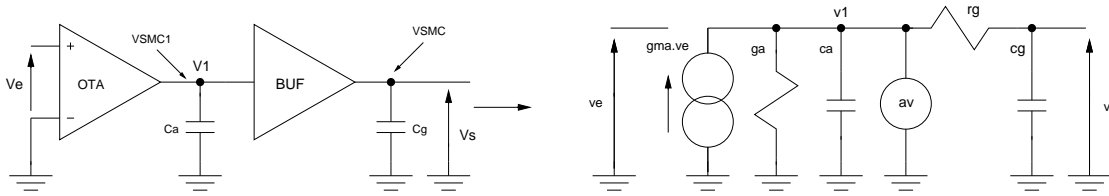


FIGURE 21 –

*Modélisation de l'OTA tamponné*

## 4.2 Fonction de transfert

Le LDO avec suiveur de tension est implicitement un régulateur avec condensateur externe. Sa fonction de transfert peut être déduite de la fonction de transfert du LDO conventionnel avec  $RC=0$ , ce qui nous conduit, en boucle ouverte, à la fonction du troisième ordre

$$\frac{v_y}{v_x} = -\frac{g_1 g_m a (g m_B - (c m_B + c g d_B) p)}{d_3 p^3 + d_2 p^2 + d_1 p + d_0}$$

avec

$$\begin{aligned} d_3 &= c_2 ( (c a + c g d_B) (c c + c b) + c g d_B (c a - c m_B) ) \\ d_2 &= (g_1 + g_2) ( (c a + c g d_B) (c b + c c) + c g d_B (c a - c m_B) ) \\ &\quad + c_2 (g b + g_1) (c a + c g d_B) + c g d_B g m_B ) \\ d_1 &= (g_1 + g_2) (g b + g_1) (c a + c g d_B) + c g d_B g m_B \\ &\quad + c_2 g a (g b + g_1) + g_1^2 (c a + c g d_B) \\ d_0 &= g a (g_1 + g_2) (g b + g_1) - g a g_1^2. \end{aligned}$$

La prise en compte du pôle non dominant de l'OTA peut être effectué en rajoutant simplement au dénominateur le pôle correspondant.

## 4.3 Faisabilité du régulateur

Si on considère l'évolution de la marge de phase en fonction de la fréquence de transition sur le cas d'espèce représenté sur la *figure 22*, l'obtention d'une marge



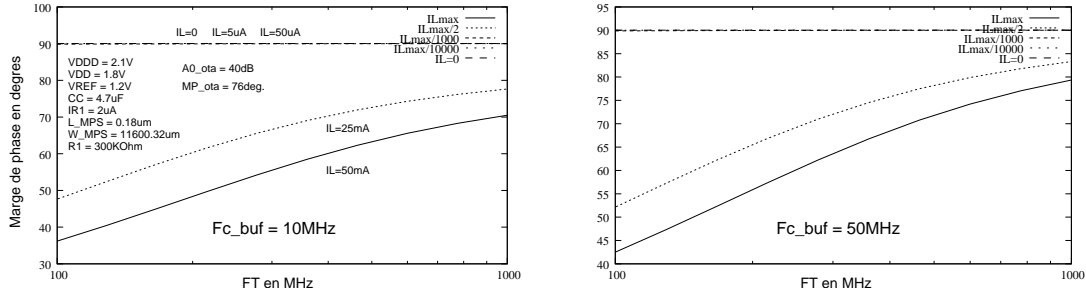


FIGURE 22 –

*MP vs FT pour le LDO avec suiveur de tension*

de phase de 60 degrés dans le pire cas, en terme de courant de charge ( $IL_{max}=50mA$ ), impose une FT de 400MHz pour une fréquence de coupure du suiveur de 10MHz et une FT de 240MHz pour une Fc de 50Mhz. Le suiveur de tension étant modélisé par un circuit du premier ordre, avec une capacité de grille pour le ballast de 18pF, dans le premier cas de figure, sa résistance de sortie devra être de l'ordre de 170 Ohms et dans le second cas 900 Ohms. En terme de dispositifs physiques permettant l'obtention de ces spécifications, pour l'OTA on peut typiquement utiliser un dispositif [semi-cascode](#)

, cascadé avec un suiveur de tension à très basse impédance d'entrée, qui est typiquement une [source suiveuse repliée](#)

avec contre réaction locale. Cette dernière favorisant l'émergence de pôles complexes dans la fonction de transfert du régulateur le buffer devra être surdimensionné pour sa fréquence de coupure (typiquement de un à deux octaves). On notera que l'utilisation d'un OTA cascode avec une très haute fréquence de transition, permet la génération d'un zéro par un condensateur (CZ) de faible valeur sur le nœud basse impédance du transistor cascode. Cette petite modification topologique augmentant la marge de phase du LDO permet un relâchement sur les spécifications de l'OTA et/ou du suiveur de tension [1]. La ([figure 23](#))représente une réalisation physique du LDO avec suiveur de tension. D'autre choix architecturaux, notamment pour l'OTA sont évidemment possibles, ainsi, selon la valeur de la tension VSMC1 (typiquement de l'ordre de VREF) qui fixe la tension de mode commun à l'entrée du suiveur qui est la tension de mode commun en sortie de l'OTA, on peut opter pour un cascodage complet por obtenir un grand gain statique, une structure de type N au lieu du P, un ota simple à consommation plus faible mais gain plus faible, ... .

#### 4.4 Réduction de la consommation par polarisation adaptative

Comme le montre la [figure 24](#), la marge de phase du LDO qui est une fonction décroissante du courant de charge, a une valeur suffisante pour les faibles valeurs de IL, même si les spécifications fréquentielles de l'OTA et du suiveur sont divisées par dix. Le régulateur est donc "suralimenté" d'un point de vue statique pour les faibles courants de charge et il paraît donc judicieux d'adapter les courants de polarisation au courant de charge du régulateur. Ceci peu facilement être réalisé à partir schéma de la [figure 25](#) simplement constitué d'un jeu de miroirs de courant, copiant une très faible partie du courant IL et injectant une version amplifiée de ce courant dans le nœud basse impédance du transistor diode du circuit de polarisation de l'amplificateur. On notera que ce courant étant pratiquement nul lorsque  $IL=0$ , un courant minimum  $J0$  indépendant du courant

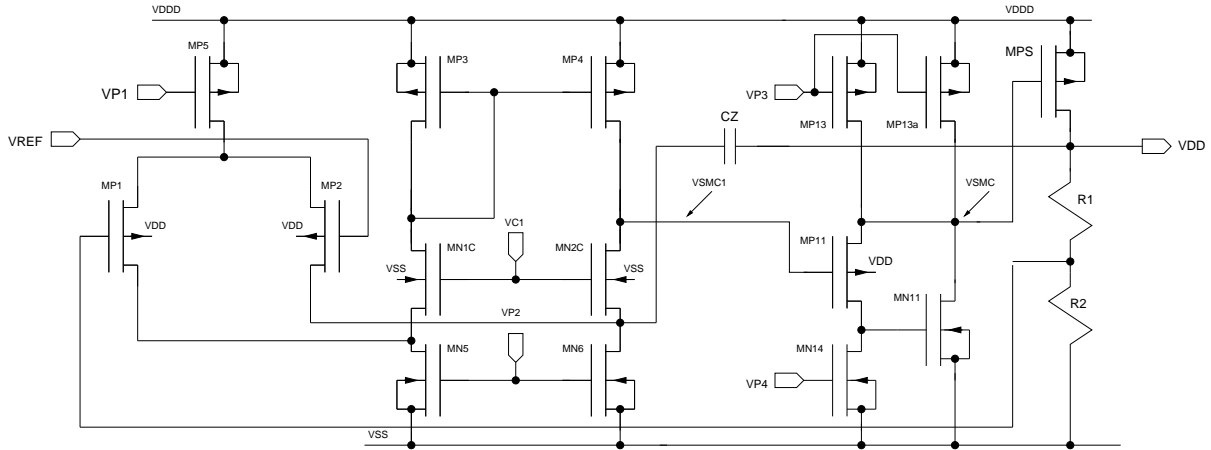


FIGURE 23 –

*Une réalisation physique du LDO avec suiveur de tension*

de charge doit être fourni.

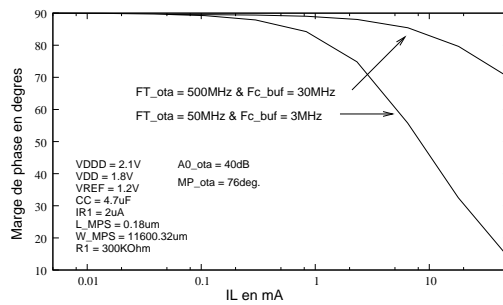


FIGURE 24 –

*MP vs IL pour le LDO avec suiveur de tension*

## 5 Génération d'un zéro interne

Si le LDO intrinsèque et LDO avec suiveur peuvent être considéré comme deux cas de figure limites qui n'impliquent pas la génération d'un zéro dans la fonction de transfert en boucle ouverte, tous les autres cas intermédiaires avec condensateur externe à RSE nulle ou sans condensateur externe nécessiteront la création d'un zéro interne généralement à partir d'un dispositif actif.

### 5.1 Génération d'un zéro passif

Si on considère le régulateur conventionnel, on peut simplement synthétiser un zéro à partir du pont diviseur comme l'indique le circuit de la *figure 26*. Il apparaît cependant que si avec

$$vy = \frac{1 + R1C1p}{1 + \frac{R1}{R2} + R1C1p} vb$$

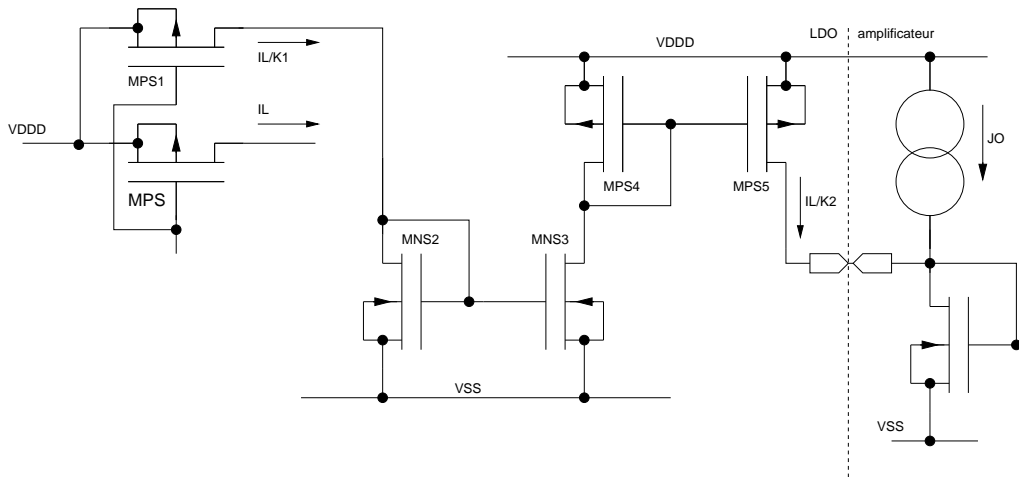


FIGURE 25 –

*Principe d'un circuit de polarisation adaptative*

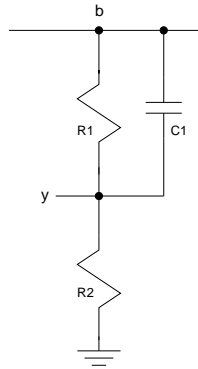


FIGURE 26 –

*Génération d'un zéro passif*

un zéro passif est effectivement généré, il est inévitablement accompagné d'un pôle à une distance

$$\delta_{pz} = \frac{Fp}{Fz} = 1 + \frac{R1}{R2}$$

d'autant plus petite que la tension régulée est proche de la tension de référence. Ainsi, avec un circuit passif, il est pratiquement impossible de placer le pôle parasite suffisamment loin du zéro, pour obtenir un LDO avec une marge de phase de phase conséquente.

## 5.2 Génération d'un zéro actif à partir d'une transcapacitance

### 5.2.1 Avec un amplificateur de courant

Si nous considérons la transcapacitance de la *figure 27* constituée d'un condensateur CT et d'un amplificateur de courant de gain Ai, dans le cas idéal ( $re=0$  et  $ce=0$ ), en écrivant

$$ie = CT.p.ve$$

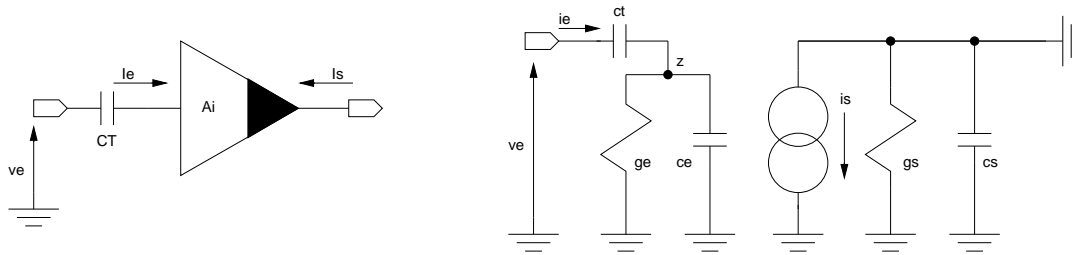


FIGURE 27 –

*Transcapacitance CMOS à amplificateur de courant avec son modèle petit signal*

et

$$is = Ai.CT.p.ve$$

on synthétise une transcapacitance, de valeur

$$CT_{equi} = Ai.CT$$

directement utilisable pour la génération d'un zéro actif. Dans le cas non idéal, avec

$$is = \frac{Ai.CT.p}{1 + \frac{ce+ct}{ge}p} ve$$

on constate qu'on associe au zéro un pôle parasite placé d'autant plus à haute fréquence, que la résistance d'entrée  $re$  est de faible valeur et/ou que le gain en courant  $Ai$  est grand.

### 5.2.2 Avec un convoyeur de courant

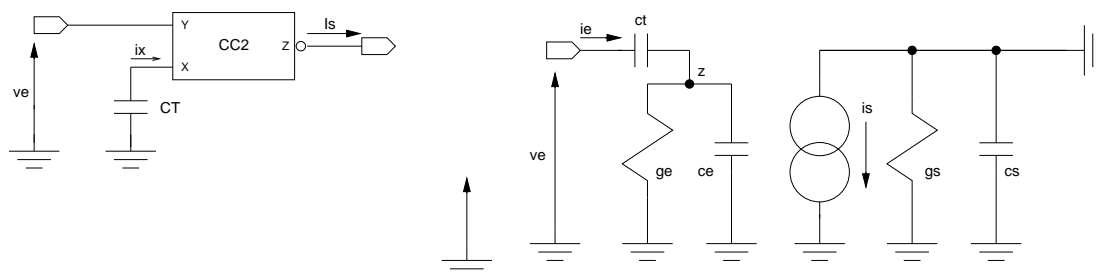


FIGURE 28 –

*Transcapacitance CMOS à convoyeur de courant avec un modèle petit signal*

Si nous considérons la transcapacitance de la [figure 28](#) constituée d'un convoyeur de courant et d'un condensateur CT directement connecté sur l'entrée X, dans le cas idéal, avec

$$vx = vy = ve = -\frac{ix}{CT.p}$$

et

$$iz = Ai.ix = -Ai.CT.p.ve$$

### 5.3 Autres techniques de génération d'un zéro actif

BLABLA LITTERATURE et PENSER A CAPA ACTIVE RICON

## 6 Régulateur LDO avec zéro actif sur la sortie

### 6.1 Constitution du LDO

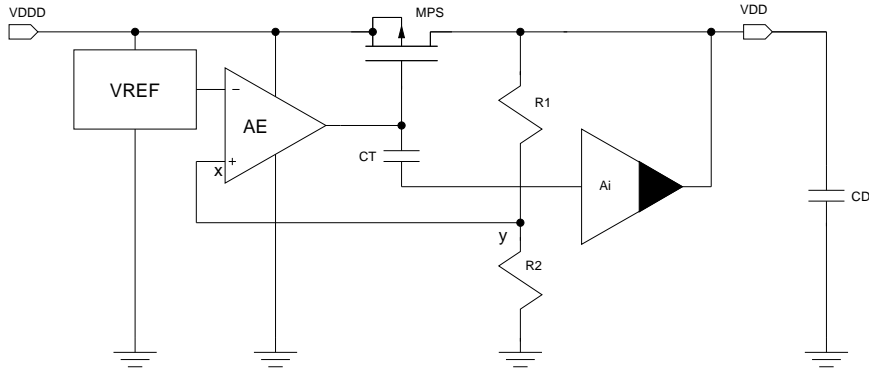


FIGURE 29 –

*Constitution du LDO avec zéro actif sur la sortie*

Si on considère le schéma équivalent petit signal du régulateur intrinsèque ainsi que numérateur de sa fonction de transfert en boucle ouverte, en considérant la transcapacité  $cm_B$ , il apparaît clairement qu'un zéro négatif (dans le demi plan gauche du plan complexe) peut être créé à partir d'une transcapacité, comme indiqué par la *figure 29*. Ce faisant, la valeur des pôles est modifiée et le LDO est maintenant caractérisé par une fonction de transfert d'ordre quatre.

### 6.2 Stabilité

A partir du schéma équivalent de la *figure 30*, on détermine

$$\frac{vy}{vx} = - \frac{g_1 gma ( (ge + (ct + ce)p)(gm_B - (cm_B + cgd_B)p ) + Ai ge ct p )}{d_4 p^4 + d_3 p^3 + d_2 p^2 + d_1 p + d_0}$$

avec

$$\begin{aligned} d_4 &= c_2(cb + cgd_B) ( (ct + ce)(ca + ct + cgd_B) - ct^2 ) - c_2 cgd_B(ct + ce)(cm_B + cgd_B) \\ d_3 &= cgd_{BC}c_2(gm_B(ct + ce) - ge(cm_B + cgd_B) + Aige) \\ &\quad - cgd_B(ct + ce)(cm_B + cgd_B)(g_1 + g_2) \\ &\quad + ( (ct + ce)(ca + ct + cgd_B) - ct^2 ) ( (g_1 + g_2)(cb + cgd_B) + c_2(g_1 + gb) ) \\ &\quad + c_2(cb + cgd_B)(ga(ct + ce) + ge(ca + ct + cgd_B)) \\ d_2 &= cgd_B(g_1 + g_2)(gm_B(ct + ce) - ge(cm_B + cgd_B) + Aige) + cgd_{BC}c_2 gm_B ge \\ &\quad + ( (ct + ce)(ca + ct + cgd_B) - ct^2 ) ((g_1 + gb)(g_1 + g_2) - g_1) \end{aligned}$$

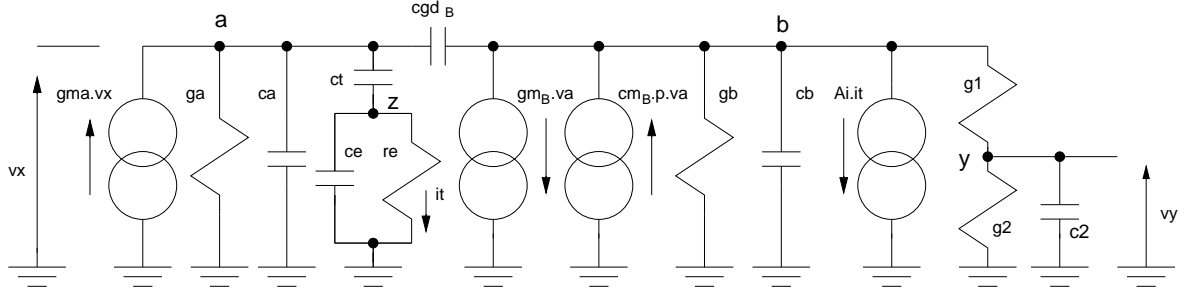


FIGURE 30 –

*Schéma équivalent pour l'analyse de la stabilité*

$$\begin{aligned}
 & +(ga(ct + ce) + ge(ca + ct + cgd_B))((g_1 + g_2)(cb + cgd_B) + (g_1 + gb)c_2) \\
 & +c_2(cb + cgd_B)g_a g_e) \\
 d_1 & = cgd_B(g_1 + g_2)gm_B g_e \\
 & +(ga(ct + ce) + ge(ca + ct + cgd_B))((g_1 + gb)(g_1 + g_2) - g_1^2) \\
 & +g_a g_e(((g_1 + g_2)(cb + cgd_B) + (g_1 + gb)c_2) \\
 d_0 & = g_a g_e((g_1 + g_2)(g_1 + gb) - g_1^2).
 \end{aligned}$$

La fonction de transfert n'étant pas sujette à une interprétation directe pour une étude quantitative de la stabilité, on peut considérer la fonction de transfert simplifiée avec  $c_2 = ce = 0$  et  $re = 0$ . On arrive ainsi à la fonction de transfert du deuxième ordre

$$\frac{vy}{vx} = -\frac{g_1 g_a (gm_B + (Ai.ct - cm_B - cgd_B)p)}{d_2 p^2 + d_1 p + d_0}$$

avec

$$\begin{aligned}
 d_2 & = cgd_B(g_1 + g_2)(Aigect - cm_B - cgd_B) + (ca + ct + cgd_B)(g_1 + g_2)(g_1 + gb) \\
 d_1 & = cgd_B(g_1 + g_2)gm_B \\
 & + (ca + ct + cgd_B)((g_1 + gb)(g_1 + g_2) - g_1^2) + ga((g_1 + g_2)(cb + cgd_B)) \\
 d_0 & = ga((g_1 + g_2)(g_1 + gb) - g_1^2).
 \end{aligned}$$

Ainsi, si la condition

$$Ai.ct \gg cm_B + cgd_B$$

est satisfaite, un zéro négatif de valeur

$$\omega_{zn} \approx \frac{gm_B}{Ai.ct}$$

fonction du courant de charge est effectivement généré. En considérant la fréquence FPC du pôle associé au nœud de sortie et en notant que la stabilité du LDO est dépendante de la distance pôle/zéro approximativement donnée par

$$\delta_{zn/pc} \propto \frac{CD}{Ai CT} \sqrt{IL},$$

comme indiqué sur la *figure 31*, à  $IL=0$ , le zéro étant situé devant le pôle dominant FPA de l'amplificateur, la stabilité du régulateur est assurée. A  $IL=IL1$ , on se trouve dans une configuration où le pôle dominant FPA précède le zéro, la marge de phase du LDO ne peut être supérieure à 45 degrés que si le zéro est "suffisamment" proche de FPA. A  $IL=IL2$ , on se trouve dans une autre configuration, où le pôle dominant FPA précède le pôle FPC2, la marge de phase ne peut être supérieure à 45 degrés que si le zéro est "suffisamment" proche de FPC2. Ainsi, la configuration où le pôle FPC est supérieure à la fréquence de transition du LDO étant stable, pour une capacité CD et un courant  $IL_{min}$  donnés, il peut éventuellement exister un jeu de valeurs FT, CT et Ai pour lequel la marge de phase reste supérieur à 45 degrés pour toutes les valeurs possibles du courant de charge.

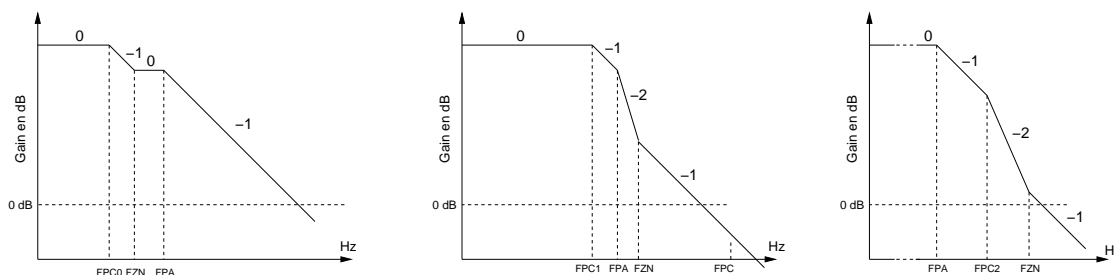


FIGURE 31 –

*Positions du zéro pour le LDO avec zéro actif sur la sortie*

## 6.3 Faisabilité du LDO

### 6.3.1 Spécifications de l'OTA

La capacité de charge du régulateur étant normalement faible, la propension à répondre rapidement au front montant et descendant du courant de charge (régulation de ligne transitoire) est principalement fixée par la fréquence de transition de l'amplificateur. Or, nonobstant les très basses fréquences pour lesquelles le régulateur se comporte comme un LDO intrinsèque, comme le montre la *figure 36*, pour le cas d'espèce considéré, il existe une valeur de fréquence de transition FT relativement élevée optimale (au voisinage de 10MHz) assurant la stabilité du dispositif.

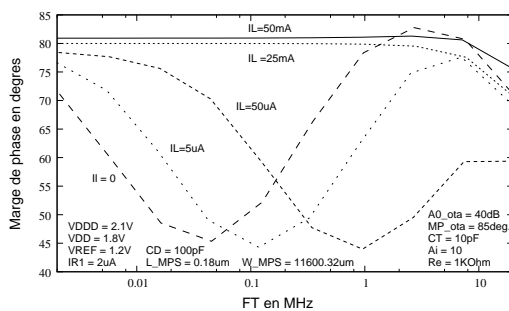


FIGURE 32 –

*MP vs FT pour le LDO avec zéro actif sur la sortie*

### 6.3.2 Positionnement du zéro actif

Le zéro actif est positionné par le condensateur et le gain en courant de la transcapacitance. L'obtention d'une bonne marge de phase pour toute la plage de variation du courant de charge implique normalement une très forte pour le produit  $A_i.CT$ , comme le montre la *figure 36*, une valeur de l'ordre de 100pF peut être requise. On notera que le condensateur surcharge l'OTA et que la consommation de l'amplificateur de courant est généralement proportionnelle à la valeur de son gain.

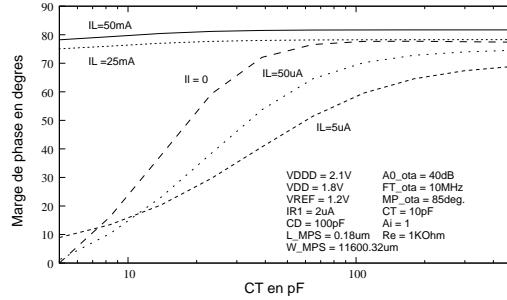


FIGURE 33 –

*MP vs  $A_i.CT$  pour le LDO avec zéro actif sur la sortie*

### 6.3.3 Spécifications de l'amplificateur de courant

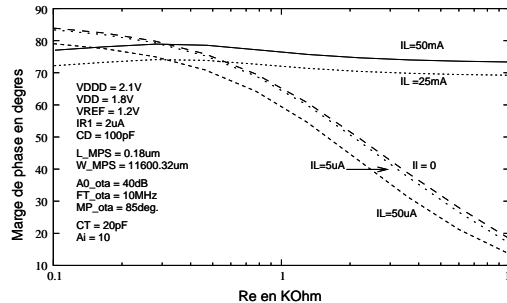


FIGURE 34 –

*MP vs  $Re$  pour le LDO avec zéro actif sur la sortie*

Comme le montre la *figure 34*, le LDO avec zéro actif sur la sortie présente une sensibilité notable à la valeur de la résistance d'entrée de l'amplificateur de courant, et des valeurs inférieures au KOhm peuvent être requises. Si tel est le cas, elles peuvent impliquer l'utilisation d'amplificateur de courant (positif) avec contre réaction locale. De part la complexité de leur [fonction de transfert](#)

, ce type d'amplificateur favorise l'émergence de pôles complexes dans la fonction de transfert du régulateur, ainsi, leur fréquence de coupure devra être toujours situé à fréquence haute. On notera que l'impédance de sortie de l'amplificateur peut être intégrée dans l'impédance de sortie du régulateur, que le LDO est peu sensible à la capacité d'entrée et au courant résiduel de sortie. En terme de circuiterie, les dispositifs de la *figure 42* (versions N), sont utilisables.



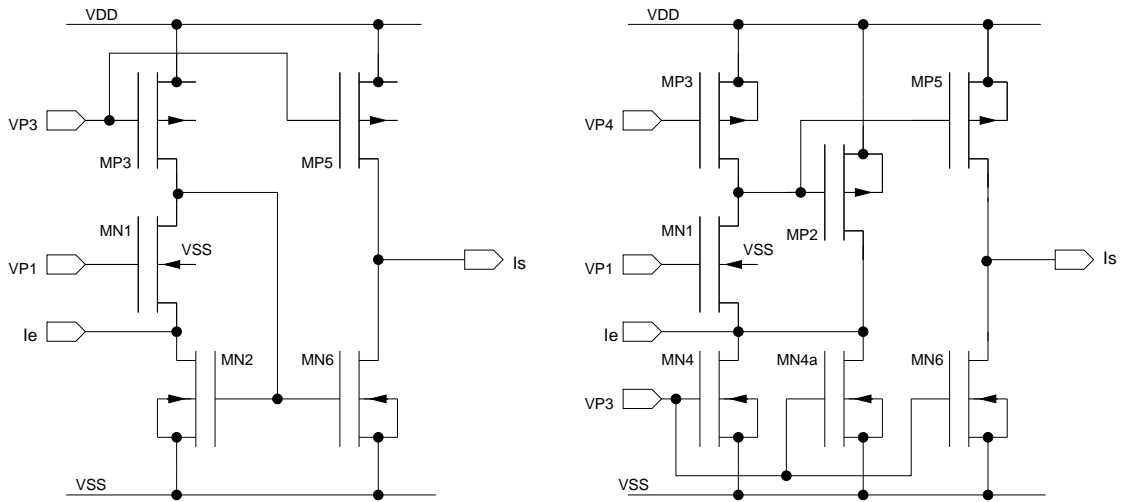


FIGURE 35 –

*Amplificateurs de courant positif à basse résistance d'entrée*

### 6.3.4 Performances

La figure 36 correspond à un cas d'espèce, montrant que le LDO avec zéro actif sur la sortie peut présenter, selon la valeur de CD, une plage de courant de charge pour laquelle le dispositif est caractérisé par une marge de phase de l'ordre de 45 degrés. En terme de réponse impulsionnelle à un échelon de courant avec une amplitude de 50mA et un temps de montée de 1 microseconde, le régulateur peut s'établir en quelques microsecondes avec une régulation de ligne transitoire de l'ordre de 200mV (slew rate infini pour l'OTA). Par contre, ses indices de performance, en terme de consommation (notamment du fait de l'amplificateur de courant à entrée basse impédance et grand gain) et de surface d'intégration (du fait de la forte capacité CT) sont relativement limités. Ne pouvant être utilisé qu'avec une faible capacité de charge, ce type de régulateur est exclusivement sans condensateur externe.

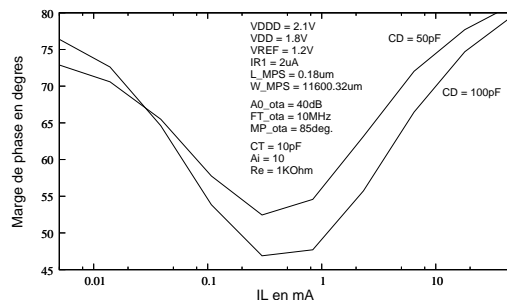


FIGURE 36 –

*MP vs IL pour le LDO avec zéro actif sur la sortie*

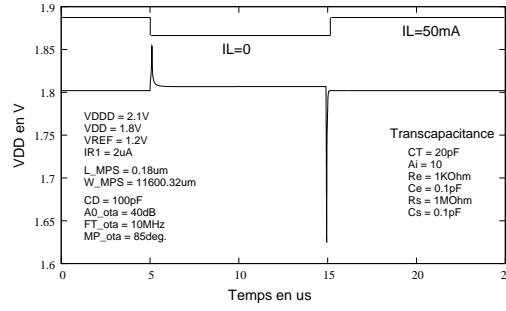


FIGURE 37 –

*Réponse impulsionnelle du LDO avec zéro actif sur la sortie*

## 7 Régulateur LDO avec zéro actif sur le pont résistif

### 7.1 Constitution

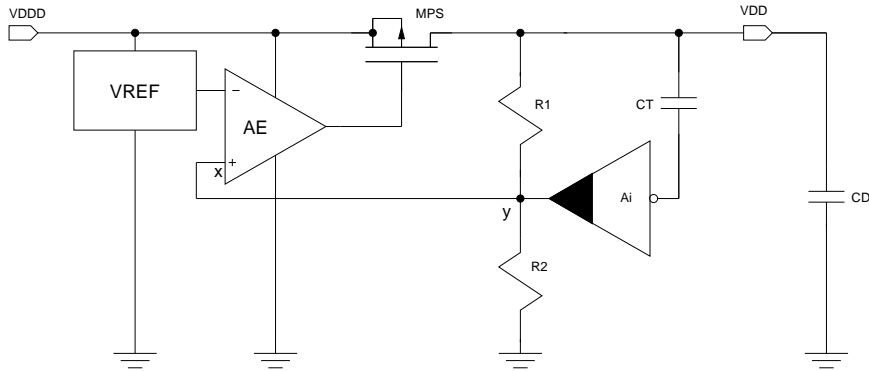


FIGURE 38 –

*Constitution du LDO avec zéro actif sur pont résistif*

Si on considère le schéma constitutif du régulateur intrinsèque, il est possible de créer un zéro négatif en shuntant capacitivement la résistance R1 du pont résistif, mais ce faisant, on génère inévitablement un pôle à distance trop proche pour pouvoir utiliser ce doublet pôle/zéro passif pour un réglage effectif de la marge de phase du dispositif. Ainsi, pratiquement, on préfère créer un zéro actif à partir d'une transcapacitance comme indiqué sur le schéma de la *figure 38* [3],[2].

### 7.2 Stabilité

A partir du schéma équivalent de la *figure 39*, on calcule la fonction de transfert d'ordre quatre

$$\frac{vy}{vx} = - \frac{gma( g_1ge + (g_1(ct + ce) + Ai ge ct)p )( gm_B - (cgd_B + cm_B)p )}{d_4p^4 + d_3p^3 + d_2p^2 + d_1p + d_0}$$

avec

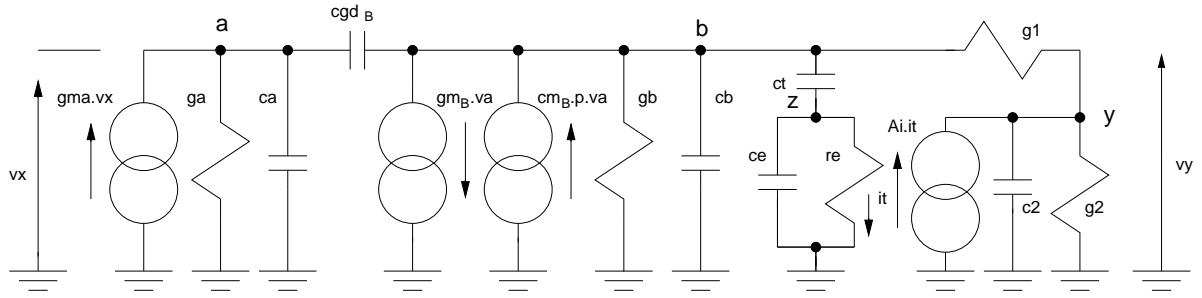


FIGURE 39 –

*Schéma équivalent pour l'analyse de la stabilité*

$$\begin{aligned}
d_4 &= c_2(cgd_B + cb + ct)(ce + ct)(ca + cgd_B) - ct^2c_2(ca + cgd_B) \\
&\quad - c_2cgd_B(ce + ct)(cgd_B + cm_B) \\
d_3 &= c_2(cgd_B + cb + ct)(ge(ca + cgd_B) + ga(ce + ct)) \\
&\quad + (ce + ct)(ca + cgd_B)(c_2(g_1 + gb) + (g_1 + g_2)(cgd_B + cb + ct)) \\
&\quad - ct^2((g_1 + g_2)(ca + cgd_B) + c_2ga) \\
&\quad + c_2cgd_B(gm_B(ce + ct) - ge(cgd_B + cm_B)) - (ce + ct)(cgd_B + cm_B)cgd_B(g_1 + g_2) \\
d_2 &= c_2(cgd_B + cb + ct)gega + (c_2(g_1 + gb) + (cgd_B + cb + ct)(g_1 + g_2)) \\
&\quad \cdot (ge(ca + cgd_B) + ga(ce + ct)) \\
&\quad + (ce + ct)(ca + cgd_B)(g_1 + gb)(g_1 + g_2) \\
&\quad - ct^2ga(g_1 + g_2) - g_1(ca + cgd_B)(g_1(ce + ct) + Aigect) \\
&\quad + c_2cgd_Bgegm_B + cgd_B(gm_B(ce + ct) - ge(cgd_B + cm_B))(g_1 + g_2) \\
d_1 &= (g_1 + g_2)(g_1 + gb)(ge(ca + cgd_B) + ga(ce + ct)) \\
&\quad + gega(c_2(g_1 + gb) + (g_1 + g_2)(cgd_B + cb + ct)) \\
&\quad - g_1ga(g_1(ce + ct) + Aigect) - g_1^2ge(ca + cgd_B) \\
&\quad + cgd_B(g_1 + g_2)gegm_B \\
d_0 &= gage((g_1 + g_2)(g_1 + gb) - g_1^2).
\end{aligned}$$

Une interprétation quantitative de la stabilité du LDO peut être donnée en considérant la fonction de transfert simplifiée d'ordre deux, obtenue avec  $c_2 = ce = 0$  et  $re = 0$ . Cette fonction de transfert

$$\frac{vy}{vx} = - \frac{gma (g_1 + Ai ct p)(gm_B - (cgd_B + cm_B)p}{d_2p^2 + d_1p + d_0}$$

avec

$$\begin{aligned}
d_2 &= ((cgd_B + cb + ct)(g_1 + g_2))(ca + cgd_B) \\
&\quad - Aictg_1(ca + cgd_B) \\
&\quad - (cgd_B + cm_B)(g_1 + g_2)cgd_B \\
d_1 &= (g_1 + g_2)(g_1 + gb)(ca + cgd_B) + ga((g_1 + g_2)(cgd_B + cb + ct)) \\
&\quad - g_1gaAict - g_1^2(ca + cgd_B) + cgd_B(g_1 + g_2)gm_B \\
d_0 &= ga((g_1 + g_2)(g_1 + gb) - g_1^2)
\end{aligned}$$

fait directement (sans condition) apparaître un zéro négatif de valeur

$$\omega_{zn} \approx \frac{g_1}{Ai.ct}$$

indépendant du courant de charge, et pour une valeur R1 donnée, réglable par le gain Ai et la valeur du condensateur CT de la transcapacitance. Quant aux pôles, si le régulateur est utilisé avec un condensateur externe CC de forte valeur, avec

$$\begin{aligned}d_2 &\approx cb + (g_1 + g_2)(ca + cgd_B) \\d_1 &\approx ga((g_1 + g_2)cb) \\d_0 &= ga((g_1 + g_2)(g_1 + gb) - g_1^2)\end{aligned}$$

on retrouve les deux valeurs du LDO conventionnel

$$w_{pc} \approx \frac{gb}{cc} \quad \text{et} \quad w_{pa} \approx \frac{ga}{ca} \approx \frac{\omega TA}{A0_A}.$$

Alors que dans le cas contraire, sans condensateur externe, les capacités ct, ca, cb étant de même ordre de grandeur, aucune approximation significative n'est possible.

## 7.3 Faisabilité du LDO avec condensateur externe

### 7.3.1 Positionnement du zéro actif

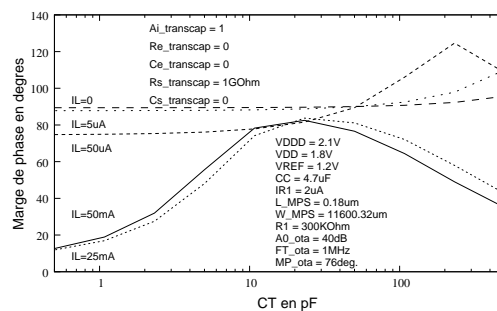


FIGURE 40 –

*MP vs CT pour le LDO avec zéro actif sur le pont résistif*

La résistance R1 étant fixée en fonction du courant, le positionnement du zéro actif est effectué par le condensateur et le gain en courant de la transcapacitance. La *figure 40*, montre que dans l'exemple considéré, la stabilité est assurée pour les forts courants de charge pour une plage de valeurs de condensateur CT de l'ordre de la dizaine de pF et un gain en courant unitaire.

### 7.3.2 Spécifications de l'amplificateur de courant

L'amplificateur de courant doit être considéré le point faible pour les performances statiques du régulateur. En effet, son impédance de sortie, en parallèle sur le pont résistif, affecte directement la précision du LDO et son courant résiduel de sortie, directement traduit en terme de tension par R1 et R2, génère une tension de décalage sur la tension de consigne. Ainsi, même si les composantes systématiques de ces erreurs peuvent être facilement corrigées en modifiant la valeur des résistances, il n'en est pas de même pour les composantes statistiques, et on peut être conduit à augmenter le courant statique circulant dans les résistances pour diminuer R2. D'autre part, comme le montre la *figure 41*, la résistance d'entrée de l'amplificateur de courant a une incidence notable sur la

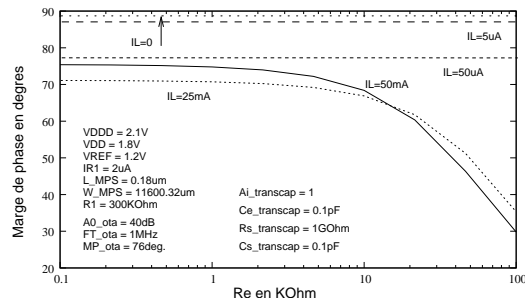
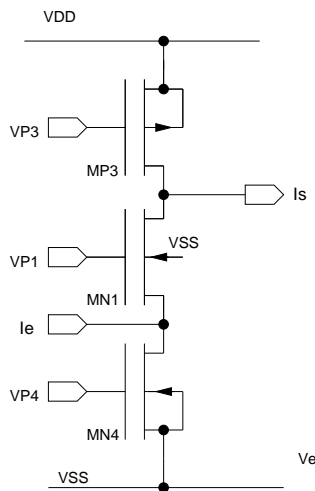


FIGURE 41 –

*MP vs Re pour le LDO avec zéro actif sur le pont résistif*

marge de phase, et des faibles valeurs (inférieures au KOhm) peuvent être nécessaires. Elles peuvent impliquer l'utilisation d'un amplificateur de courant (négatif) avec contre réaction locale, avec l'émergence possible de pôles complexes qui devront être situés à haute fréquence. En terme de réalisation physique, de part le gain en courant unitaire, on notera que l'utilisation de [suiveurs de courant](#)

, inhérentement peu générateur de courant de décalage, peut s'avérer être un bon choix. Ainsi, si une résistance d'entrée de plusieurs KOhms est autorisée, un suiveur de courant commun est utilisable avec une consommation en courant raisonnable (de l'ordre de la dizaine de microampères), sinon avec une tension VDD suffisante on peut utiliser un suiveur de courant régulé compact et sinon on peut s'orienter vers un suiveur de courant régulé non compact (*figure ??*)



**METTRE  
SUIVEUR REGULECOMPACTE  
ET NON COMPACT**

FIGURE 42 –

*Suiveurs de courant*

### 7.3.3 Performances

Globalement, toutes choses étant égales par ailleurs, les performances du LDO avec zéro actif sur le pont résistif, sont similaires aux performances du LDO conventionnel. COMPARATIVEMENT AVEC BUFFER BLABLA Comme le montre la *figure 43*, la régulation ligne transitoire est de très bonne tenue.

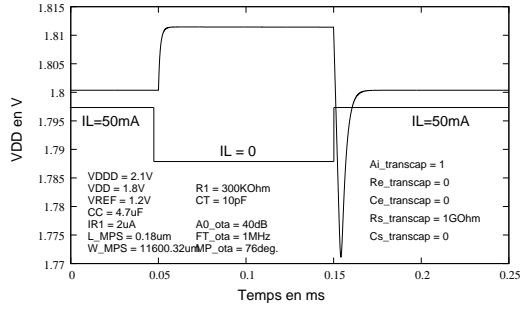


FIGURE 43 –

*Réponse impulsionnelle du LDO avec zéro actif sur le pont résistif*

## 7.4 Faisabilité d'un LDO sans condensateur externe

Si en l'absence d'une forte charge capacitive, la complexité de l'expression analytique du dénominateur de la fonction de transfert simplifiée au deuxième ordre, ne permet pas une analyse quantitative de la stabilité à partir d'un diagramme de Bode, les figures [figure 44](#), [figure 45](#), [figure 46](#), [figure 47](#) montrent que l'on peut opportunément réaliser un LDO avec zéro actif sur le pont résistif. Toutefois, de part l'utilisation d'un amplificateur avec une faible fréquence de transistion, et d'une faible capacité de charge le LDO est caractérisé par une régulation de ligne transistoire limitée ([figure 47](#)), réservant pratiquement ce type de dispositif à l'alimentation des circuits numériques cadencés par une relativement faible fréquence d'horloge.

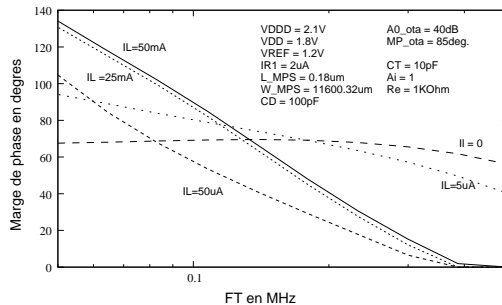


FIGURE 44 –

*MP vs FT du LDO sans condensateur externe*

## 8 Régulateur LDO avec zéro actif sur DDA

### 8.1 L'amplificateur différentiel de différence (DDA)

L'amplificateur différentiel de différence ( [DDA](#)

représenté symboliquement sur la [figure 49](#), physiquement réalisé par un doublement de la paire différentielle normalement située à l'entrée de tous les amplificateurs opérationnels mode tension, est idéalement caractérisé par la relation fonctionnelle

$$Vs = A_0 ( (V_{pa} - V_{na}) - (V_{pb} - V_{nb}) ).$$

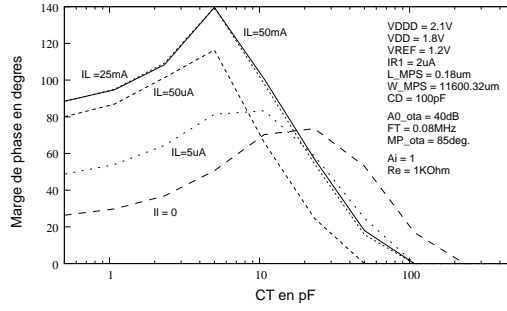


FIGURE 45 –

*MP vs CT du LDO sans condensateur externe*

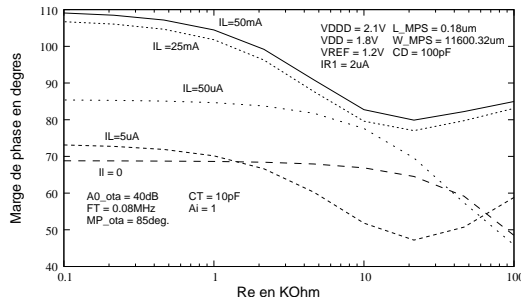


FIGURE 46 –

*MP vs Re du LDO sans condensateur externe*

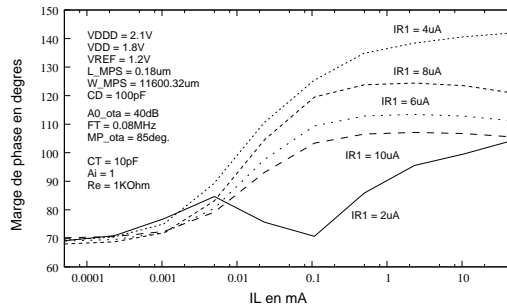


FIGURE 47 –

*MP vs IL du LDO sans condensateur externe*

## 8.2 Constitution du LDO

Conformément à l'équation fonctionnelle du DDA, un zéro actif peut directement être synthétisé par une transcapacitance directement connectée sur la résistance  $R_T$  située sur l'entrée inverseuse  $v_{nb}$ . C'est ce que montre le schéma de principe de la *figure 50* pour lequel on peut écrire

$$V_a = A_0 ( (V_{ya} - V_{REF}) - (V_{EMC} - V_{yb}) )$$

avec

$$V_{yb} = R_T \cdot A_i \cdot C_T \cdot p \cdot V_b + V_{EMC}$$

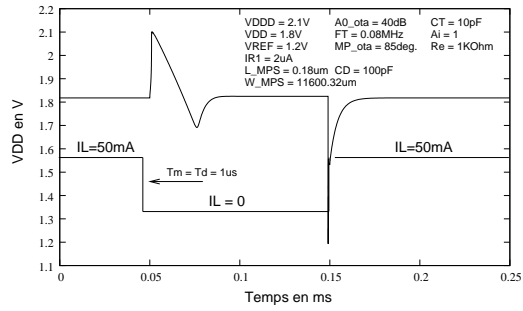


FIGURE 48 –

*Réponse impulsionnelle du LDO sans condensateur externe*

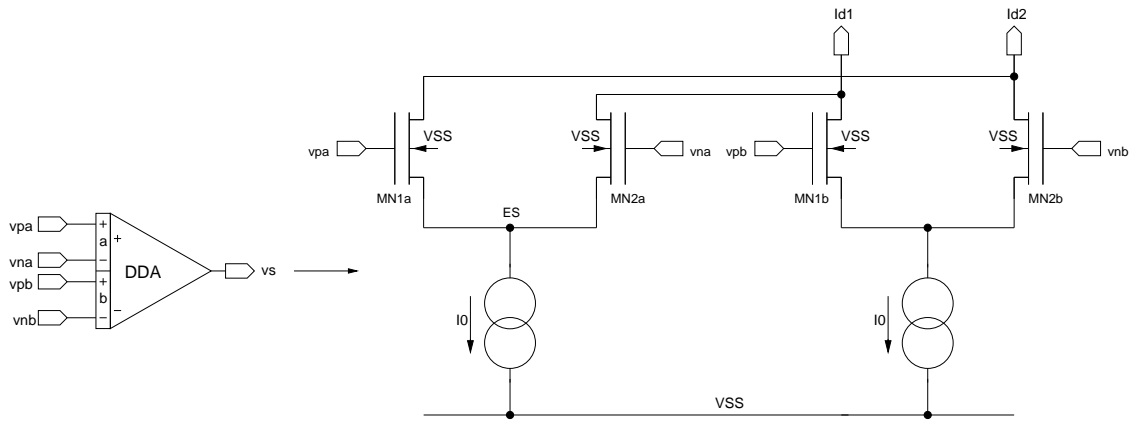


FIGURE 49 –

*L'amplificateur différentiel de différence*

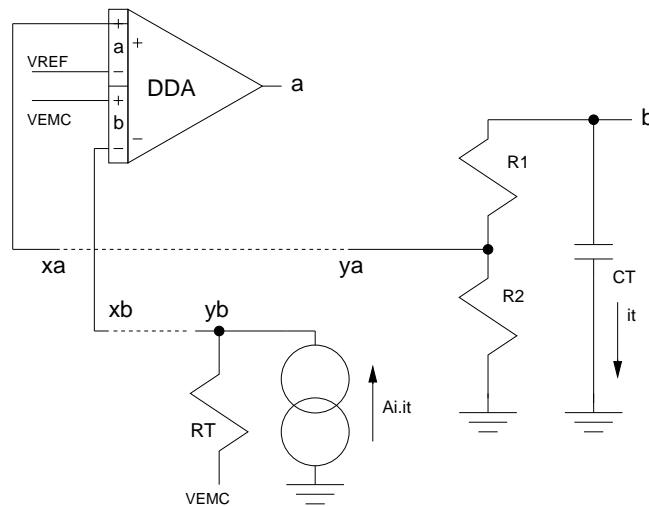


FIGURE 50 –

*Schéma de principe du LDO avec zéro actif sur DDA*

On arrive ainsi au régulateur de la [figure 51](#).



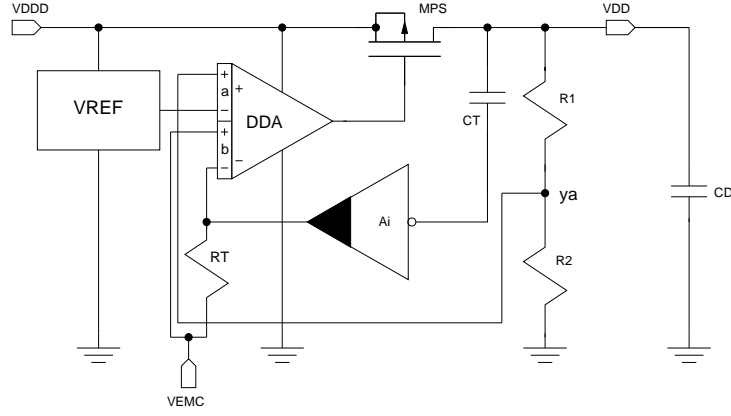


FIGURE 51 –

*Constitution du LDO avec zéro actif sur DDA*

### 8.3 Stabilité

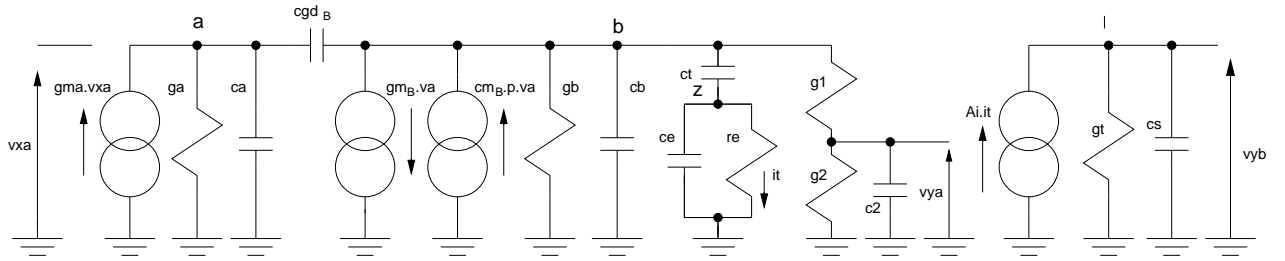


FIGURE 52 –

*Schéma équivalent pour l'analyse de la stabilité*

Pour analyser la stabilité du LDO, comme indiqué sur le schéma de principe, on doit ouvrir la boucle de réaction en **xa** et en **xb** et calculer la fonction de transfert petit signal

$$T(p) = \frac{vya + vzb}{vxa + vxb}.$$

Ce faisant, on peut appliquer le principe de superposition, et utiliser pour **xb=0** le schéma équivalent de la *figure 52*. A partir de la fonction de transfert du LDO avec zéro actif sur le pont résistif avec  $Ai=0$ , on arrive à

$$\frac{vya + vzb}{vxa} = - \frac{gma (g_1 ge + g_1 (ce + ct)p)(gm_B - (cgd_B + cm_B)p)}{d_4 p^4 + d_3 p^3 + d_2 p^2 + d_1 p + d_0} \cdot Tx(p)$$

avec

$$Tx(p) = 1 + \frac{ge}{g_1} \frac{Ai ct p (g_1 + g_2 + c_2 p)}{(gs + csp)(ge + (ce + ct)p)}.$$

On notera que la conductance  $gt$  intègre la résistance  $RT$  et la conductance de sortie de la transcapacitance et que la capacité  $cs$  intègre la capacité de sortie de la transcapacitance et la capacité d'entrée du DDA. La complexité de la fonction de transfert du sixième ordre n'est qu'apparente, puisqu'elle est essentiellement due à la prise en compte des différents

éléments parasites. Ainsi, si la transcapacitance est idéale, si la capacité d'entrée du DDA est nulle, et si  $c_2$  est nulle, la fonction de transfert se simplifie considérablement puisqu'elle peut s'écrire

$$\frac{v_{ya}}{v_{xa}} = - \frac{g_{ma} (g_1 + (g_1 + g_2) A_i R_T c_t p) (g_{m_B} - (c_{gd_B} + c_{m_B}) p)}{d_2 p^2 + d_1 p + d_0}$$

avec

$$\begin{aligned} d_2 &= ((c_{gd_B} + c_b + c_t)(g_1 + g_2))(c_a + c_{gd_B}) \\ &\quad - (c_{gd_B} + c_{m_B})(g_1 + g_2) c_{gd_B} \\ d_1 &= (g_1 + g_2)(g_1 + g_b)(c_a + c_{gd_B}) + g_a((g_1 + g_2)(c_{gd_B} + c_b + c_t)) \\ &\quad - g_1^2(c_a + c_{gd_B}) + c_{gd_B}(g_1 + g_2) g_{m_B} \\ d_0 &= g_a((g_1 + g_2)(g_1 + g_b) - g_1^2). \end{aligned}$$

Le zéro négatif prend la valeur

$$\omega_{zn} \approx \frac{K R}{A_i R_T c_t}.$$

## 8.4 Performances

De part la quasi identité des fonctions de transfert, les performances du LDO avec zéro actif sur DDA sont pratiquement identiques aux performances du LDO avec zéro actif sur le pont résistif. Toute fois, l'amplificateur différentiel de différence permet de dissocier la valeur de  $R_1$  du positionnement du zéro négatif, donc de s'affranchir en grande partie de l'impédance et du courant résiduel de sortie de la transconductance ( $R_T$  de faible valeur). D'autre part, comme l'indique la *figure 53*, la composante systématique de ce dernier peut être corrigée en dupliquant la résistance  $R_T$  et l'amplificateur de courant sur l'entrée opposée du DDA.

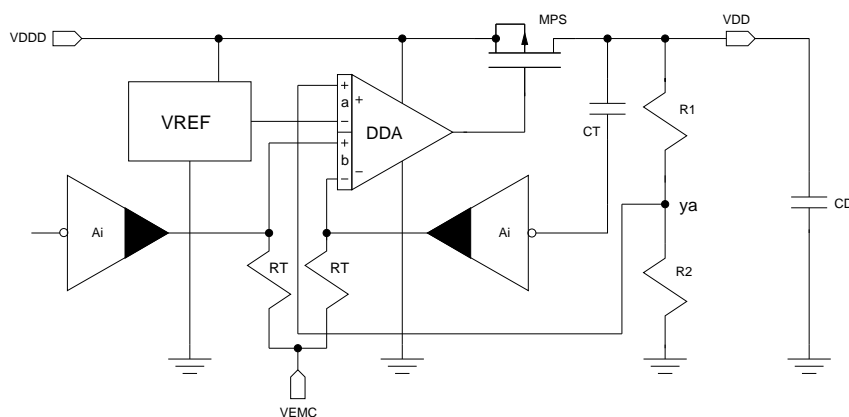


FIGURE 53 –

*Constitution du LDO compensé*

## 9 Régulateur LDO à compensation pseudo-Miller

### 9.1 Motivation

### 9.2 Constitution du LDO

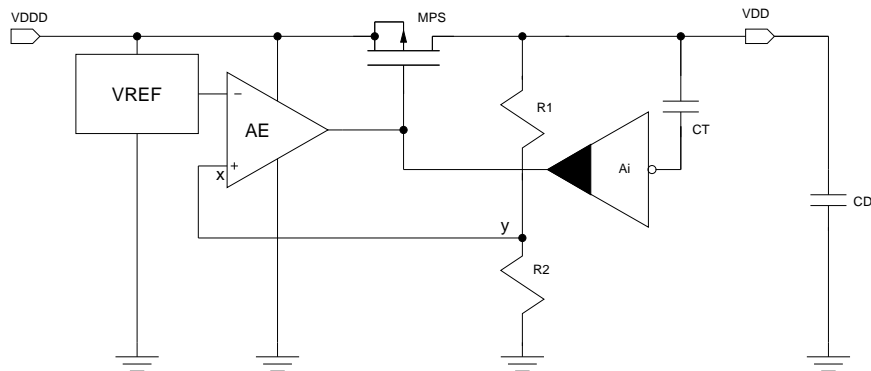


FIGURE 54 –

*Constitution du LDO à compensation pseudo-Miller*

#### 9.2.1 Stabilité

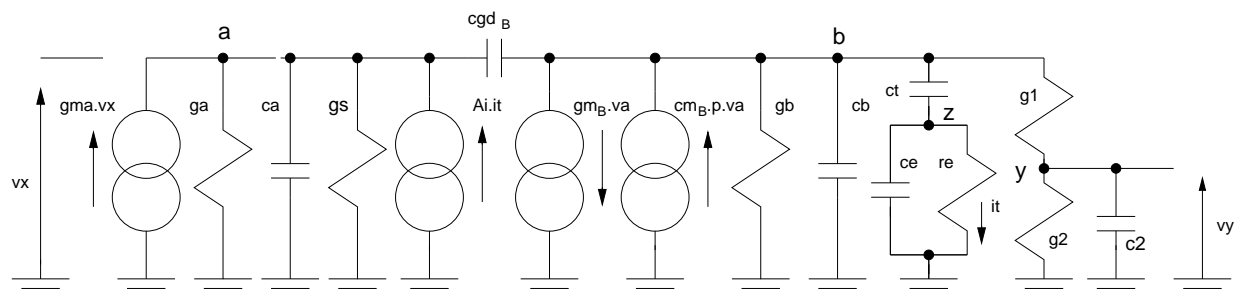


FIGURE 55 –

*Schéma équivalent pour l'analyse de la stabilité*

## 10 Régulateurs basse tension à prélèvement direct

### 10.0.1 Constitution

Le LDO conventionnel à prélèvement direct est représenté sur la *figure 56*. La tension VDD est directement comparée à la tension de consigne, ce qui implique l'utilisation d'un générateur de tension de référence spécifique (typiquement une sous bande-gap). Le transistor MNA est purement fonctionnel, il évite la configuration potentiellement

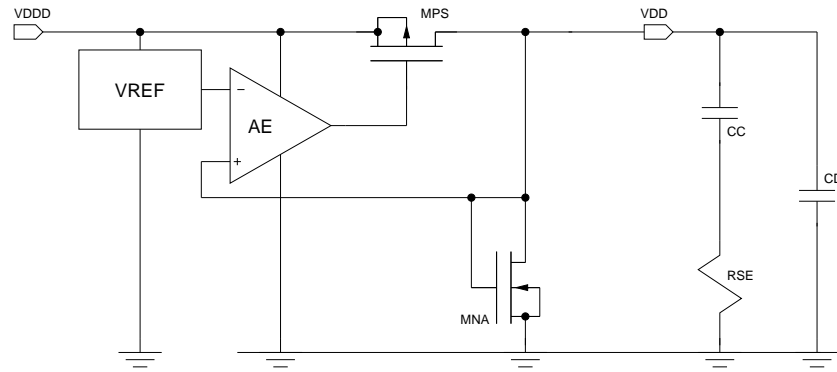


FIGURE 56 –

*LDO conventionnel à prélèvement direct*

pathologique correspondant à un courant de charge nulle. Si il est utilisé, il est dimensionné pour un courant de drain très faible, typiquement inférieur au microampère.

### 10.0.2 Performances

## 11 Régulateurs de tensions à haute régulation de ligne

SUP 60dB

## Références

- [1] M. AL-SHYOUKH, H. LEE, and R. PEREZ. "A transient-enhanced low-quiescent current low-dropout regulator with buffer impedance attenuation". *IEEE Journal of Solid-State Circuit*, vol. 42(No. 8) :pp. 1732–1742, August 2007.
- [2] Q. BIAN, Z. YAN, and Y. ZHAO. "Analysis and design of voltage controlled current source for LDO frequency compensation". *Proc IEEE International Symposium Circuits and System*, pages pp. 363–366, 2005.
- [3] C.K. CHAVA and J. SILVA-MARTINEZ. "A frequency compensation scheme for LDO voltage regulator". *IEEE Transactions on Circuits and Systems I*, vol. 51(No. 6) :pp. 1041–1050, June. 2004.
- [4] G. W. den BESTEN and B. NAUTA. "Embedded 5V to 3.3V voltage regulator for supplying digital IC's in 3.3V CMOS technology". *IEEE Journal of Solid-State Circuit*, vol. 33(No. 7) :pp. 956–962, July 1998.
- [5] V. GUPTA and G.A. RICON-MORA. "Analysis and design of monolithic high PSR linear regulators for SoC applications". *Proceedings IEEE international System Chip Conf.*, pages pp. 311–314, 2004.
- [6] H.W HUANG, K.H. CHEN, and S.Y. KUO. "Dithering skip modulation width and dead time controllers in highly efficient DC-DC converter for System on Chip applications". *IEEE Journal of Solid-State Circuit*, vol. 42(No. 11) :pp. 2451–2465, November 2007.
- [7] S.C. LEE, Y.D. JEON, J.K. KWON, and J. KIM. "A 10 bit 205 MS/s 1.0 mm 90nm CMOS pipeline ADC for flat panel display applications ". *IEEE Journal of Solid-State Circuit*, vol. 42(No. 12) :pp. 2688–2695, December 2007.
- [8] A. RAO, W. McINTYRE, U.K. MOON, and G.C. TEMES. "Noise shaping techniques applied to switched capacitor voltage regulators". *IEEE Journal of Solid-State Circuit*, vol. 40(No. 2) :pp. 422–429, February 2005.
- [9] R. REDL, B.P. ERISMAN, and Z. ZANSKY. "Optimizing the load transient response of buck converter". *Proceedings of the IEEE*, pages pp. 170–176, 1998.
- [10] G.A. RINCON-MORA. "*Current efficient low voltage low-dropout regulators*". PhD thesis, Georgia Institue of Technology, 1996.
- [11] C.S. SHI, B.C. WALKER, E. ZEISEL, B. HU, and G.H. McALLISTAR. "A highly integrated power management IC for advanced mobile applications ". *IEEE Journal of Solid-State Circuit*, vol. 42(No. 8) :pp. 1723–1731, August 2007.
- [12] P.Y. WU and P.K.T. MOK. "A monolithic buck converter with near optimum reference tracking response using adaptative output feedback". *IEEE Journal of Solid-State Circuit*, vol. 42(No. 11) :pp. 2441–2450, November 2007.