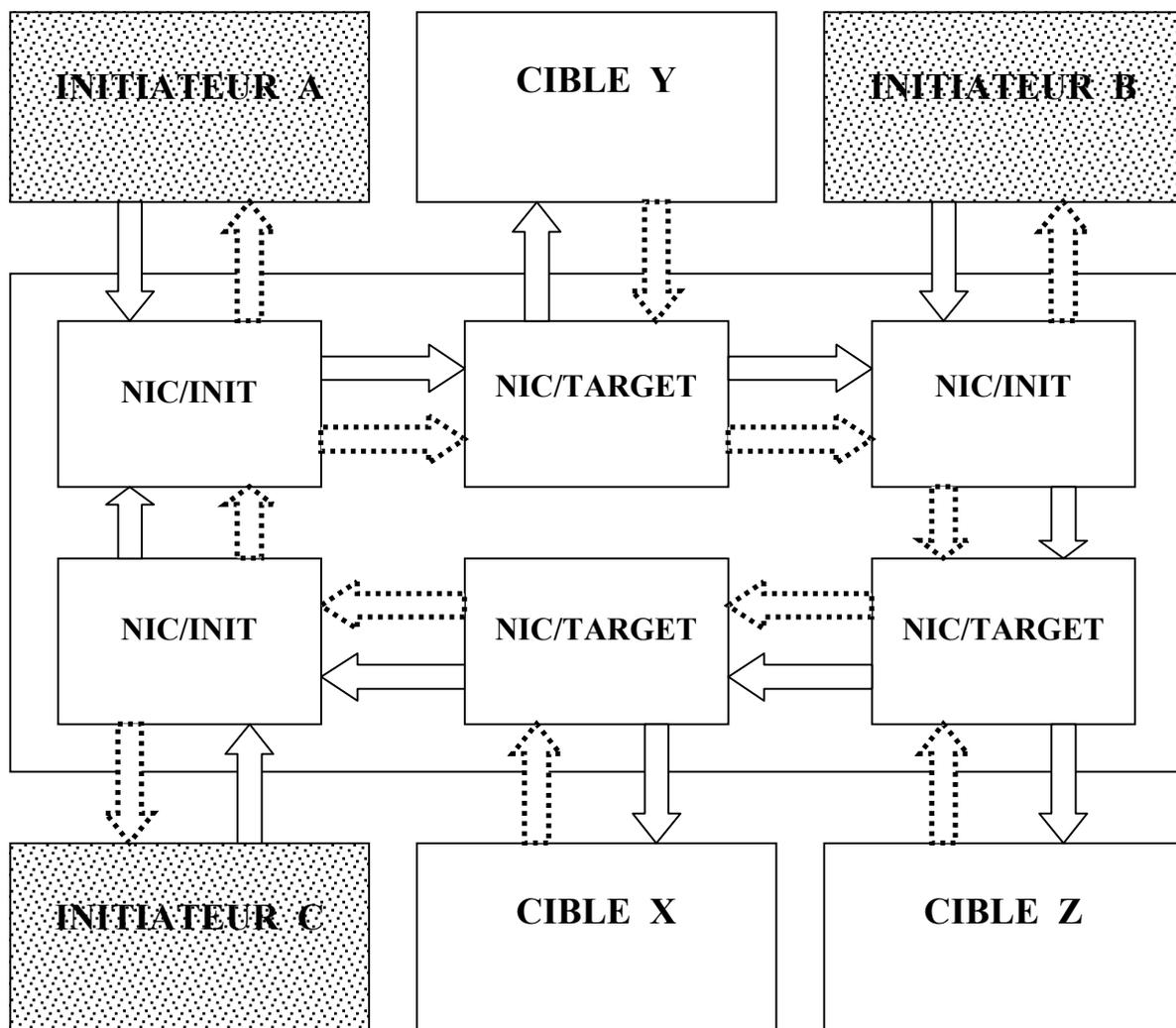


MASTER ACSI

"Architecture Matérielle et Logicielle des Systèmes Intégrés" Partie "Matériel" (A. Greiner) Janvier 2006

On se propose d'étudier une architecture de « bus en anneau », respectant la norme VCI présentée en cours. La figure ci-dessous présente un exemple de système multiprocesseur à espace d'adressage partagé, comportant 3 initiateurs et 3 cibles. L'architecture du bus en anneau est constituée par un ensemble de composants matériels appelés NIC (Network Interface Controller). Il y a autant de composants NIC/INIT que d'initiateurs, et autant de composants NIC/TARGET que de cibles.



Dans une architecture en anneau, chaque composant ne communique qu'avec ses deux voisins par des signaux point à point, ce qui permet en principe d'éviter les longs fils multi-émetteurs.

Le « bus en anneau » comporte deux anneaux indépendants pour les requêtes et les réponses. Dans la figure ci-dessus les requêtes VCI (flèches en traits pleins) et les réponses VCI (flèches en traits pointillés) tournent dans le même sens, ce qui signifie qu'une transaction VCI (requête + réponse) nécessite un tour complet.

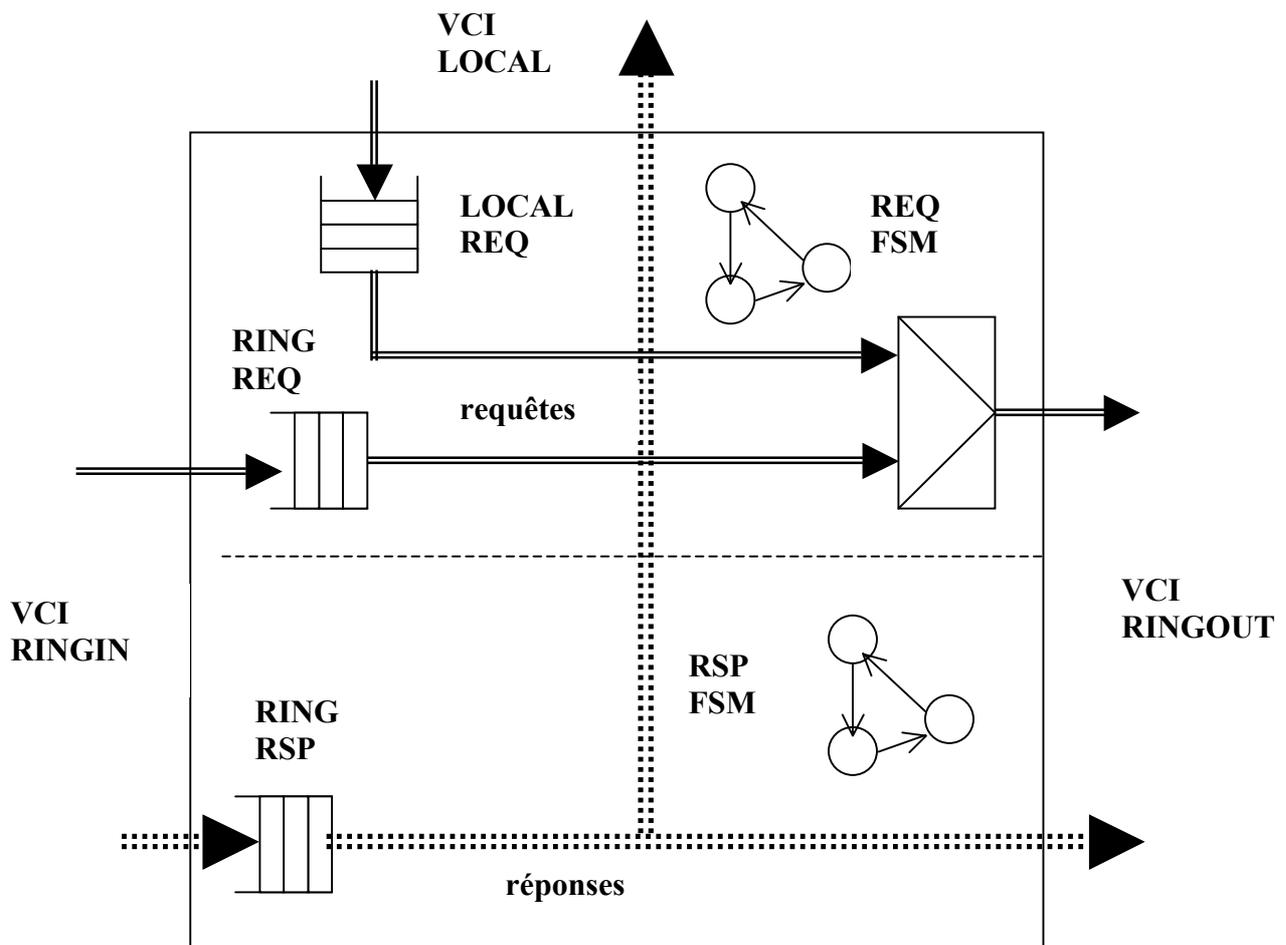
Q1) (2 point) Pour quelle raison est-il souhaitable d'éviter les longs fils multi-émetteurs dans les systèmes intégrés sur puce ?

Q2) (2 point) Pour quelle raison est-il préférable d'avoir deux anneaux indépendants pour les requêtes et les réponses ?

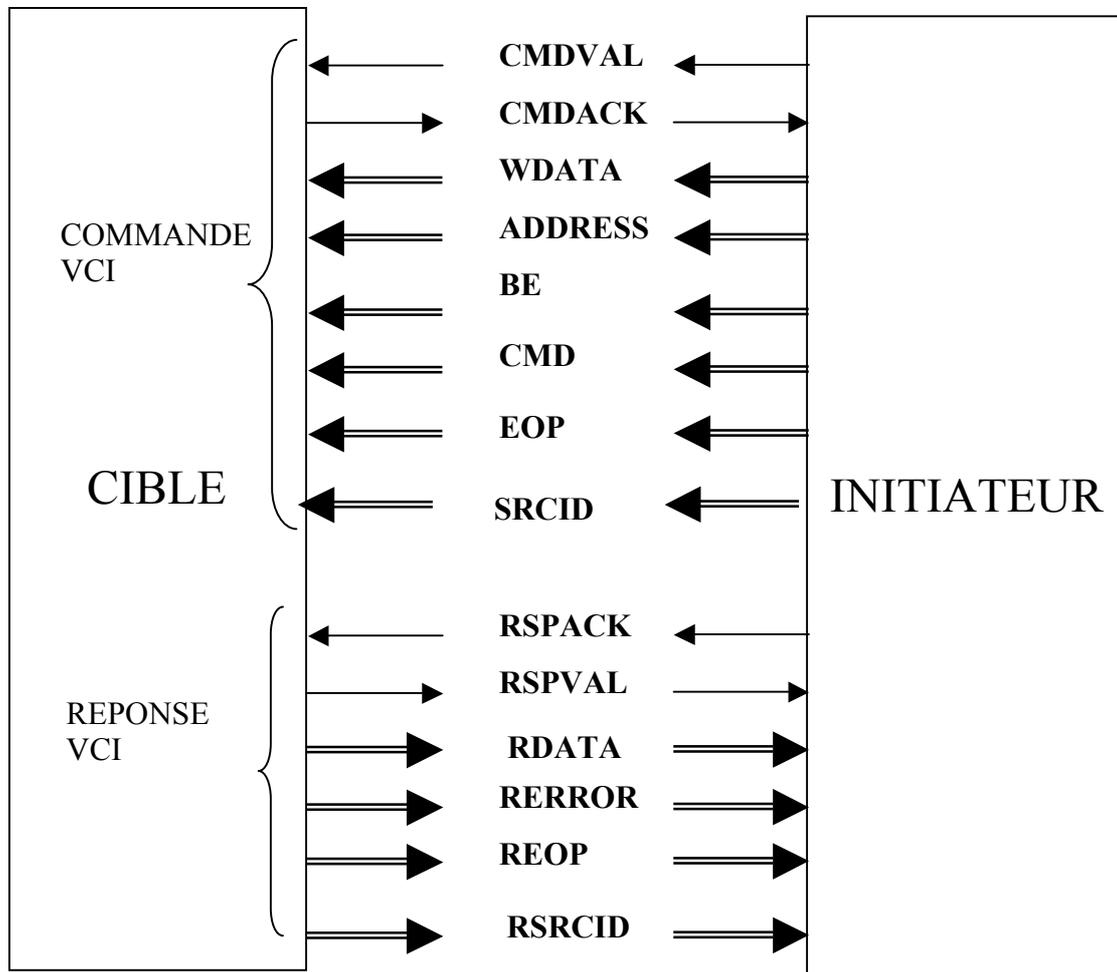
Le composant NIC/INIT contient deux sous-blocs totalement indépendants pour transmettre les requêtes et pour transmettre les réponses. La figure ci-dessous représente le schéma de principe du composant NIC/INIT.

Le sous-bloc « requêtes » contient deux FIFOs appelées LOCAL_REQ et RING_REQ, et possèdent une largeur égale à un mot VCI requête. Le sous-bloc « réponses » contient une seule FIFO appelée RING_RSP, possédant une largeur égale à un mot VCI réponse.

On utilisera les notations LOCAL_REQ_R, ou LOCAL_REQ_ROK pour désigner la commandes de lecture ou le signal non-vide de la FIFO LOCAL_REQ. On utilise des notations similaires pour les autres FIFOs.



Le composant NIC/INIT possède trois interfaces VCI, nommés RINGIN (requêtes entrantes, réponses entrantes), RINGOUT (requêtes sortantes, réponses sortantes), et LOCAL. (requêtes provenant de l'initiateur local, réponses retournant vers celui-ci). On rappelle ci-dessous les principaux signaux de l'interface VCI.



On utilisera les notations suivantes pour désigner un signal particulier :

- Le signal de requête valide sur l'interface VCI RINGIN sera noté RINGIN_CMDVAL
- Le signal d'acceptation de la requête sur l'interface VCI RINGIN sera noté RINGIN_CMDACK
- Le signal de fin de paquet requête sur l'interface VCI RINGIN sera noté RINGIN_EOP
- Le signal de réponse valide sur l'interface VCI RINGIN sera noté RINGIN_RSPVAL
- Le signal d'acceptation de la réponse sur l'interface VCI RINGIN sera noté RINGIN_RSPACK
- Le signal de fin de paquet réponse sur l'interface VCI RINGIN sera noté RINGIN_REOP

On utilisera des notations similaires pour les signaux des deux autres interfaces VCI (RINGOUT et LOCAL)

Dans le cas où deux requêtes se présentent simultanément sur les deux interfaces RINGIN et LOCAL du composant NIC/INIT, l'automate REQ_FSM utilise une politique de priorité tournante pour arbitrer entre ces deux requêtes. On suppose également qu'entre deux paquets requêtes émis sur l'interface RINGOUT, il y a toujours un cycle où aucune donnée n'est transmise.

L'automate REQ_FSM contrôle les signaux suivants :

- LOCAL_REQ_R est un ordre de consommation dans la FIFO LOCAL_REQ
- RING_REQ_R est un ordre de consommation dans la FIFO RING_REQ
- RINGOUT_CMDVAL valide un mot requête sur l'interface VCI RINGOUT

Q3) (6 points) Représenter graphiquement l'automate REQ_FSM, en précisant les expressions Booléennes attachées à chacune des transitions. Construire le tableau définissant les valeurs des 3 signaux de sortie de l'automate REQ_FSM, pour les différents états de l'automate. Par quel signal peut être contrôlé le multiplexeur des requêtes ?

Le rôle de l'automate RSP_FSM est d'aiguiller un paquet réponse entrant sur l'interface RINGOUT, soit vers l'interface VCI LOCAL, soit vers l'interface VCI RINGIN. Il contrôle donc les 3 signaux suivants :

- RINGOUT_RSPVAL valide un mot réponse sur l'interface VCI RINGIN
- LOCAL_RSPVAL valide un mot réponse sur l'interface VCI LOCAL
- RING_RSP_R est un ordre de consommation dans la FIFO RING_RSP

Q4) (6 points) Quelle condition doit tester l'automate RSP_FSM pour aiguiller le paquet réponse ? Représenter graphiquement l'automate RSP_FSM, en précisant les expressions Booléennes attachées à chacune des transitions. Construire le tableau définissant les valeurs des 3 signaux de sortie de l'automate RSP_FSM, pour les différents états de l'automate.

Q5) (2 points) Compte-tenu de la symétrie presque parfaite entre l'anneau des requêtes et l'anneau des réponses, l'architecture interne du composant NIC/TARGET est évidemment très semblable à celle du composant NIC/INIT. Quelle est la principale différence entre les deux composants NIC/TARGET et NIC/INIT.

Q6) (2 points) On considère un système comportant M initiateurs et T cibles. Evaluer la latence minimale d'une transaction VCI pour un initiateur (un aller retour requête/réponse), lorsque le bus est très peu chargé, c'est à dire qu'il n'y a aucune contention. On définira la latence comme le nombre de cycles entre l'envoi du premier mot du paquet requête et la réception du premier mot du paquet réponse.