

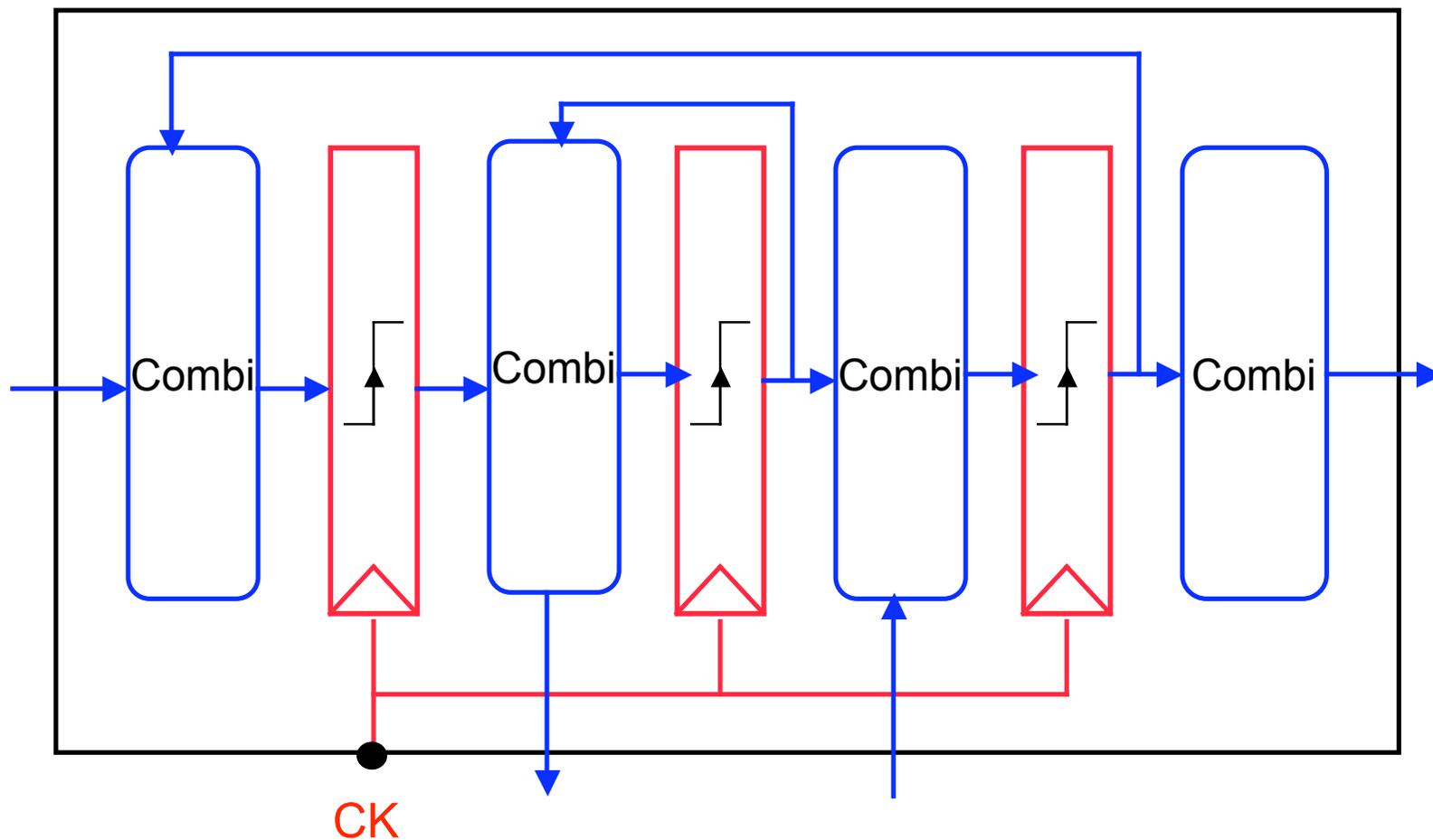
Outils de synthèse et bibliothèques de cellules

version 1.0

Plan

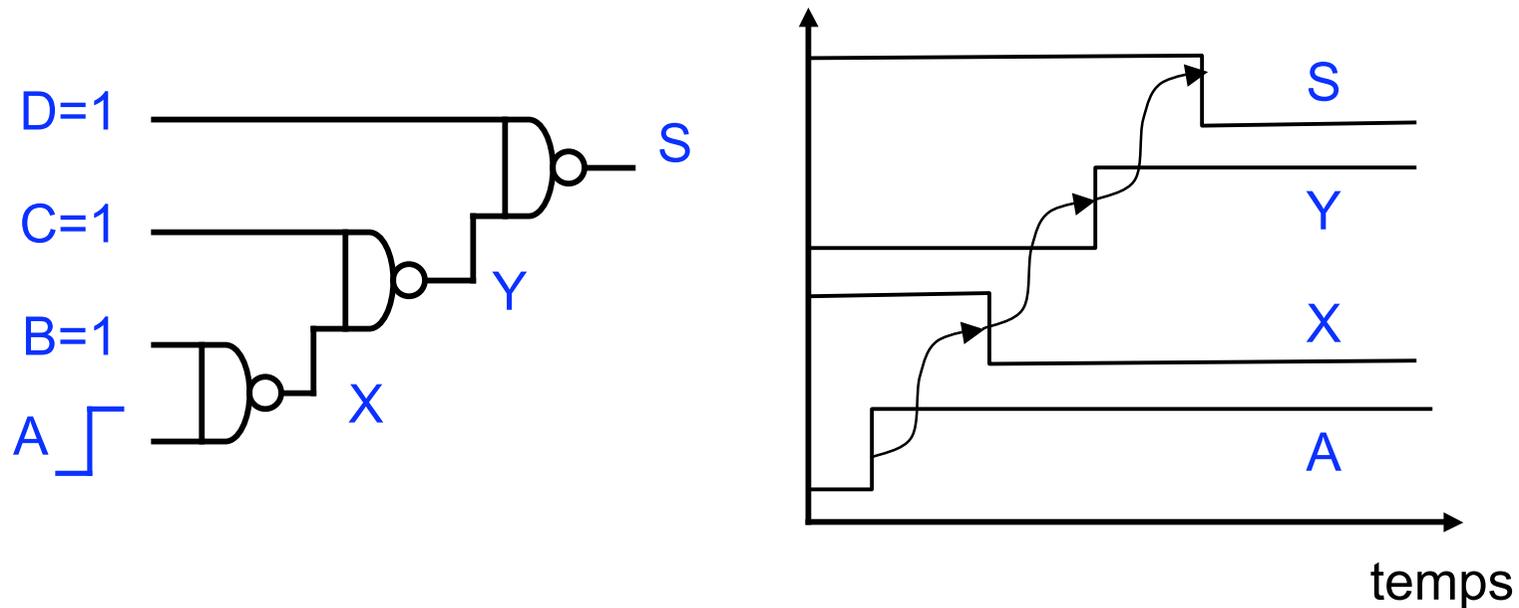
- **Circuits numériques synchrones**
- **Outils de synthèse logique**
- **Bibliothèques de cellules et « IP cores »**

Circuits numériques synchrones



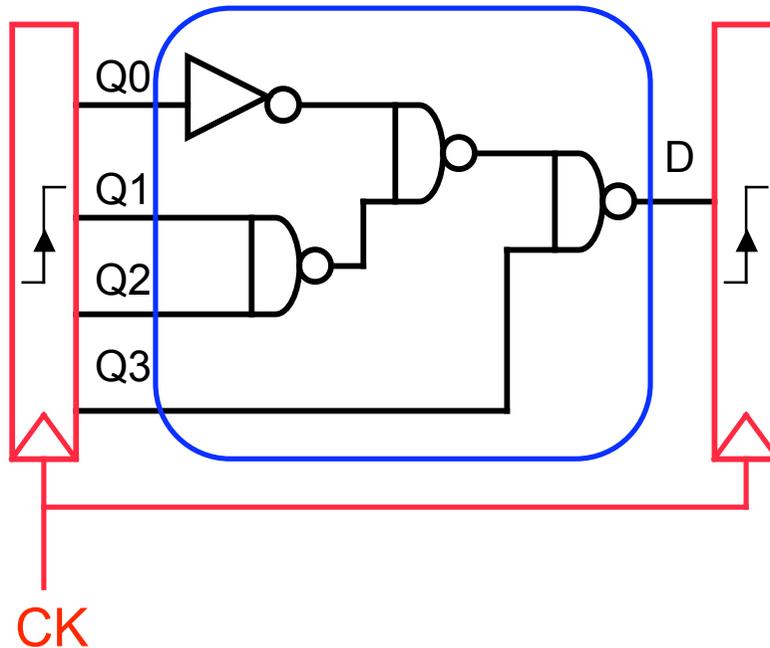
Propagation des événements

Un opérateur combinatoire est une structure **orientée** :
Les événements se propagent des entrées vers les sorties !



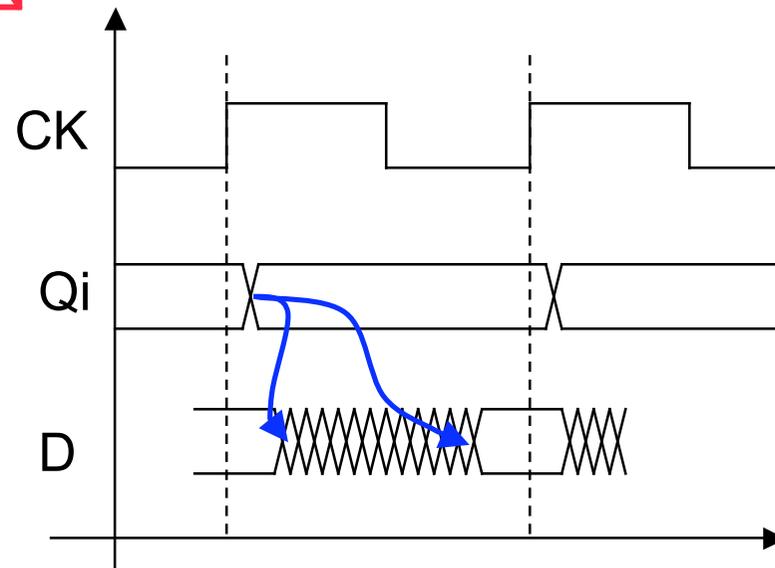
=> Il ne doit pas y avoir de boucle dans un bloc combinatoire

Les temps de propagation

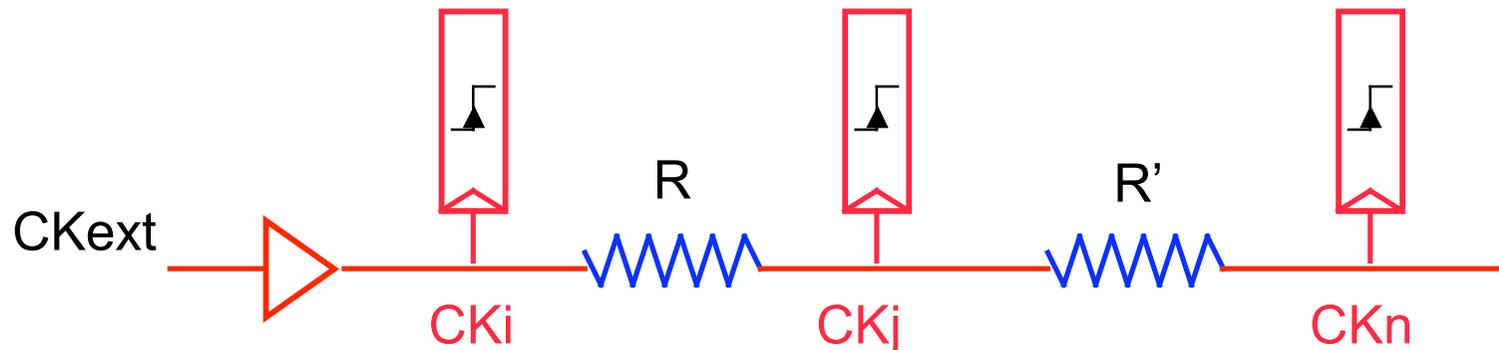


Dans l'opérateur combinatoire, les temps de propagation Q1 -> D et Q3 -> D sont très différents...

- Les signaux de sortie des registres (Q_i) sont stables pendant tout le cycle
- Les signaux d'entrée des registres ne doivent être stables qu'au moment du front montant de CK.



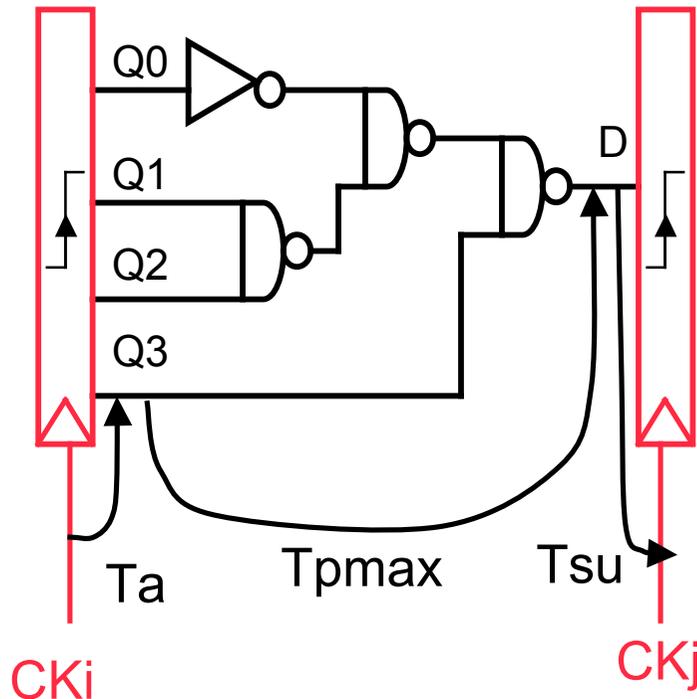
Le skew



Le signal de synchronisation CK est une abstraction.
Le réseau physique de distribution du signal CK n'est pas parfait : les résistances et capacités intrinsèques des fils, ainsi que les amplificateurs intermédiaires introduisent des déphasages entre les signaux CK_i qui parviennent aux registres.

Définition : le skew est un majorant de la valeur absolue du déphasage entre deux signaux d'horloge CK_i et CK_j

Chaînes longues



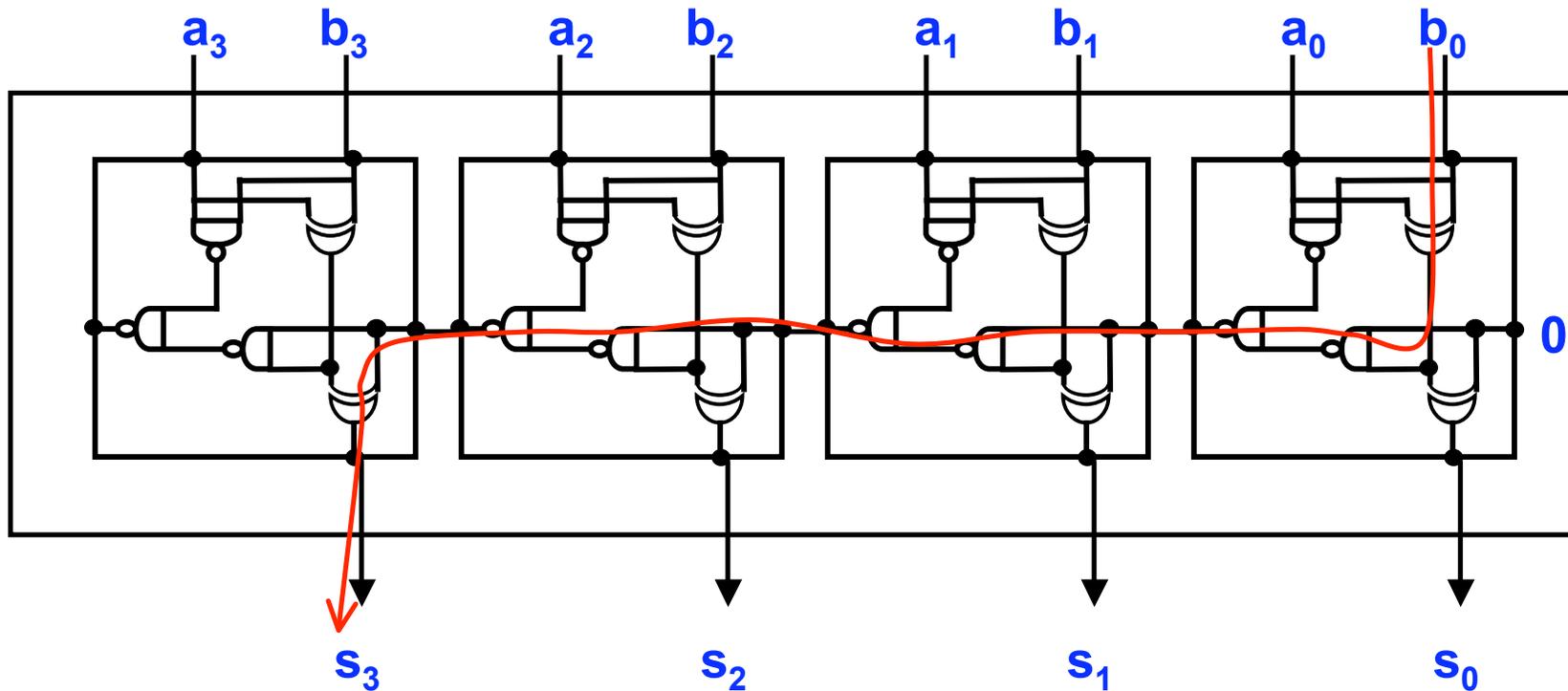
Pour qu'un circuit numérique synchrone fonctionne correctement, il faut que le temps de propagation de la chaîne combinatoire la plus longue T_{pmx} entre deux registres soit inférieur au temps de cycle TC.

Il faut tenir compte du temps d'accès T_a et du temps de pré-établissement T_{su} des registres, ainsi que du « skew »

Tout opérateur combinatoire doit respecter la condition suivante :

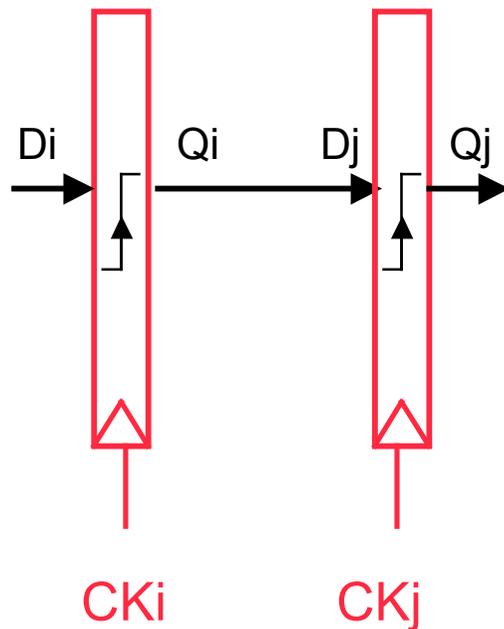
$$T_a(\text{CK} \rightarrow Q_i) + T_{pmx}(Q_i \rightarrow D) + T_{su}(D \rightarrow \text{CK}_j) < TC - \text{skew}$$

Chaîne longue additionneur 4 bits



La chaîne longue traverse 6 portes « nand » et deux portes « xor »

Chaînes courtes



Un dysfonctionnement de type « chaîne courte » se produit lorsque le temps de propagation minimal entre deux registres est plus court que le déphasage entre les deux signaux d'horloge (skew).

Il faut ici également tenir compte du temps d'accès T_a du registre source et du temps de maintien T_h du registre destination.

Tout opérateur combinatoire doit respecter la condition suivante :

$$T_a(CK \rightarrow Q) + T_{pmin}(Q \rightarrow D) > T_h(D \rightarrow CK_j) + skew$$

Le triple rôle des registres

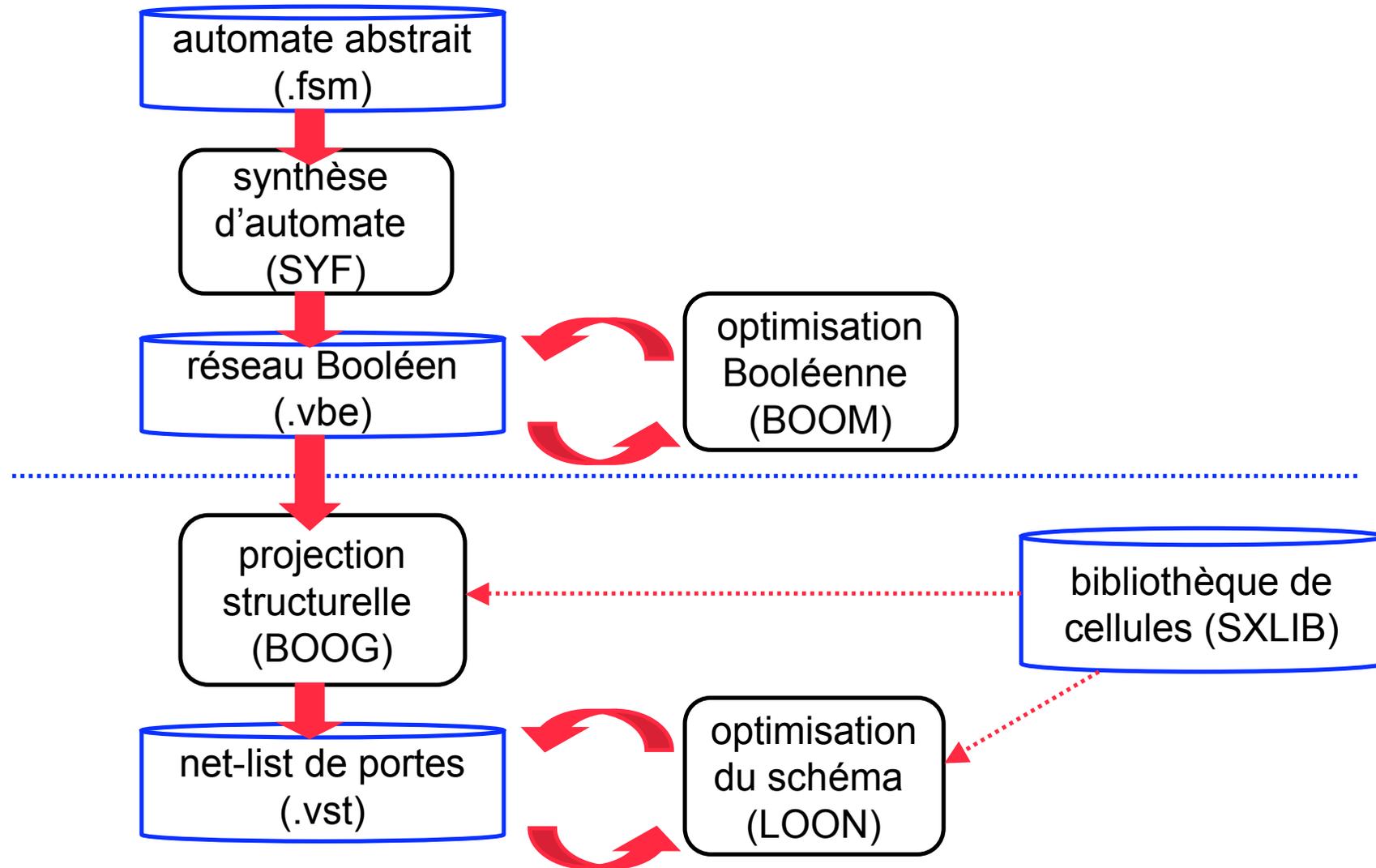
Les registres ont une triple fonction :

- **Mémorisation** : stocker une valeur qui sera utilisée plus tard. Ceci impose que l'écriture dans les registres soit conditionnelle.
- **Synchronisation** : assurer que toutes les données d'un même opérateur combinatoire sont simultanément disponibles.
- **Stabilisation** : garantir que les signaux d'entrée des opérateurs combinatoires sont stables pendant toute la durée du cycle.

Plan

- **Circuits numériques synchrones**
- **Outils de synthèse logique**
- **Bibliothèques de cellules et « IP cores »**

Les étapes de la synthèse



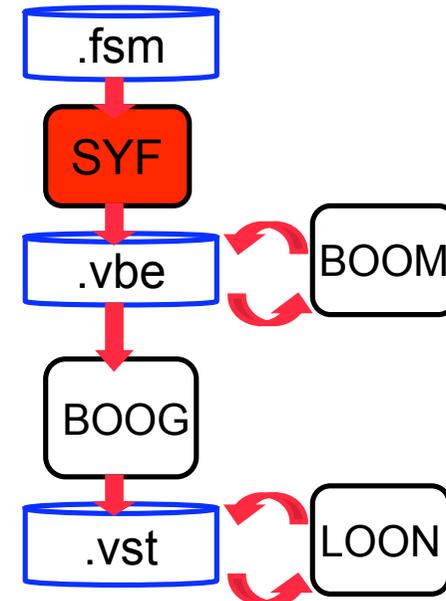
La synthèse d'automate

Les outils de synthèse d'automate (exemple SYF)
appliquent la méthode générale vue précédemment :

- Construction du graphe représentant l'automate abstrait
- Choix d'un codage pour les états
- Construction des fonctions de transition et de génération
- Simplification des expressions Booléennes
- Génération du réseau Booléen

La principale intervention du concepteur
porte sur le choix d'un type de codage.

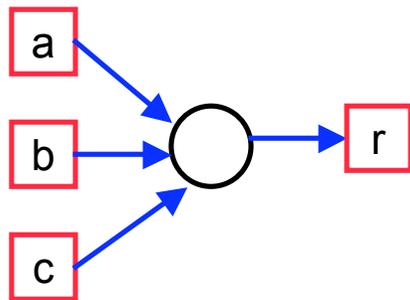
Contrairement à l'intuition, le codage
« one-hot » donne très souvent
de bons résultats !



Optimisation Booléenne / a

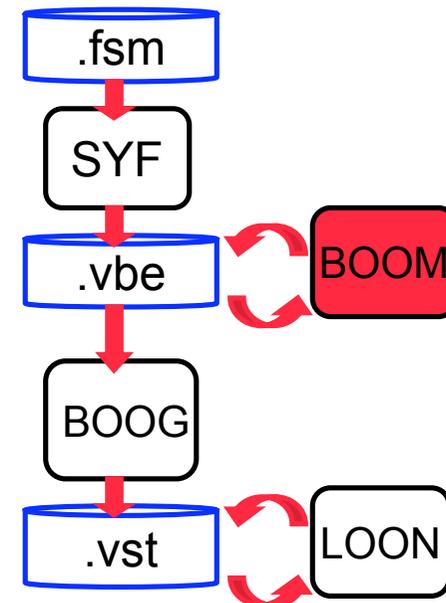
Les outils d'optimisation Booléenne (exemple : BOOM) cherchent à « simplifier » le réseau Booléen. Cette optimisation étant indépendante du procédé de fabrication choisi, la fonction de coût est le « nombre de littéraux ».

L' **optimisation locale** vise la simplification de l'expression Booléenne associée à un noeud particulier du réseau Booléen.



forme canonique : 12 littéraux
 $r \leq a.b.c' + a.b'.c + a'.b.c + a.b.c$

forme optimisée : 6 littéraux
 $r \leq a.b + a.c + b.c$



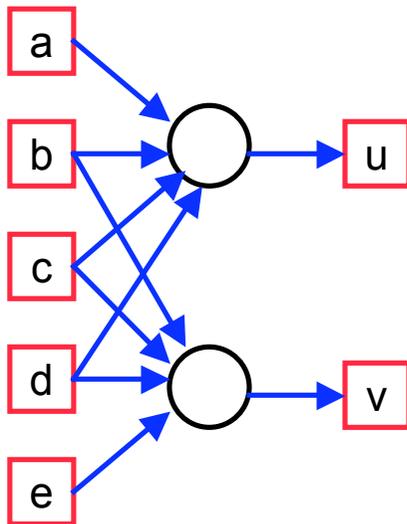
Optimisation Booléenne / b

L'optimisation globale utilise des techniques de factorisation, qui peuvent modifier la structure du réseau Booléen :

Forme initiale :

$$u \leq a.(b.c + b'.d)$$

$$v \leq (b.c + b'.d) + e$$

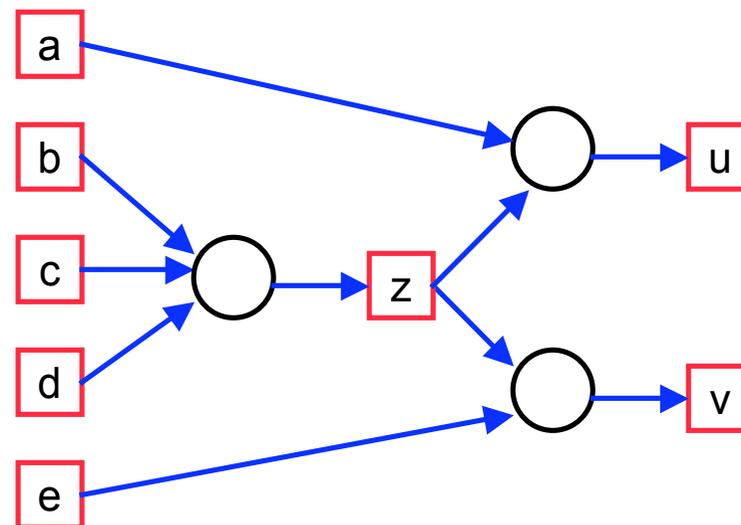


Forme factorisée :

$$z \leq b.c + b'.d$$

$$u \leq a.z$$

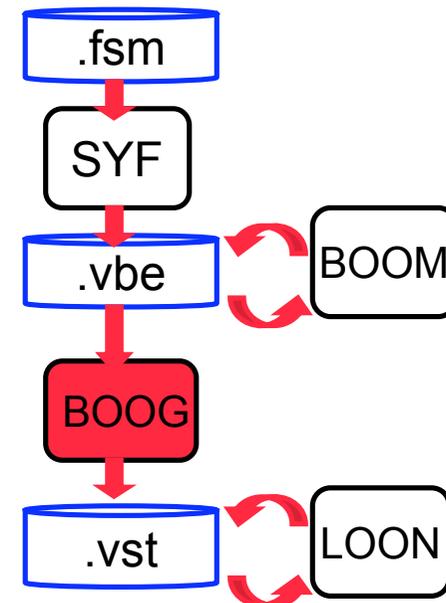
$$v \leq z + e$$



Projection structurelle

Les outils de projection structurelle (exemple : BOOG) transforment une **expression Booléenne** associée à un noeud du réseau Booléen en un schéma en **portes logiques**.

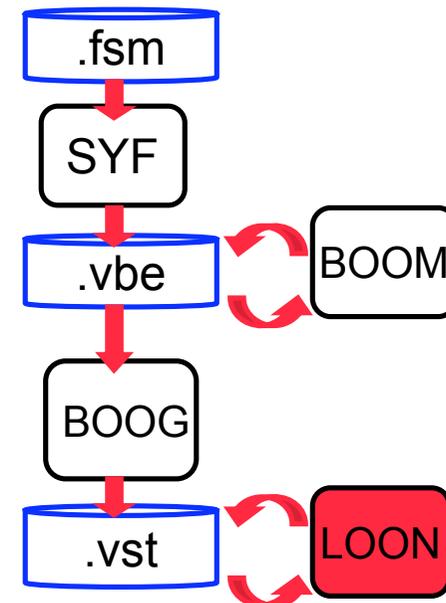
- Ces outils s'appuient sur une bibliothèque de cellules précaractérisées.
- Le traitement est local : chaque expression Booléenne est traitée indépendamment.
- Ils utilisent des techniques de reconnaissance de forme pour reconnaître des sous-expressions.
- Ils exploitent les informations de caractérisation associées aux cellules pour optimiser
 - la surface totale du bloc synthétisé
 - les performances temporelles



Optimisation du schéma / a

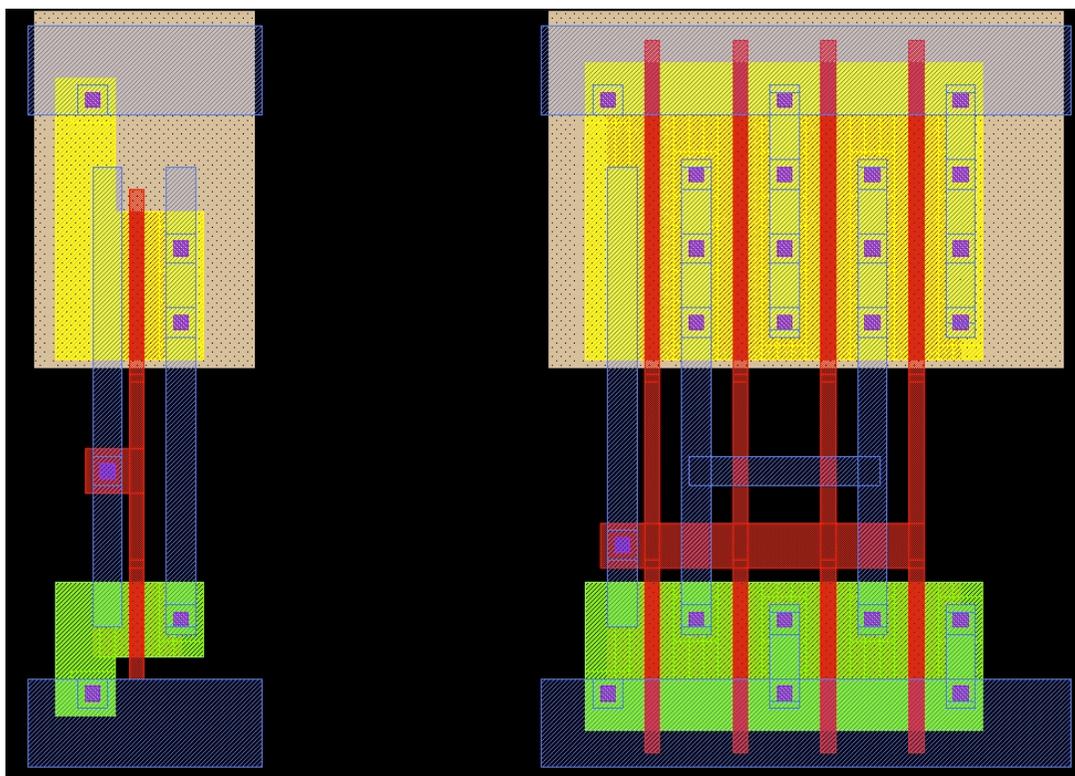
Les outils d'optimisation de schéma (exemple: LOON) visent principalement l'optimisation des performances temporelle. Ils cherchent à réduire les temps de propagation sur les **chemins critiques** du bloc synthétisé.

- Les deux principales techniques sont
 - l'utilisation de portes de puissance
 - l'insertion de buffers
- Pour optimiser les performances temporelles sans trop augmenter la surface totale du bloc, seules les portes logiques et les signaux se trouvant sur un chemin critique doivent être modifiés.
- L'analyse des chemin critique dépend des temps d'arrivées des signaux sur les ports d'entrée, et des temps requis sur les ports de sortie



Optimisation du schéma / b

Ajustement de la puissance des portes :

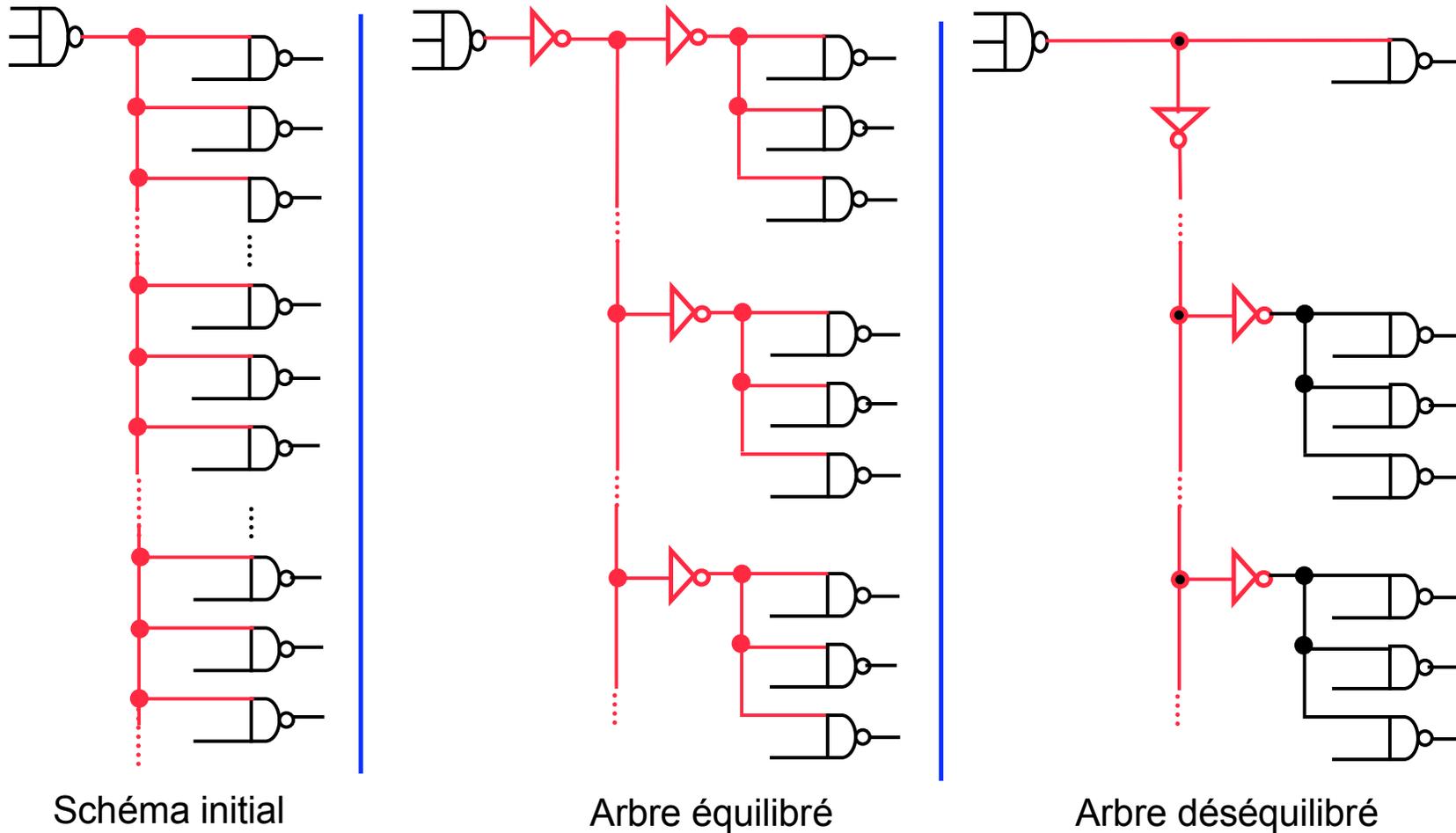


inv_x1 : WN = 5 / WP = 10

inv_x8 : WN = 40 / WP = 80

Optimisation du schéma / c

Insertion d'arbres de buffers (en cas de fanout très grand)



Plan

- **Circuits numériques synchrones**
- **Outils de synthèse logique**
- **Bibliothèques de cellules et « IP cores »**

Différents types de bibliothèques

On peut distinguer trois types de bibliothèques, suivant la complexité des composants qu'elles contiennent:

- **Bibliothèques de base** (« standard cell libraries »)
 - portes logiques élémentaires (cellules 1 bit)
 - pré-caractérisées pour les outils de synthèse
- **Macro-cellules paramétrables** (« macro-cell libraries »)
 - opérateurs arithmétiques
 - mémoires embarquées
- **Composants virtuels re-utilisables** (« IP cores libraries »)
 - cœurs de micro-processeurs,
 - coprocesseurs spécialisés,
 - contrôleurs de périphériques d'entrée/sortie

Macro-cell libraries

On cherche à exploiter la régularité structurelle de certains opérateurs, pour optimiser la surface occupée et/ou les performances temporelles :

structures vectorielles (une dimension)

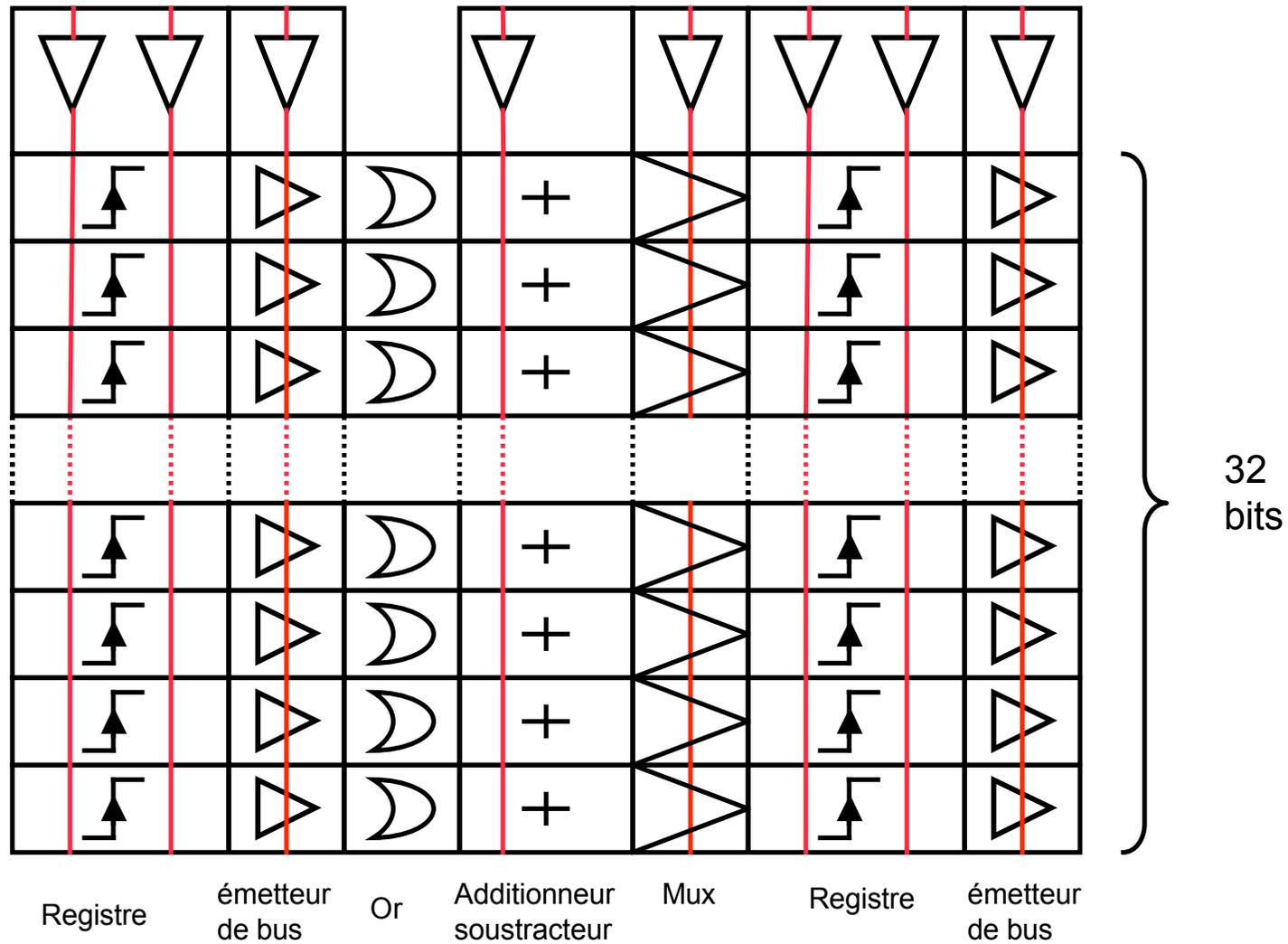
- multiplexeur N bits
- registre N bits
- additionneurs N bits

structures matriciels (deux dimensions)

- mémoires RAM
- bancs de registres multi-accès
- mémoires ROM

A chaque composant est associé un « générateur », qui est un programme d'assemblage utilisant une bibliothèque de cellules dédiée, et générant sur demande les différentes « vues » d'un opérateur : modèle comportemental, schéma multi-niveau, dessin des masques (avec ou sans routage).

Macro-cellules pour chemins de données



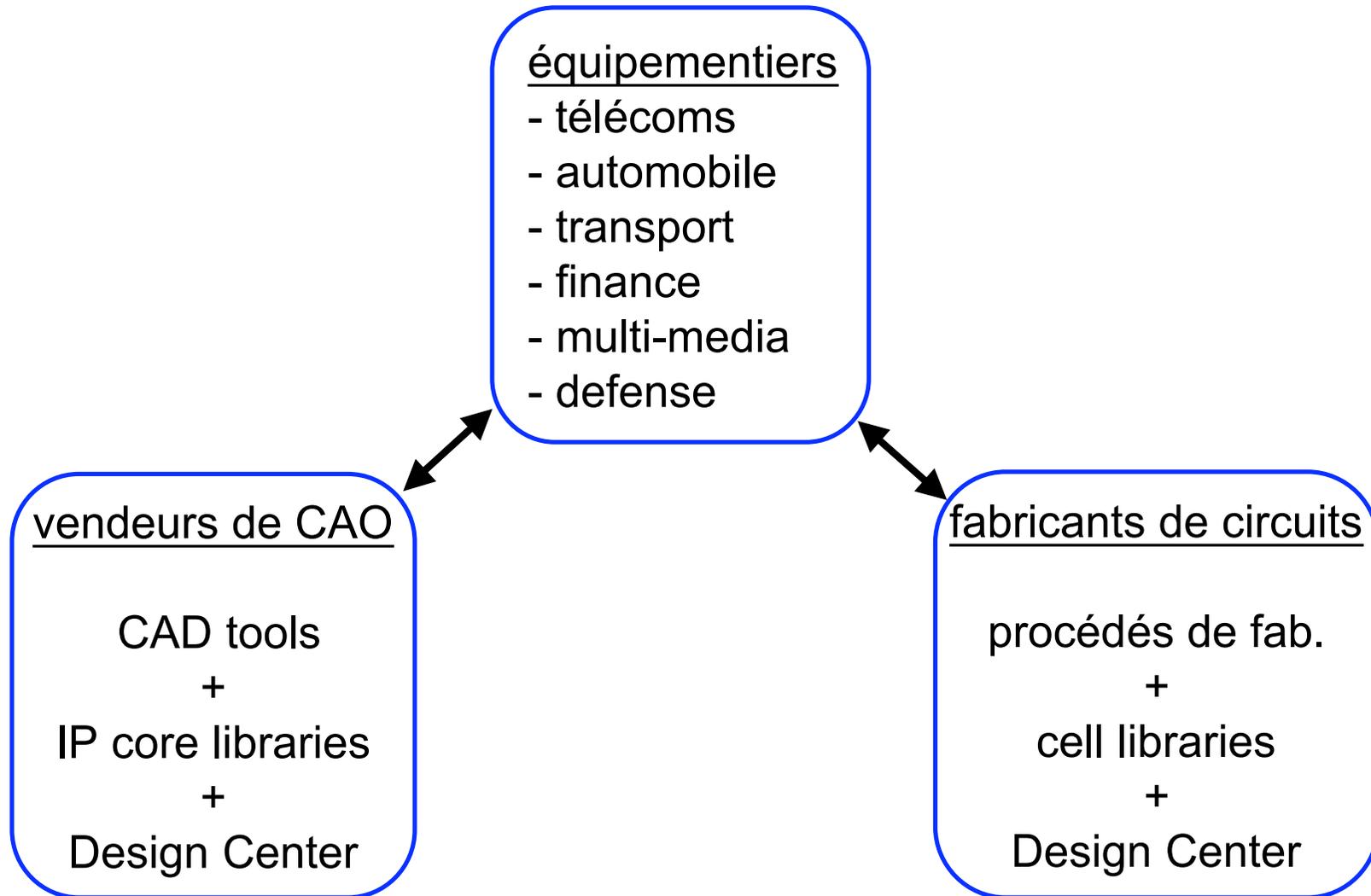
IP Cores Libraries

Différentes possibilités :

- **Soft Core** : Description RTL synthétisable
 - facilement portable vers différents procédés de fabrication.
 - performances temporelles difficiles à caractériser.
- **Firm Core** : Net-list de portes logiques
 - performances mieux contrôlées.
- **Hard Core** : Dessin des masques
 - non portables : redessinées pour chaque procédé de fabrication.
 - performances temporelles garanties.

⇒ Les bibliothèques de composants virtuels (IP cores) sont un élément essentiel de différenciation entre les fabricants de circuits intégrés.

Les acteurs économiques



Les acteurs économiques

