

Placement / Routage

version 1.0

Plan

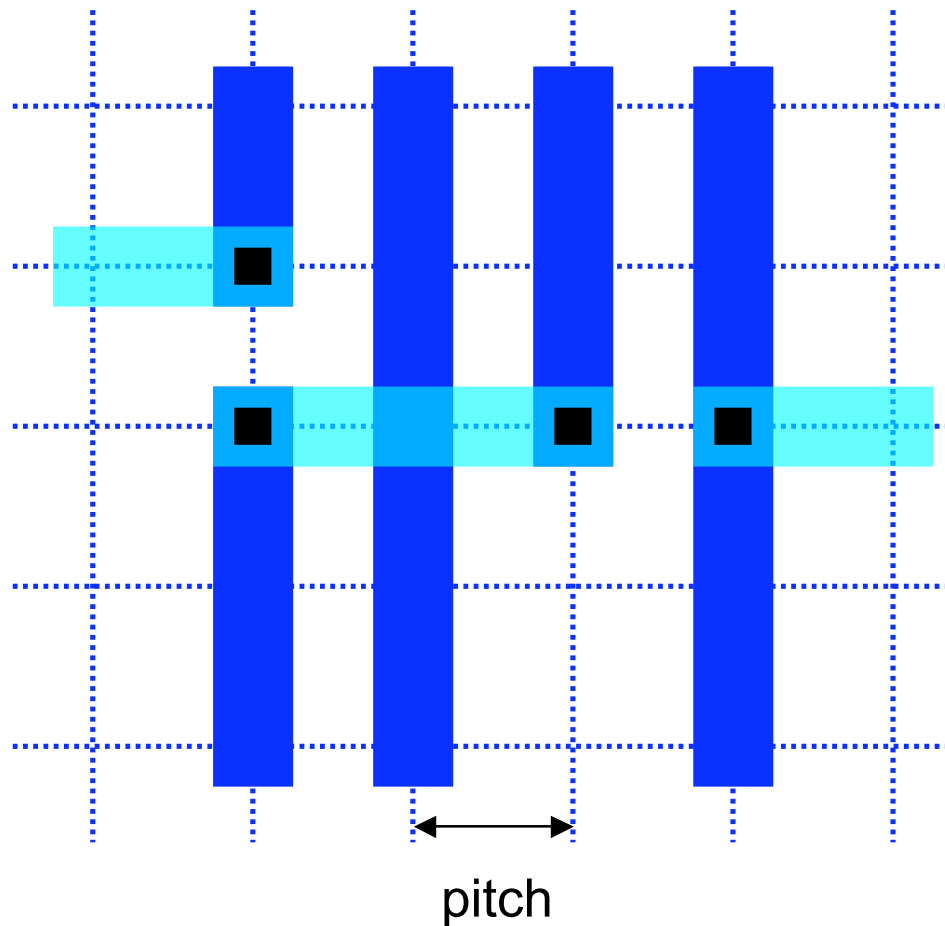
- **Gabarit des cellules précaractérisées**
- **Distribution des alimentations**
- **Distribution du signal d'horloge**

Automatisation du placement / routage

Lorsque le schéma est défini, la génération du dessin des masques peut être réalisée par des outils automatiques :

- Le **placement** consiste à définir la position de chaque cellule, avec les contraintes suivantes :
 - deux cellules ne peuvent pas se recouvrir (la surface totale est supérieure ou égale à la somme des surfaces des cellules instanciées.
 - un « bon » placement doit viser à minimiser la longueur des fils d'interconnexion de façon à minimiser à la fois les temps de propagation et la consommation.
- Le **routage** consiste à dessiner les fils d'interconnexion entre cellules, avec les contraintes suivantes :
 - Le dessin des fils doit respecter des règles de distance minimale entre fils, pour éviter les court-circuits.
 - Il faut minimiser chaque fois que possible les capacités de couplage entre fils voisins sur une même couche.

La grille de routage

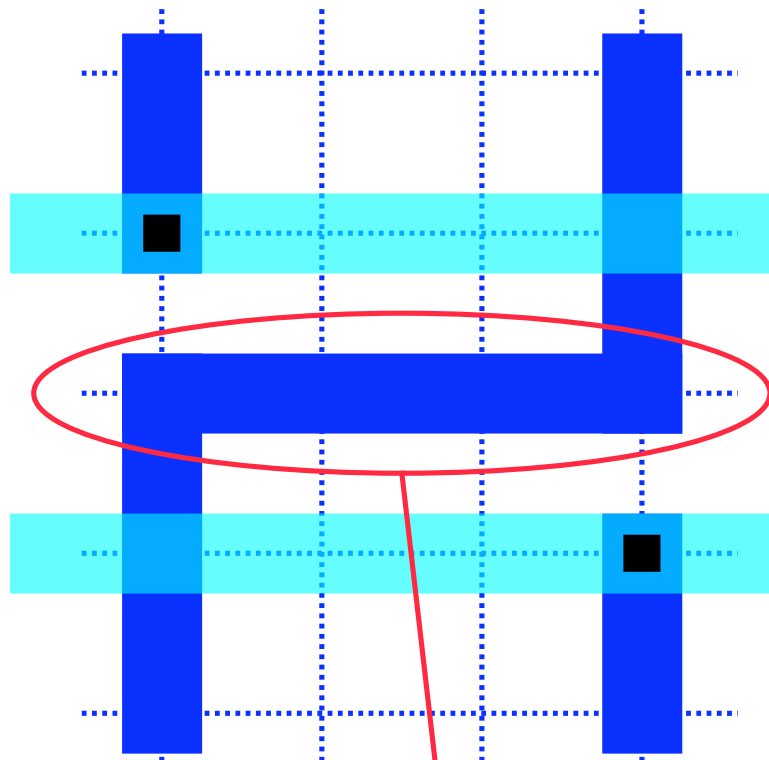


Pour simplifier le travail du routeur, on définit une **grille de routage**

Le « **pitch** » est la distance minimale (centre à centre) entre deux pistes de la grille de routage.

La valeur du « **pitch** » est déterminée par les règles de dessin du procédé de fabrication, de façon à permettre de poser **deux « vias »** sur deux noeuds voisins de la grille de routage.

Directions privilégiées

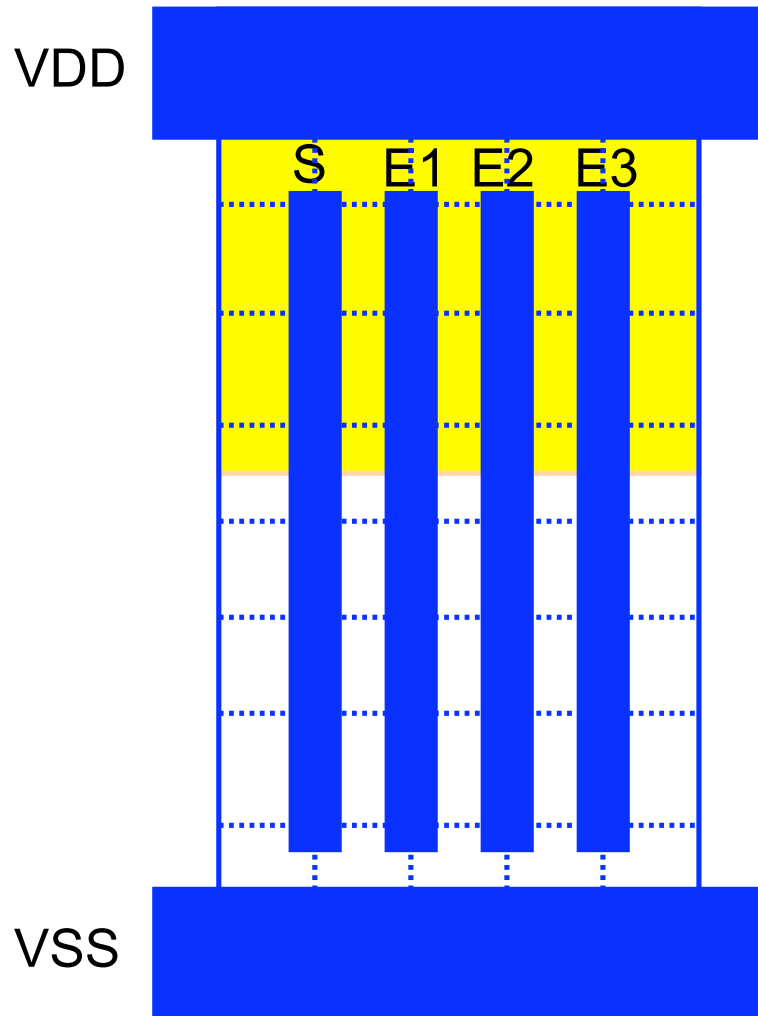


Pour éviter de créer des obstacles, chaque couche métallique possède une direction privilégiée, en alternant les couches métalliques :

- les fils **horizontaux** utilisent les couches paires (M2, M4, M6, etc.)
- Les fils **verticaux** utilisent les couches impaires (M3, M5, M7 etc.)

Interdit : 2 pistes verticales bloquées!

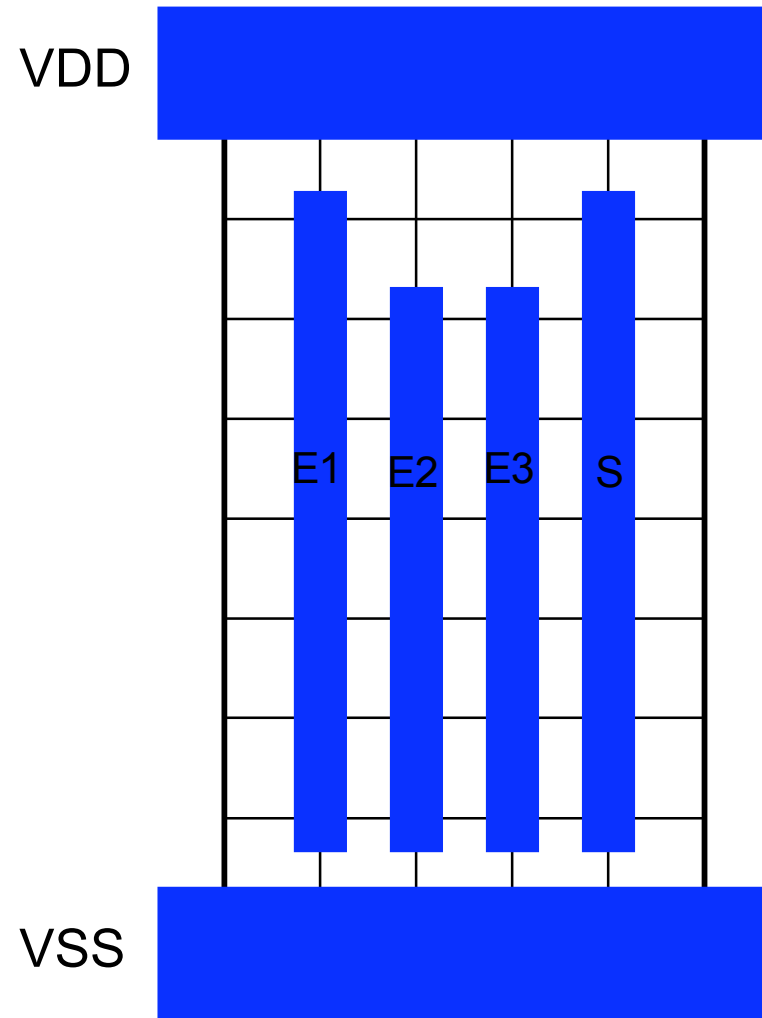
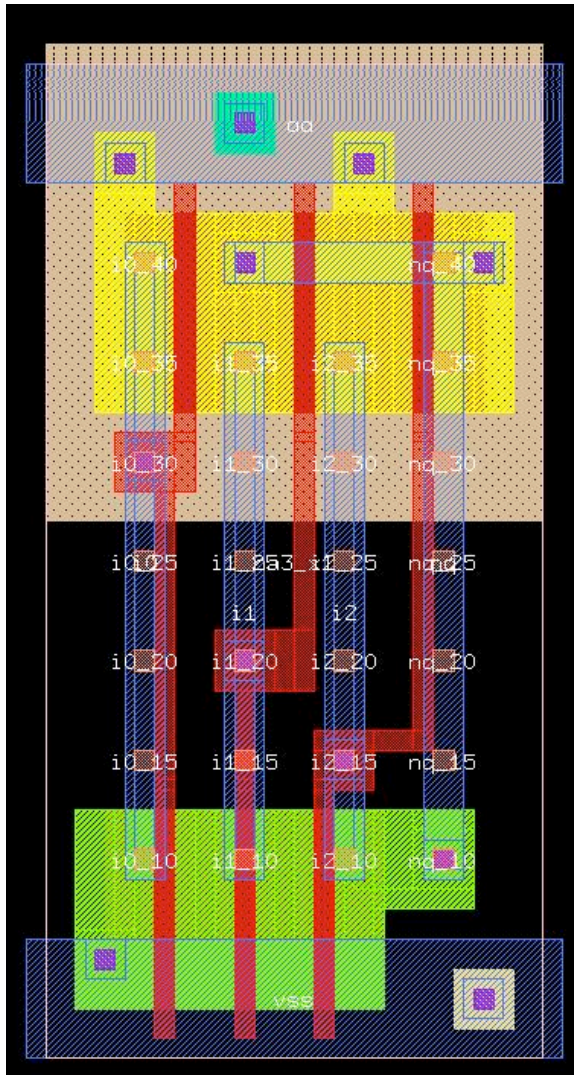
Gabarit de cellule précaractérisée



Les cellules précaractérisées sont conçues pour être aboutables dans les deux directions X et Y, et pour faciliter le travail du routeur automatique :

- hauteur fixe (SXLIB : 10 pitches)
- largeur variable (nombre entier de pitches)
- caisson N de hauteur fixe.
- alimentations Vdd et Vss de hauteur fixe, horizontales, en métal 1.
- connecteurs d'entrée/sortie en métal 1 sur la grille de routage.

Cellule NAND3 SXLIB



Exemple : décodeur 3 vers 4

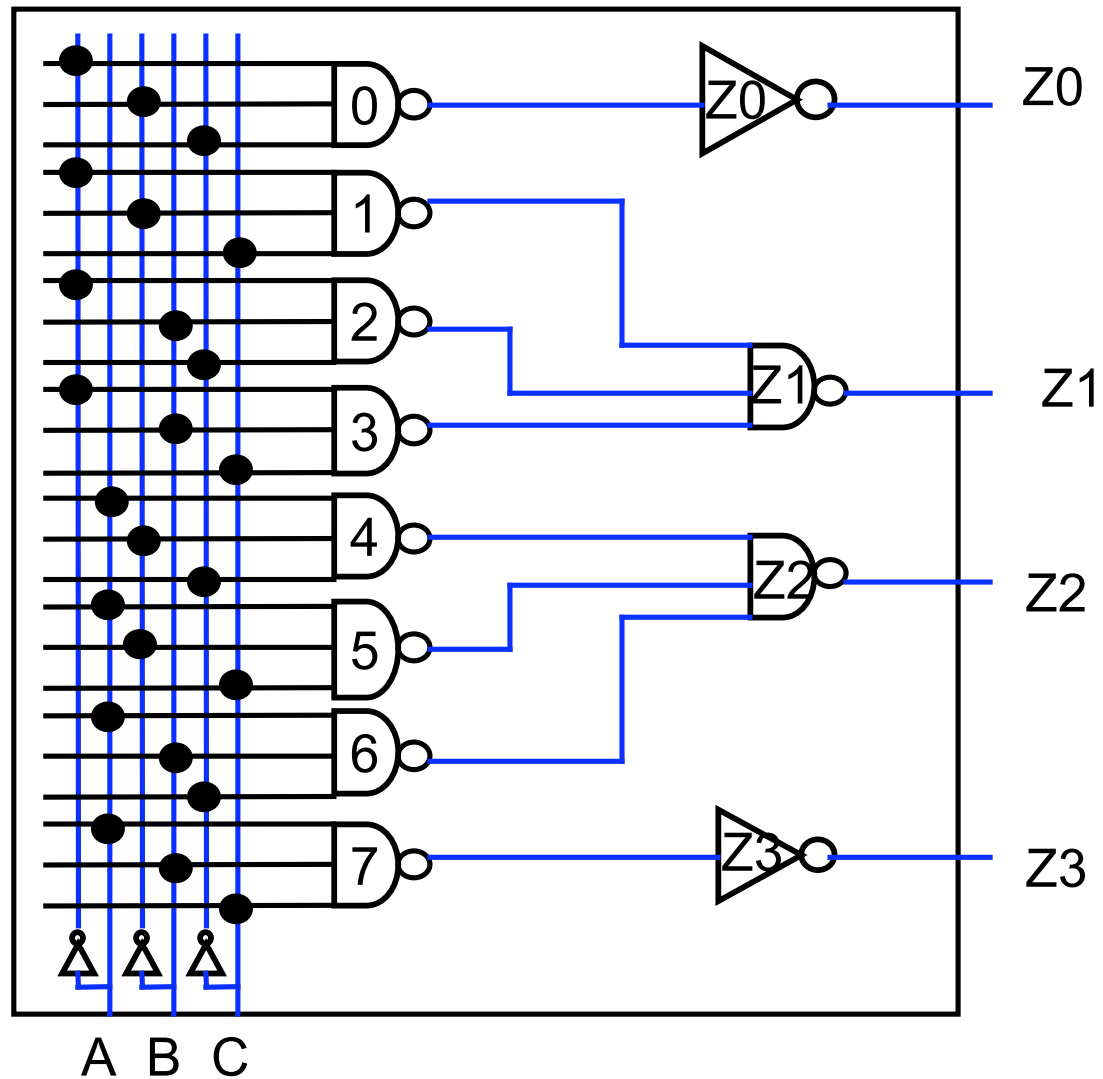
$$Z_0 = A'.B'.C'$$

$$Z_1 = A.B'.C' + A'.B.C' + A'.B'.C$$

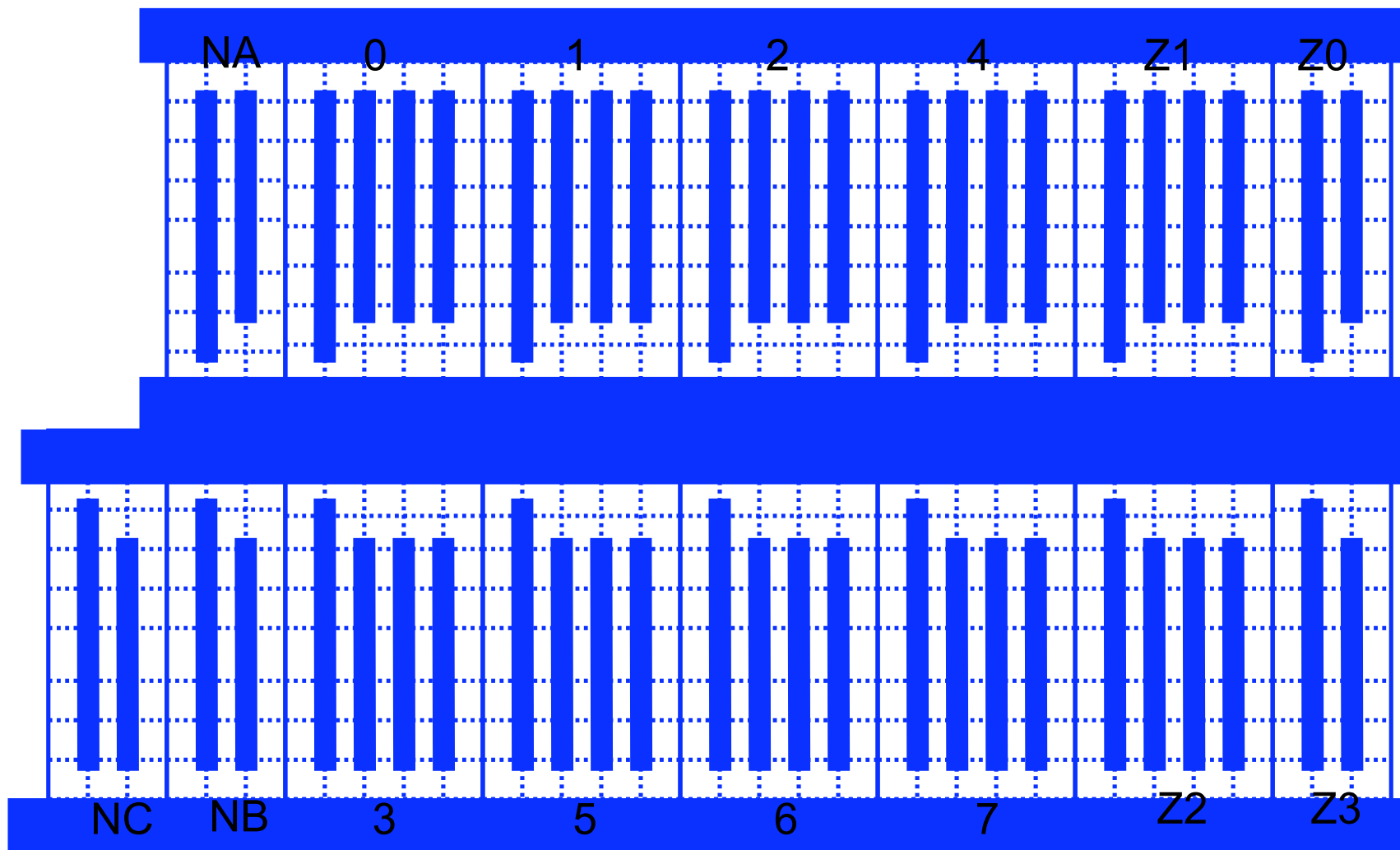
$$Z_2 = A.B.C' + A.B'.C + A'.B.C$$

$$Z_3 = A.B.C$$

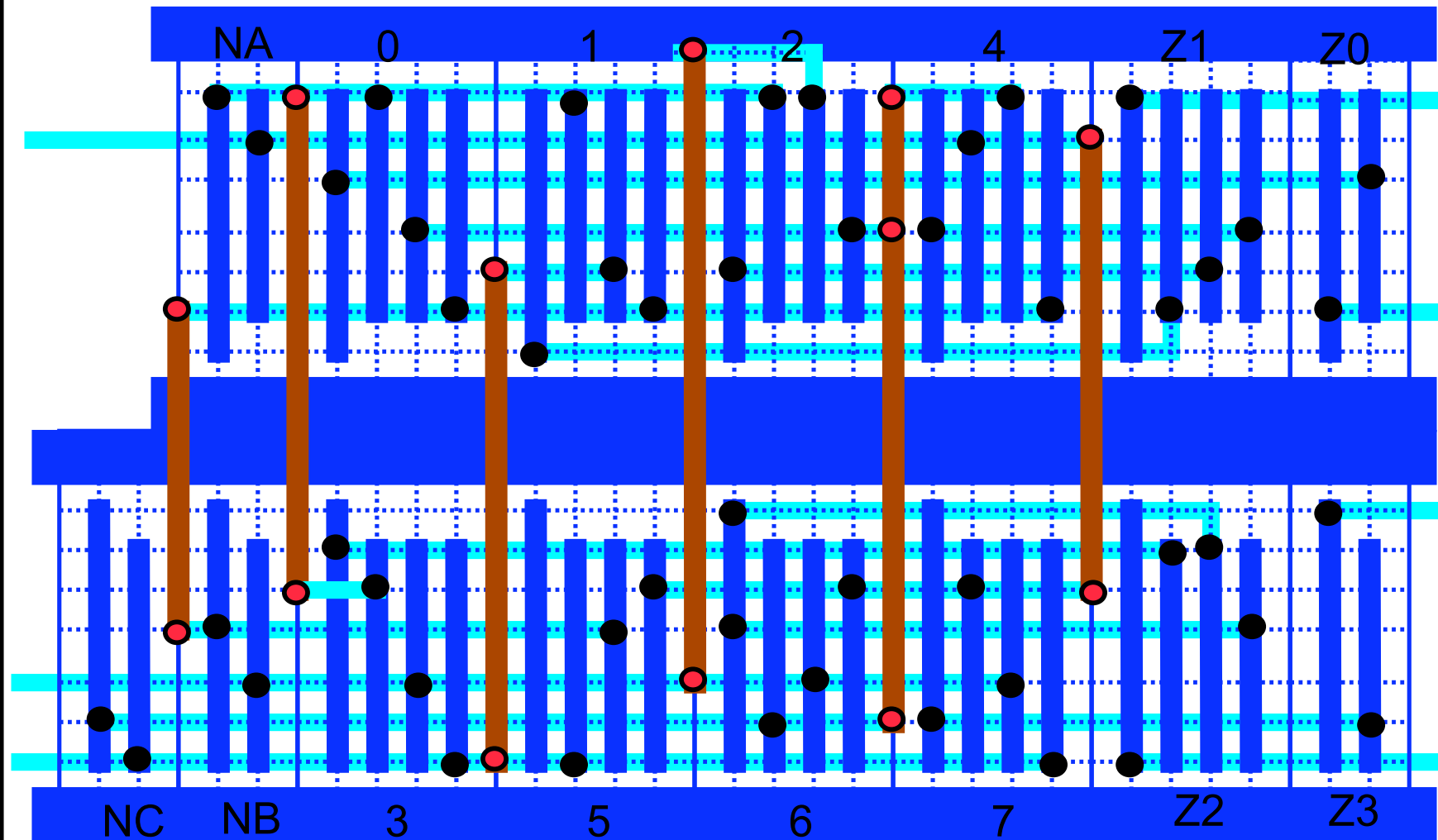
Le schéma associé comporte 10 Nand3 et 5 inverseurs.



Placement des cellules par aboutement



Routage par dessus les cellules



Plan

- **Gabarit des cellules précaractérisées**
- **Distribution des alimentations**
- **Distribution du signal d'horloge**

Le rôle des alimentations

Toute porte logique CMOS duale doit être connectée aux deux alimentations VDD et VSS.

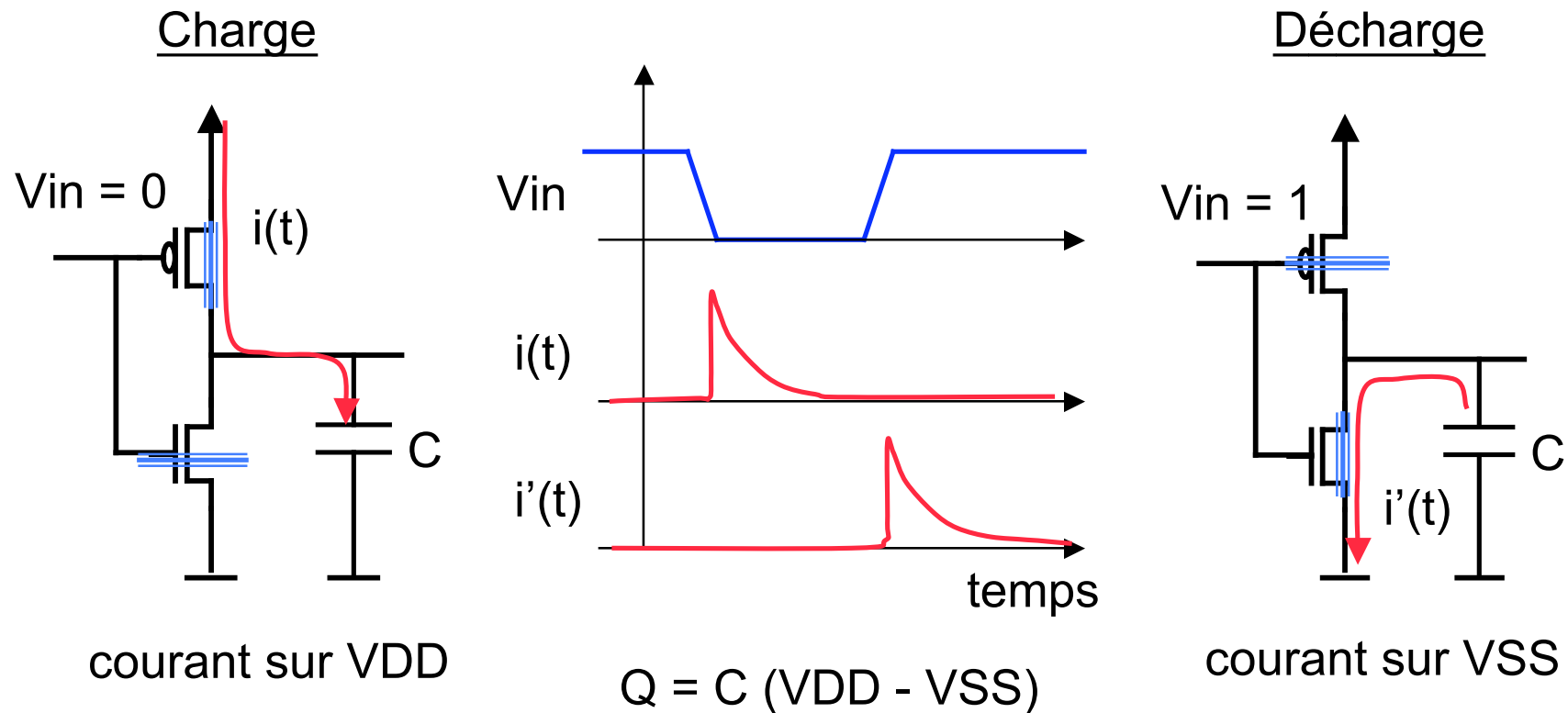
Ces signaux représentent les valeurs logiques 0 et 1, mais ils ont principalement pour rôle d'apporter l'énergie nécessaire au fonctionnement du circuit.

La puissance dissipée instantanée dépend du courant qui $i(t)$ entre les bornes VDD et VSS :

$$P(t) = (VDD - VSS) * i(t)$$

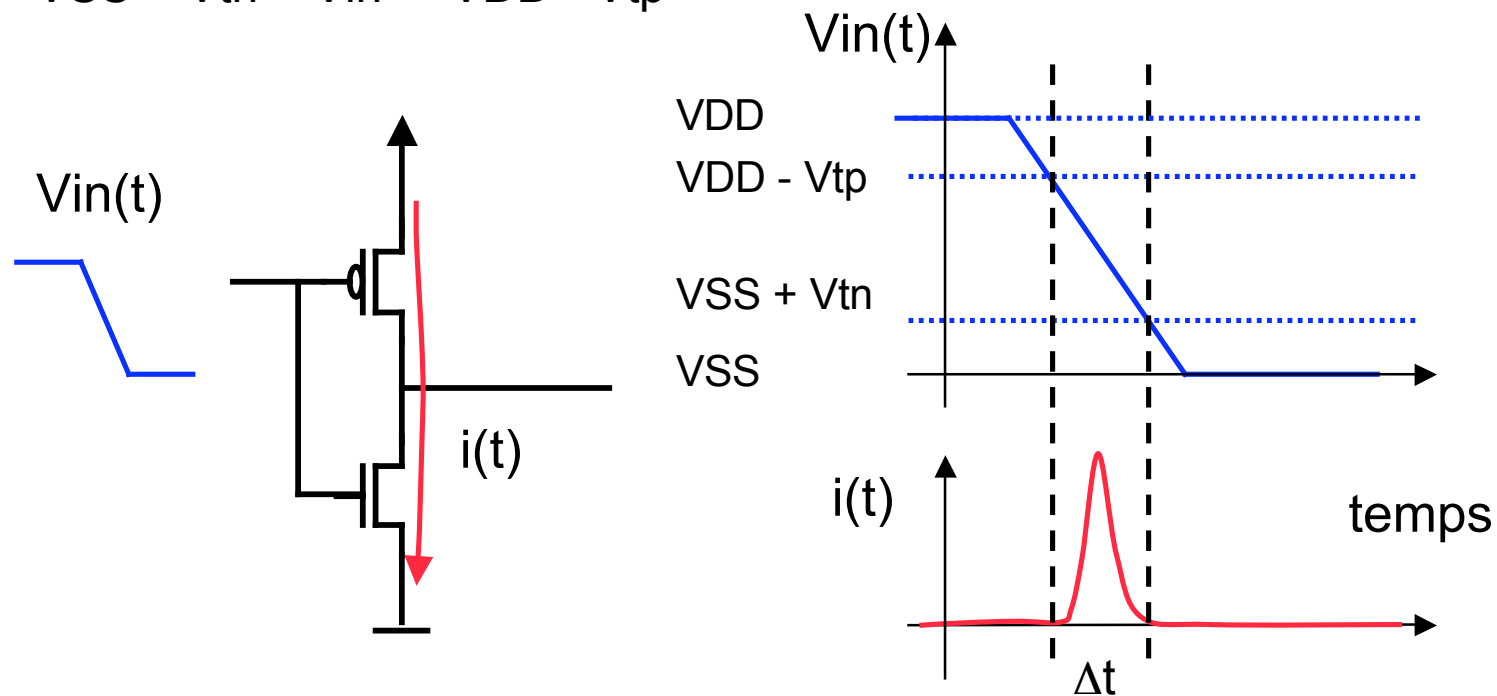
Les courants de commutation

La première cause de consommation d'énergie dans les circuits numériques CMOS est liée à la charge et à la décharge des capacités.



Le courant de court-circuit

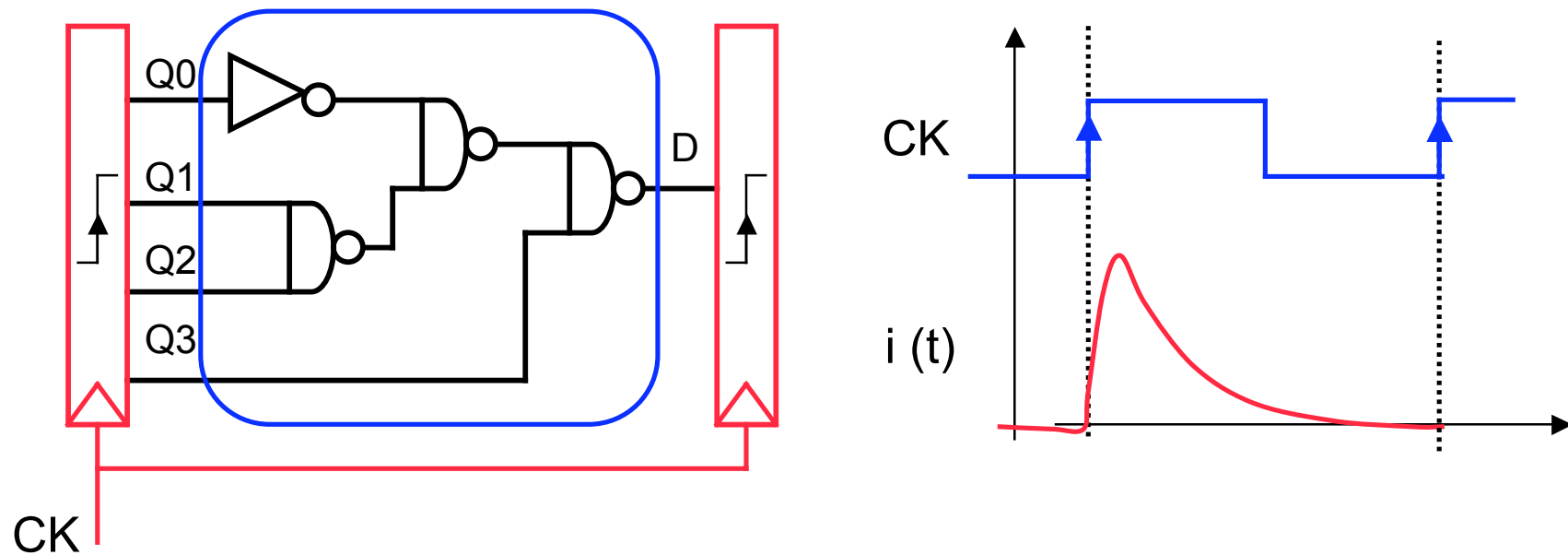
A chaque transition du signal d'entrée, les deux transistors de l'inverseur sont simultanément passants durant le temps Δt , lorsque $V_{SS} + V_{tn} < V_{in} < V_{DD} - V_{tp}$



Le courant de court-circuit est purement « parasite » : il ne participe pas à la transmission de l'information. On cherche donc à éviter les fronts « mous », de façon à réduire la durée Δt du court circuit.

Dépendance temporelle

Dans les circuits synchrones, le courant dans les réseaux d'alimentation VDD et VSS n'est pas constant, et le bruit d'alimentation est fortement corrélé au signal CK :

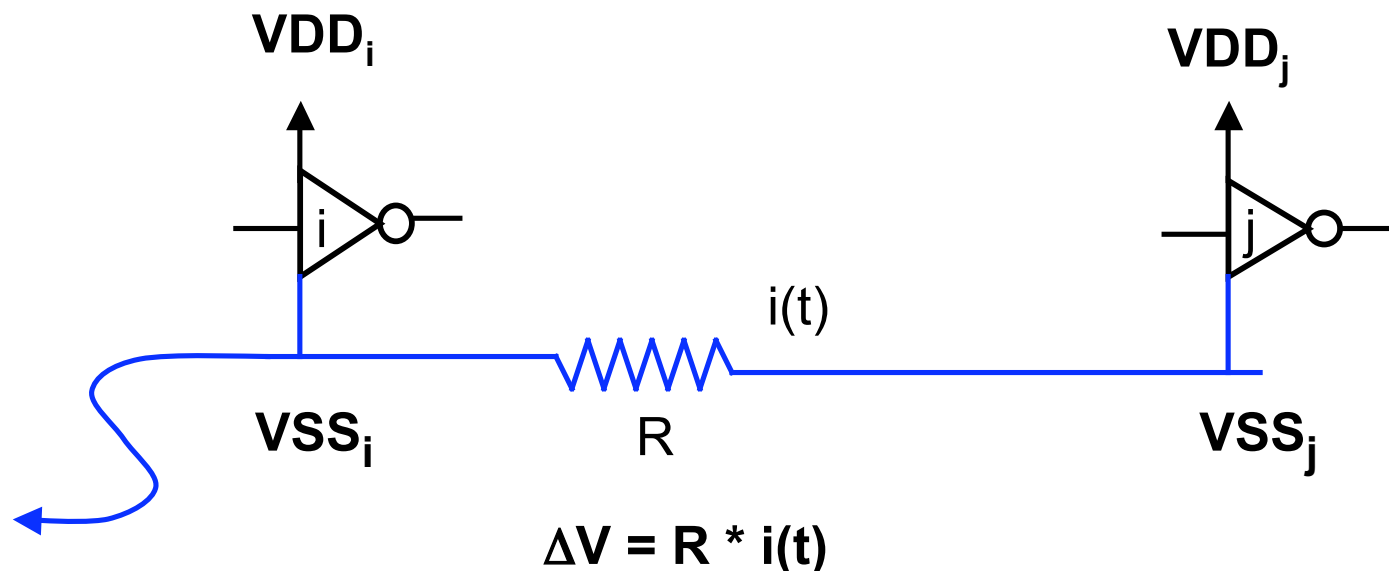


Ceci pousse au développement de circuits possédant plusieurs domaines synchrones, pour répartir les appels de courant dans le temps.

Les chutes de tension résistives ...

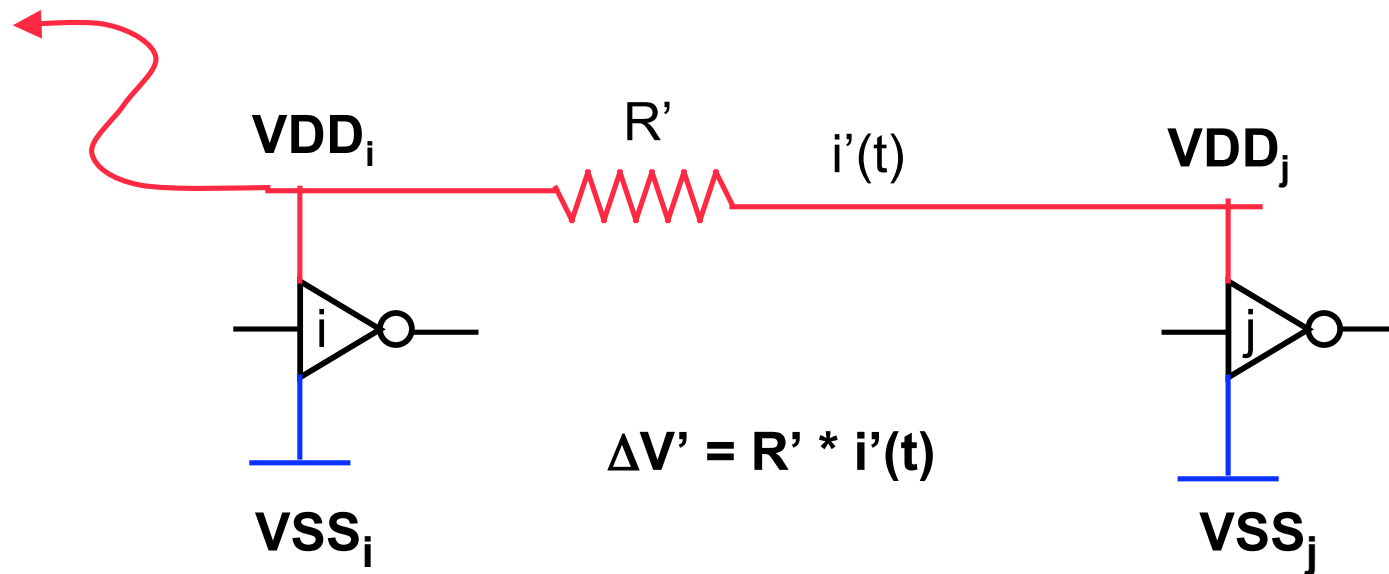
La tension constante des signaux VDD et VSS est une abstraction :

La résistance intrinsèque des fils métalliques réalisant le réseau de distribution VSS entraîne des chutes de tension entre différents points du réseau VSS.



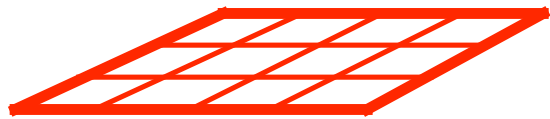
... sur VSS comme sur VDD

Il en va de même pour le réseau de distribution VDD :



La résistance intrinsèque des fils métalliques a pour effet de baisser la tension VDD et d'augmenter la tension VSS « vues » par une porte interne (par rapport aux valeurs nominales).

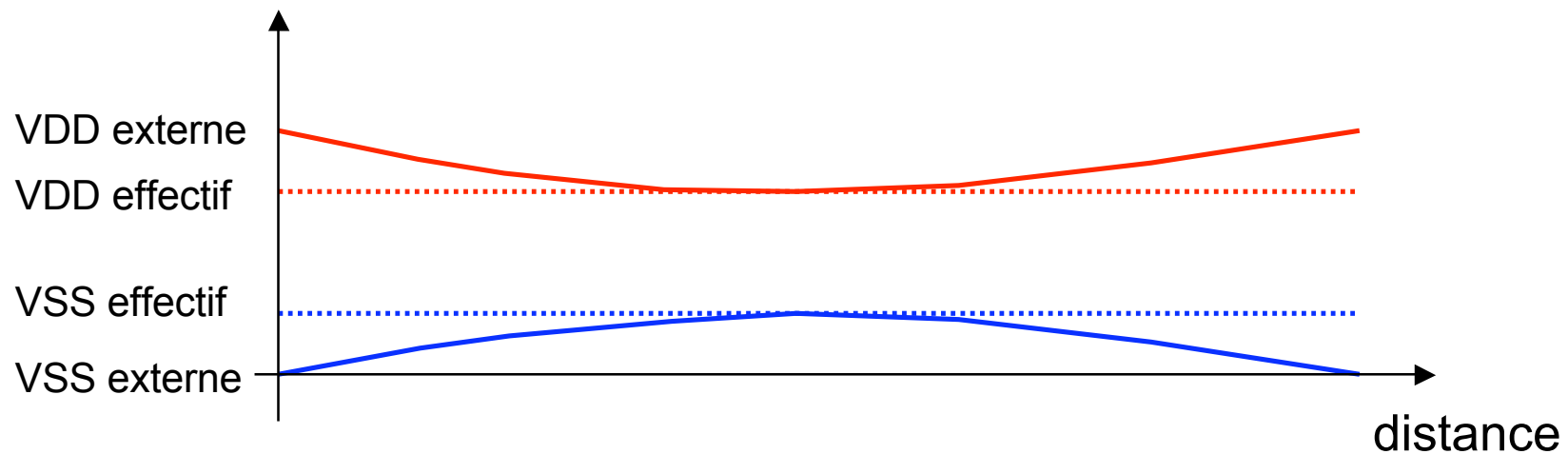
Dépendance topographique



Réseau de distribution VDD



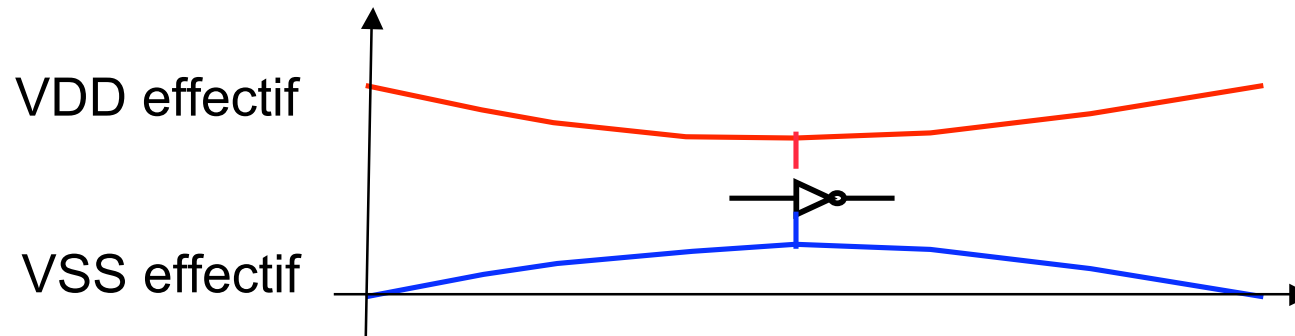
Réseau de distribution VSS



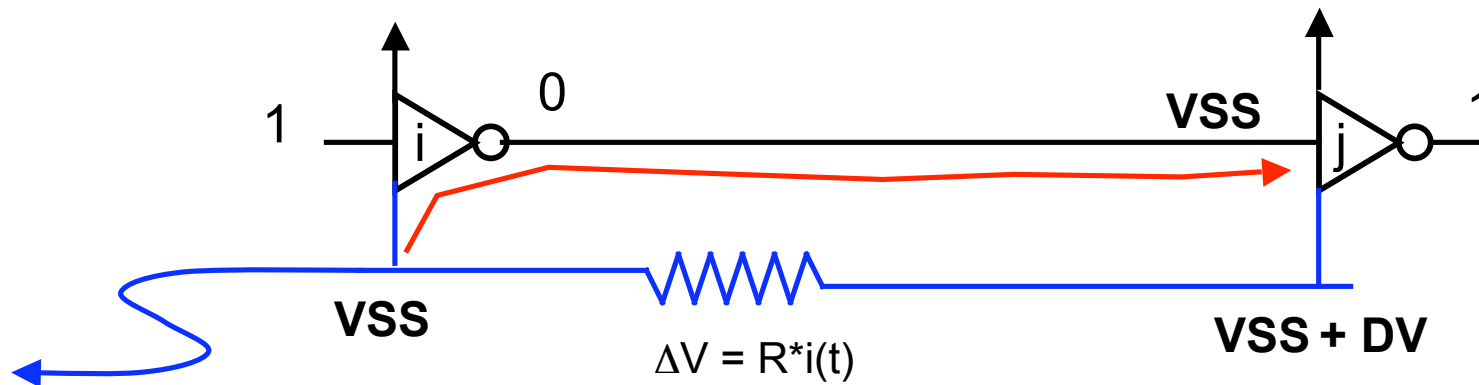
Les plots d'alimentation étant généralement situés à la périphérie, les portes situées au centre du circuit sont les plus mal alimentées.

Conséquences

- La réduction de la tension d'alimentation effective $VDD_{eff} - VSS_{eff}$ entraîne une **augmentation sensible des temps de propagation**

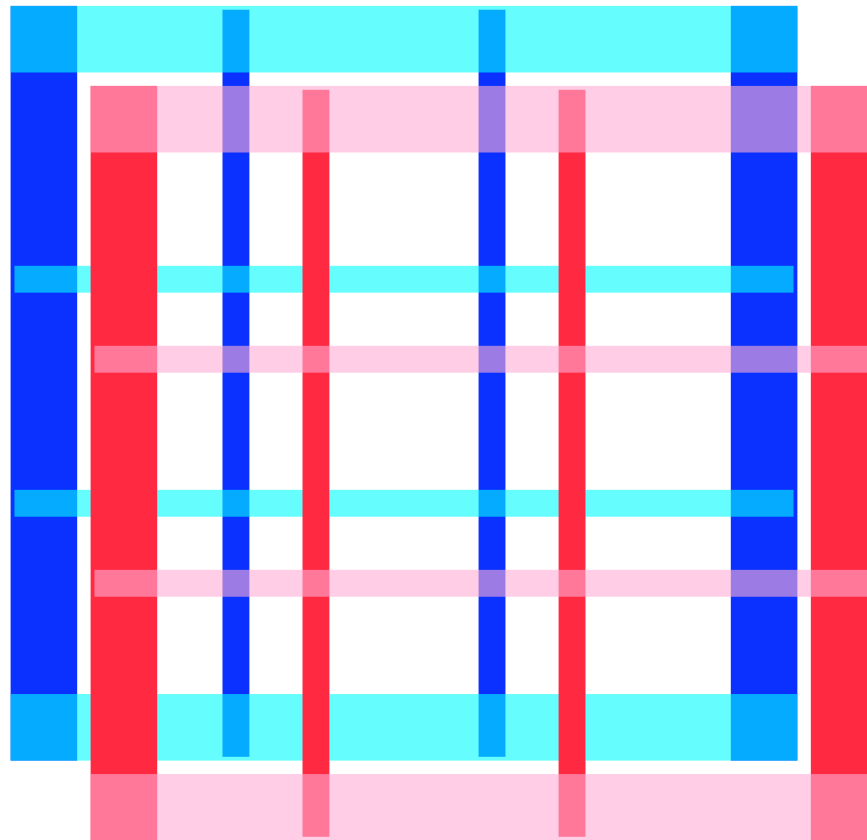


- Les variations des tensions d'alimentation sont des **causes de bruit** sur les signaux logiques, qui peuvent entraîner des surtensions ou des sous-tensions dangereuses ...

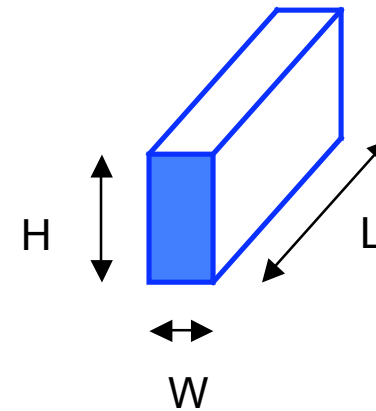
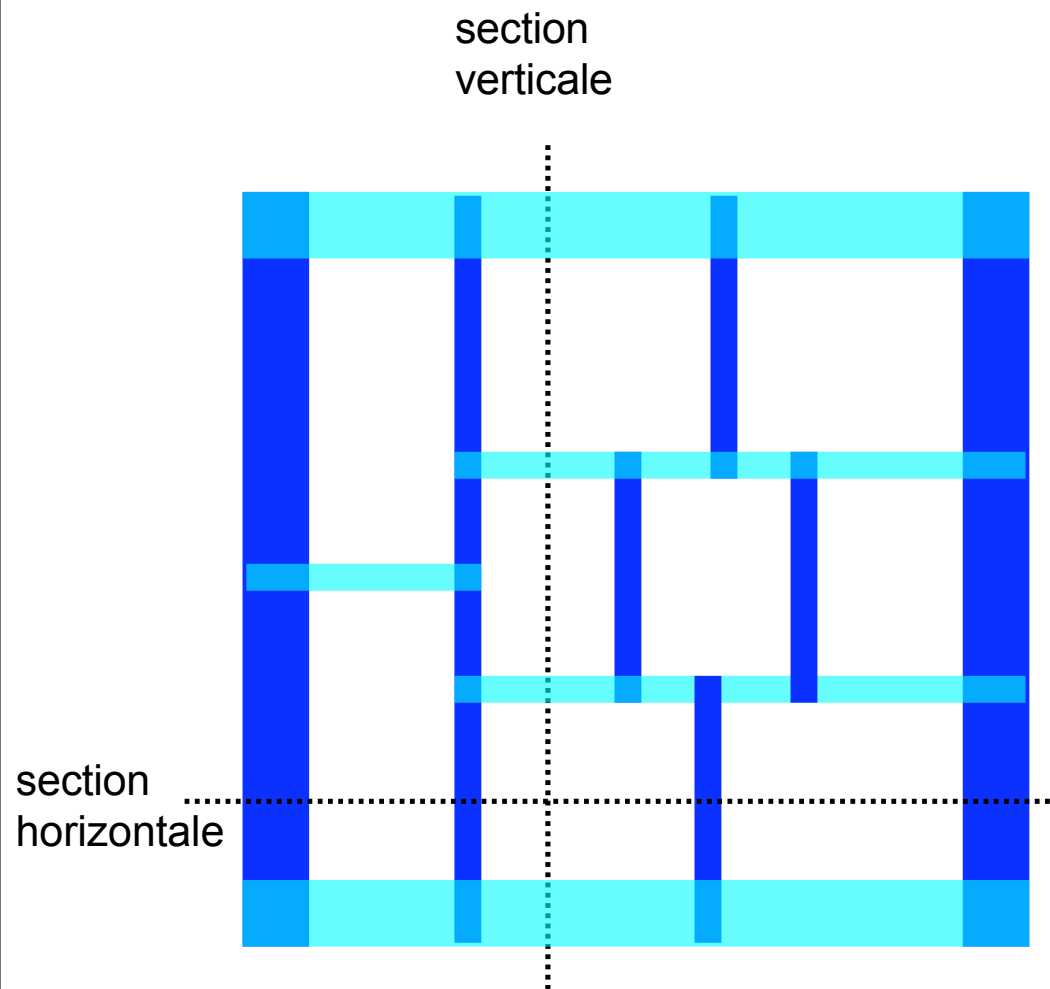


Réseaux maillés

Pour minimiser la résistance entre le centre et la périphérie, on utilise pour des réseaux maillés, pour VDD comme pour VSS :



Dimensionnement



$$R = \rho * L / W * H$$

Règle : la largeur cumulée des fils suivant n'importe quelle section (horizontale ou verticale) doit être supérieure à une valeur minimale prédéfinie.

Plan

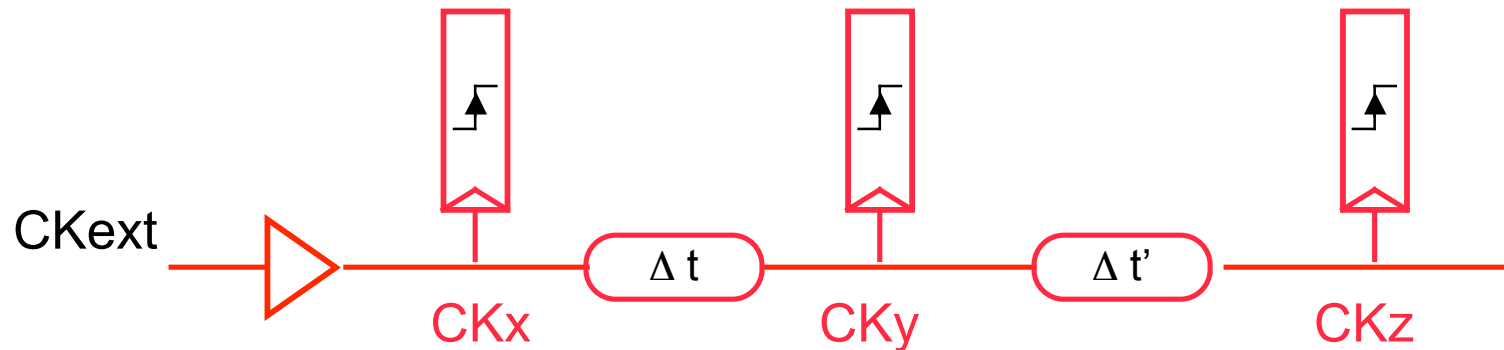
- **Gabarit des cellules précaractérisées**
- **Distribution des alimentations**
- **Distribution du signal d'horloge**

La difficulté

- Un circuit synchrone peut contenir des milliers de bascules, et chaque bascule possède une capacité d'entrée.
- Les bascules sont généralement réparties sur toute la surface de la puce, et les fils de distribution du signal d'horloge sont nécessairement très longs, ce qui représente une grosse capacité.
- On souhaite que le front du signal d'horloge soit le plus raide possible, pour minimiser l'imprécision due aux dispersions des seuils des transistors.

Il faut donc **amplifier** le signal d'horloge externe pour générer les signaux d'horloge internes.

Le skew



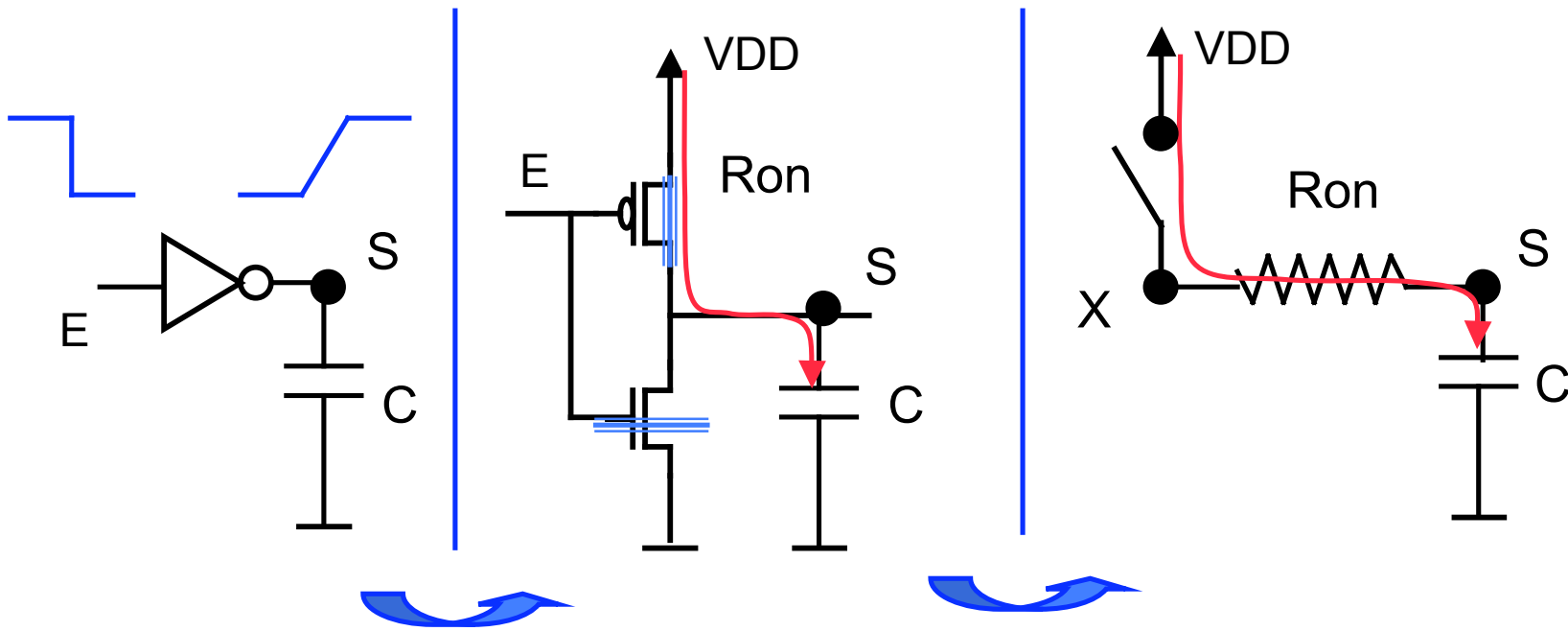
Le signal de synchronisation CK est une abstraction, car le réseau de distribution du signal CK n'est pas parfait :

Les deux principales causes du skew sont :

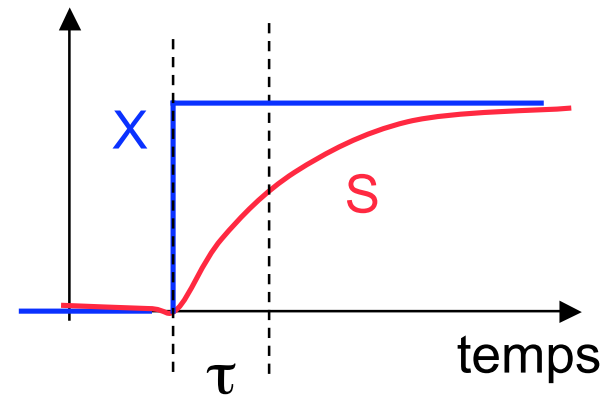
- les résistances intrinsèques des fils,
- les amplificateurs intermédiaires

Le principal objectif du réseau de distribution d'horloge est donc de minimiser la valeur du skew.

Temps de commutation



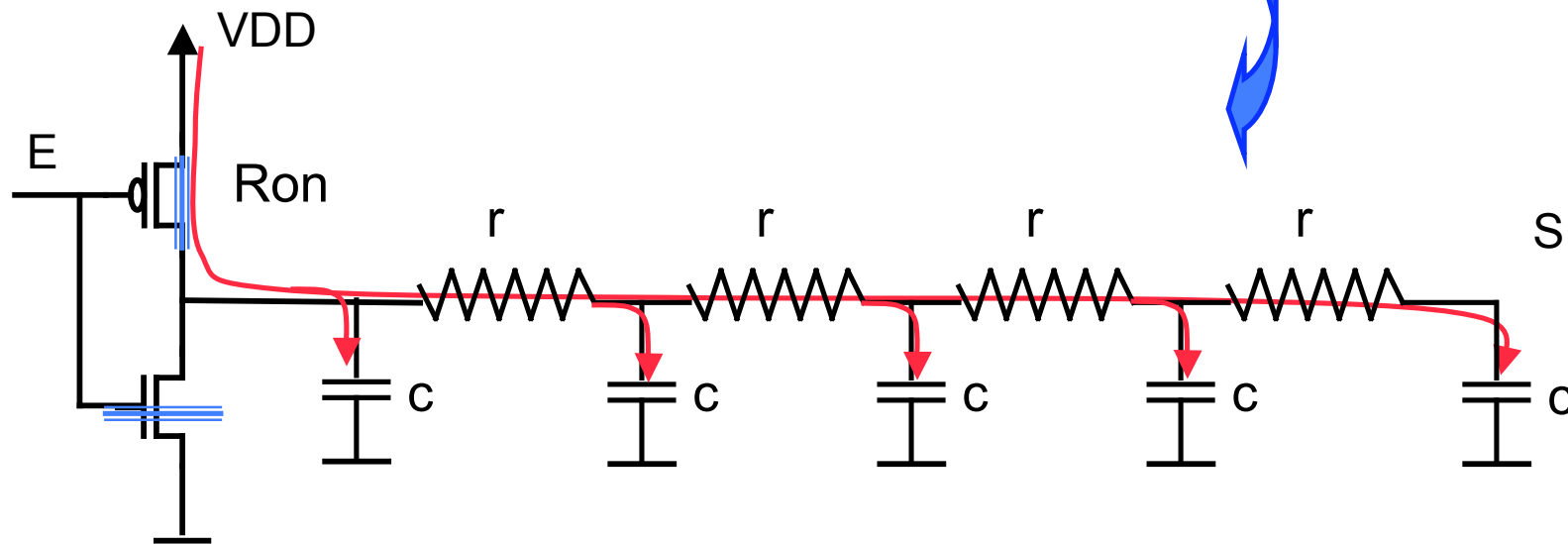
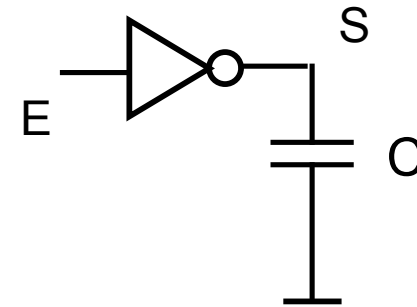
Le temps de commutation τ du signal de sortie de l'inverseur est proportionnel au produit $R_{on} * C$



La résistance des longs fils

Dans les procédés de fabrication DSM (fortement sub-micronique), la résistance intrinsèque des fils n'est plus négligeable, car elle devient comparable à la résistance équivalente des transistors...

Les fils d'interconnexion se comportent comme des réseaux RC distribués.

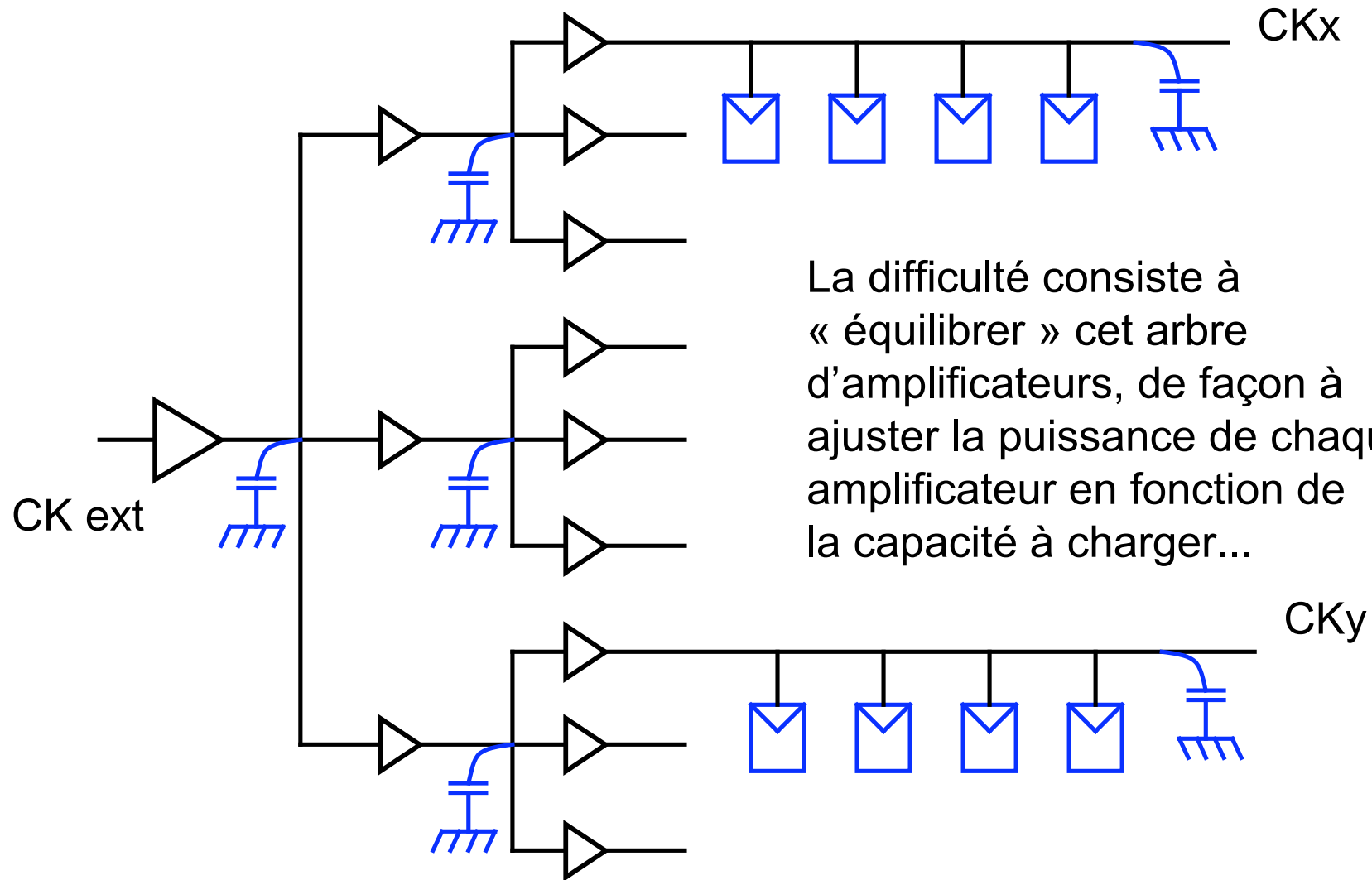


Les techniques de distribution d'horloge

Il existe plusieurs techniques pour minimiser le skew :

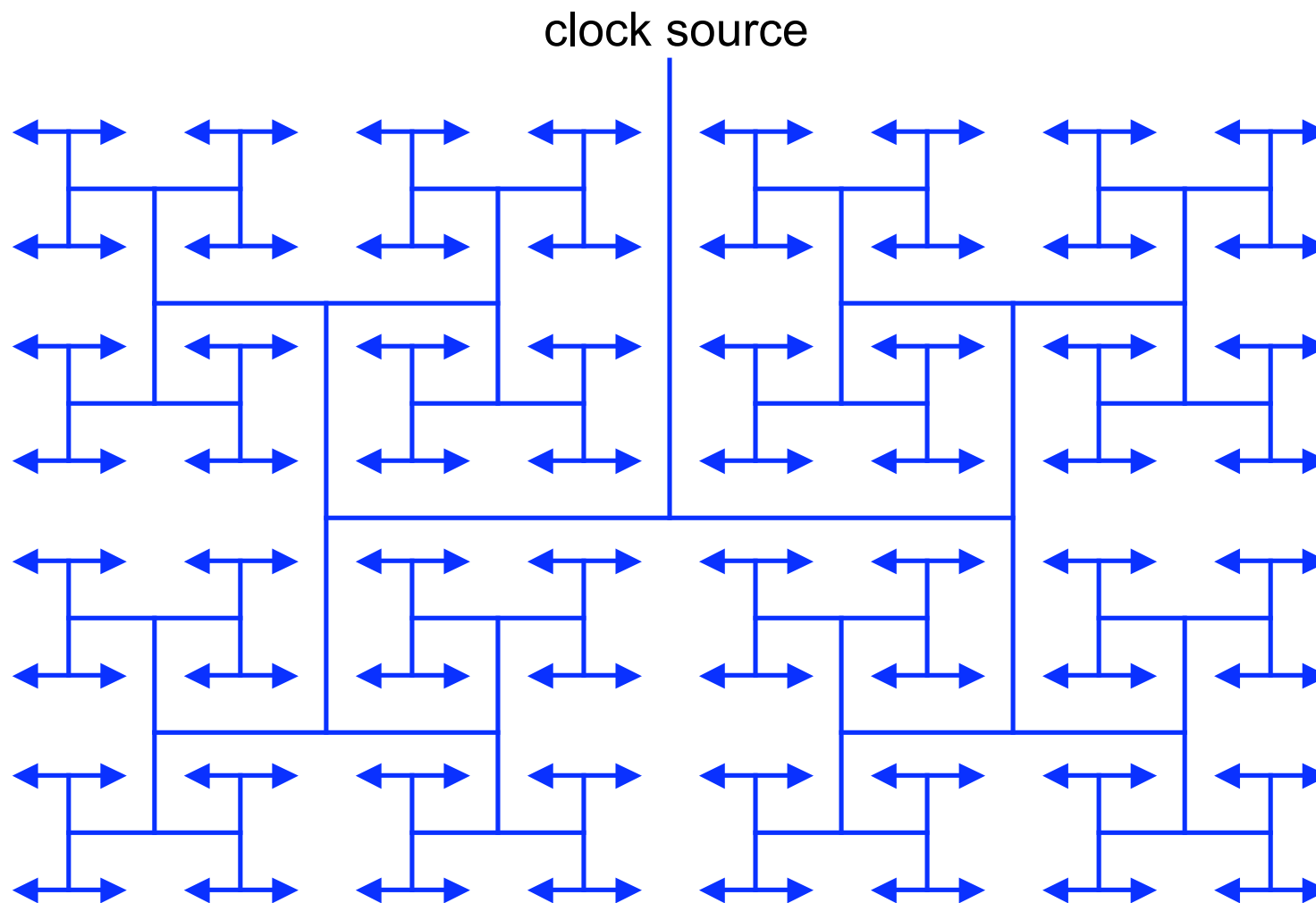
- arbre d'amplificateurs équilibrés
- réseau maillé faiblement résistif
- approche GALS (Globalement Asynchrone Localement Synchrone)

Arbres d'amplificateurs



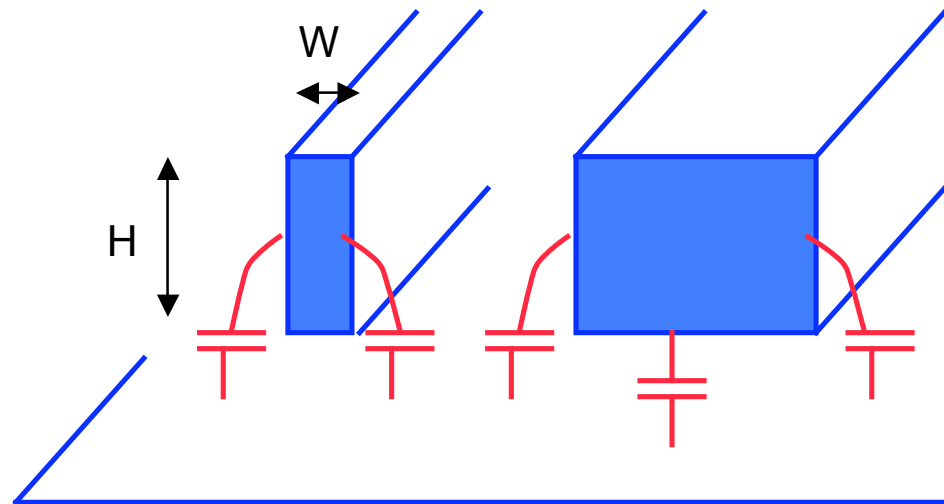
La difficulté consiste à « équilibrer » cet arbre d'amplificateurs, de façon à ajuster la puissance de chaque amplificateur en fonction de la capacité à charger...

Topologie en H



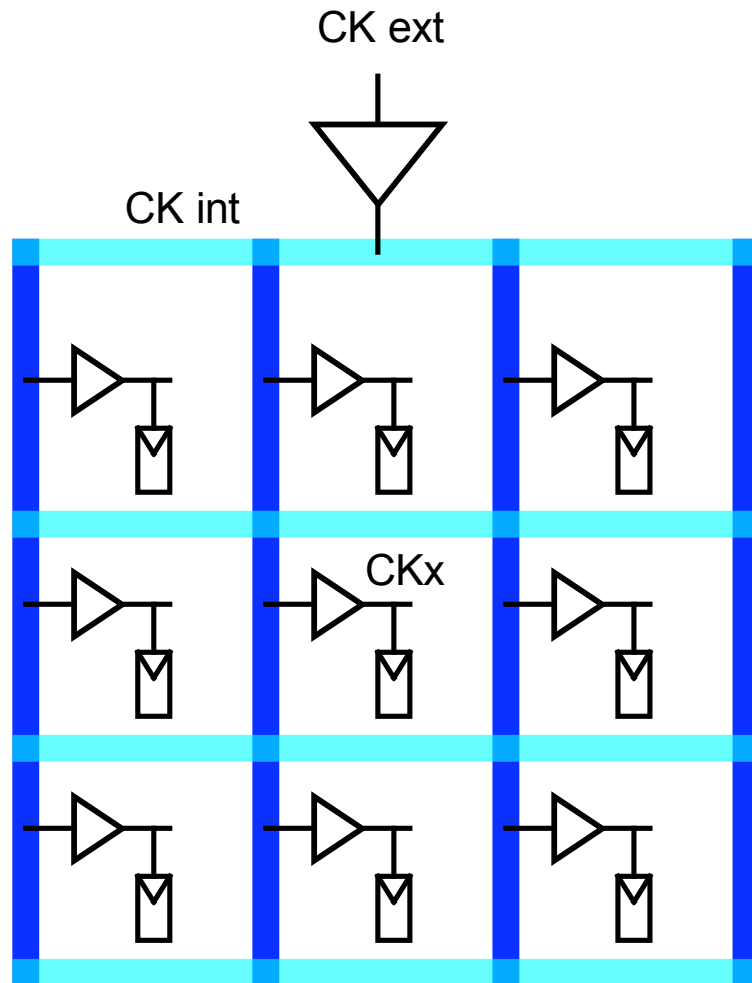
Réseaux maillés / a

Quand la surface du domaine synchrone n'est pas trop importante, on peut utiliser un réseau maillé, en utilisant des fils de largeur **non minimale** (on minimise la résistance des fils en acceptant d'augmenter un peu la capacité).



Les fils ayant une hauteur H plus grande que la largeur minimale W , la capacité du fil n'est pas proportionnelle à la surface...

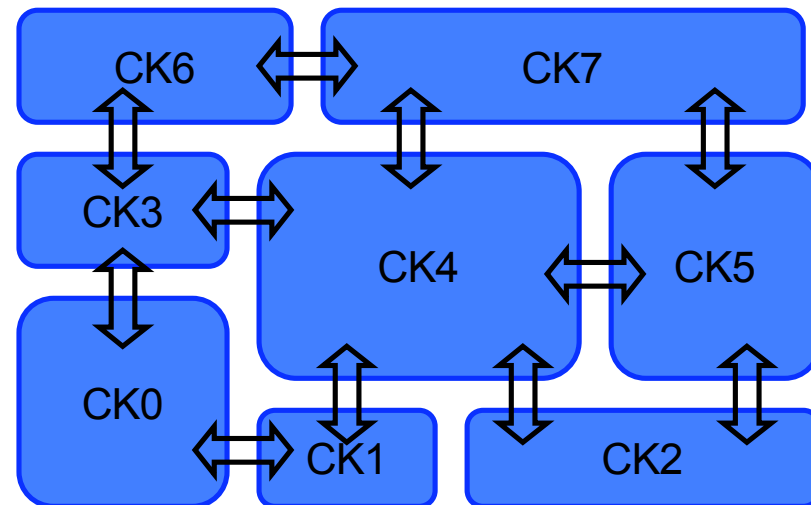
Réseaux maillés / b



- On essaie de rendre le réseau maillé correspondant au signal CKint aussi équipotentiel que possible, sur toute la surface du domaine synchrone.
- On introduit un étage d'amplificateurs locaux, entre le signal synchrone CKint et les signaux CKx connectés aux bascules.
- La puissance de chaque amplificateur local doit être ajustée, en fonction du nombre de bascules connectées au signal CKx.

L'approche GALS / a

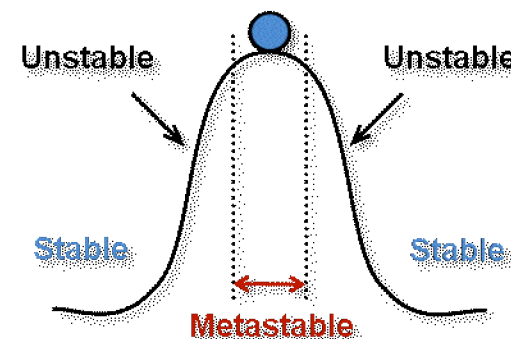
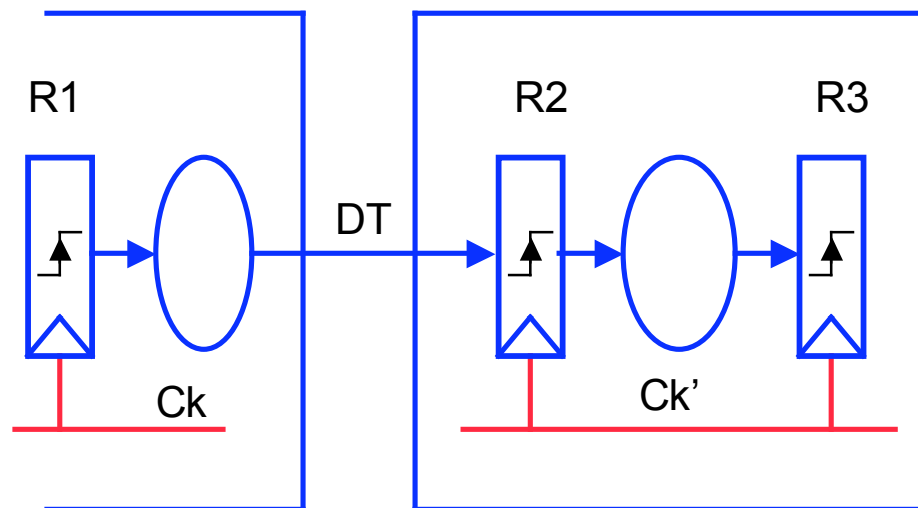
- Dans les procédés de fabrication DSM, il devient très difficile de distribuer un signal synchrone sur toute la surface de la puce.
- On découpe donc la surface de la puce en plusieurs “domaines d’horloge” ayant des surfaces plus petites.
- Chaque domaine est localement synchrone, mais les communications entre différents domaines sont asynchrones...



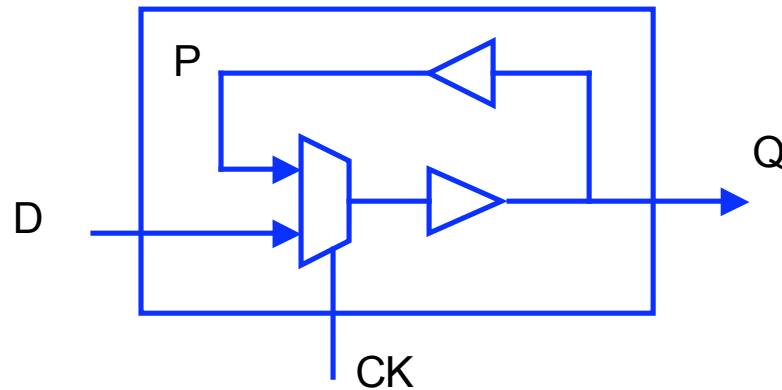
Métastabilité / a

La communication asynchrone entre deux domaines synchrones introduit un risque de **métastabilité**, car il n'est plus possible d'imposer des contraintes de *hold time* et de *set-up time* sur un signal asynchrone

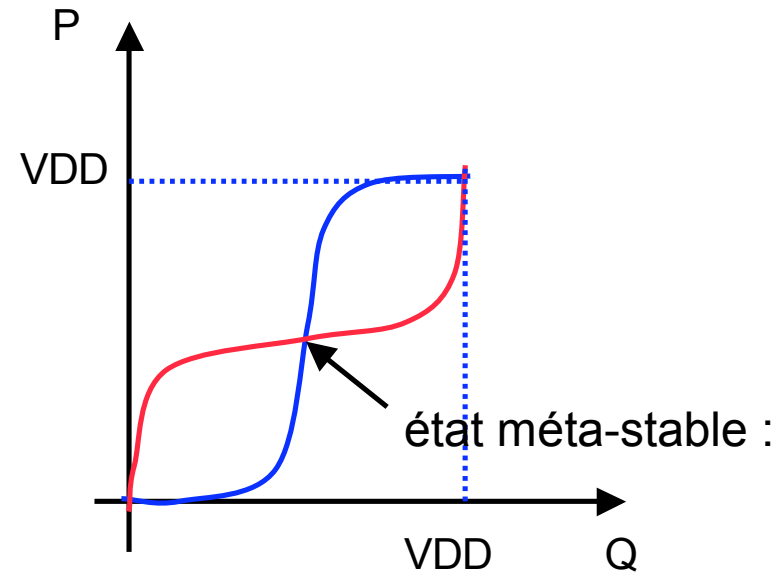
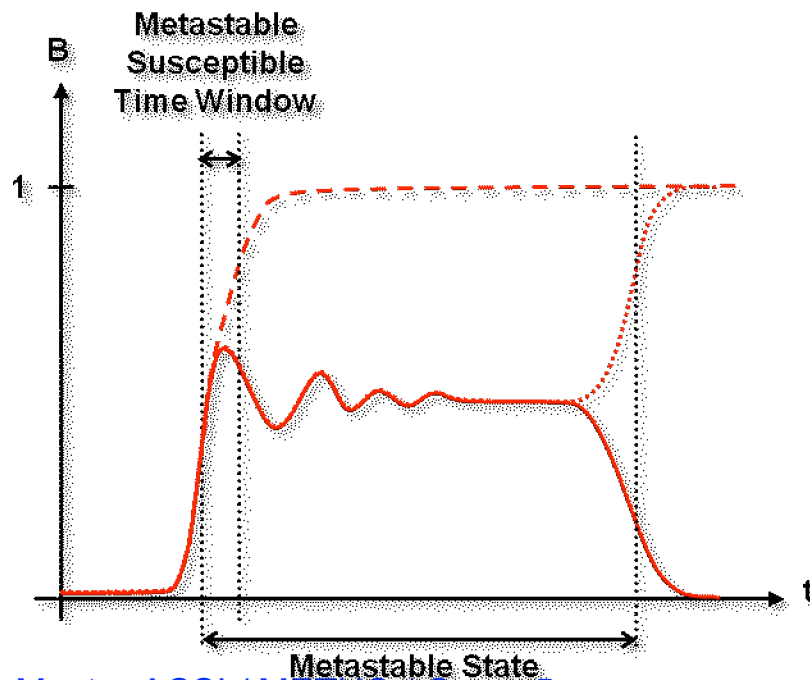
Si la donnée DT est en train de changer de valeur au moment du front de l'horloge CK', la bascule R2 peut entrer dans un état métastable.



Metastabilité / b



Toute bascule contient une boucle de mémorisation possédant deux états stables et un état méta-stable :



Le processeur MIPS R3000

Le processeur MIPS R3000 est un composant de complexité limitée (moins de 100 000 transistors).

C'est un composant virtuel re-utilisable (IP core) destiné à être instancié dans un système multi-processeurs intégré sur puce (MP-SoC).

L'implantation physique de ce composant matériel sera réalisée comme un seul domaine synchrone, en utilisant une technique de réseau maillé pour le signal d'horloge...