

# Contrôle du placement / routage

version 1.0

# Plan

---

- **Définition du plan de masse**
- **Méthode générale de placement/routage**

# Plots d'entrée / sortie

---

Les cellules d'entré/sortie permettant la communication avec le monde extérieur sont généralement placées en couronne, à la périphérie de la puce. Elles ont des caractéristiques particulières :

- Contraintes physiques

Le « pad » est l'emplacement permettant de venir souder le fil de raccordement au boîtier (bonding wire). Il possède une largeur minimale (de l'ordre de 100 microns), qui est indépendante de la finesse de gravure du procédé de fabrication.

=> le nombre de plots d'entrée/sortie augmente beaucoup moins vite que le nombre de portes logiques appartenant au coeur de la puce.

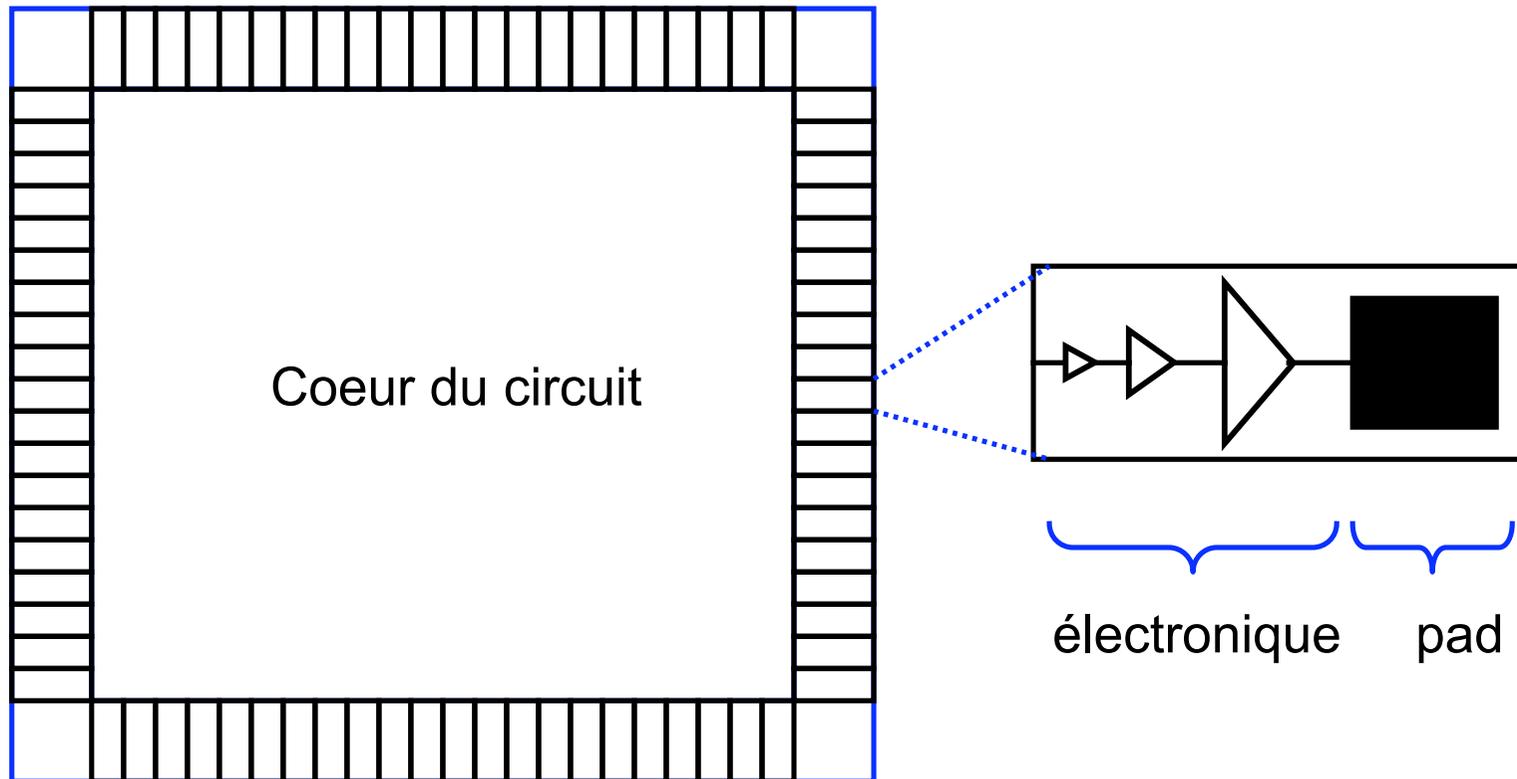
- Contraintes électriques

La capacité électrique d'un fil sur la carte de circuit imprimé est 1000 plus grande que la capacité électrique d'un fil interne à la puce (quelques dizaines de pico-Farad, contre quelques dizaines de femto-Farad)

=> les inverseurs de sortie doivent être très gros pour pouvoir fournir des courants très importants.

# La couronne des plots

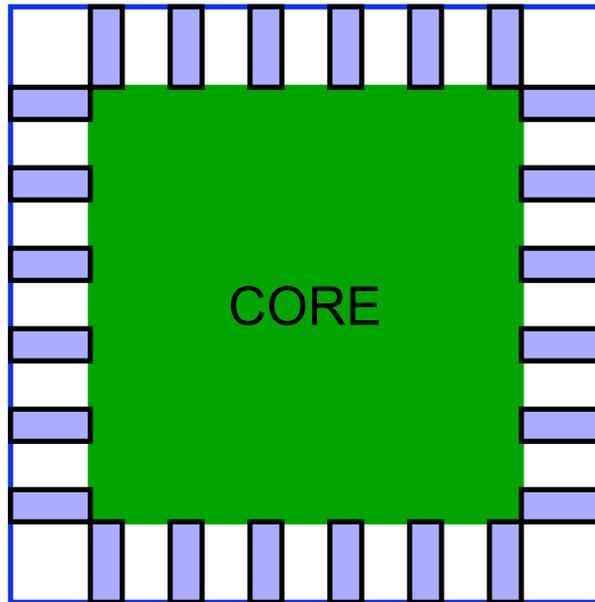
---



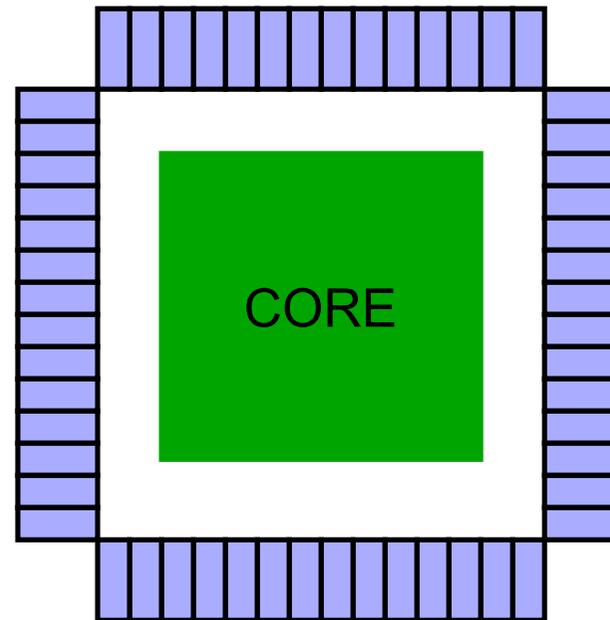
# Core-limited / Pad-limited

Un circuit est dit « **core-limited** » lorsque sa surface est déterminée par la surface occupée par le coeur.

Un circuit est dit « **pad limited** » lorsque sa surface est déterminée par la couronne de plots d'entrée/sortie.



Core limited



Pad limited

# Blocs « durs » et blocs « déformables »

---

Les circuits numériques contiennent généralement deux types de blocs :

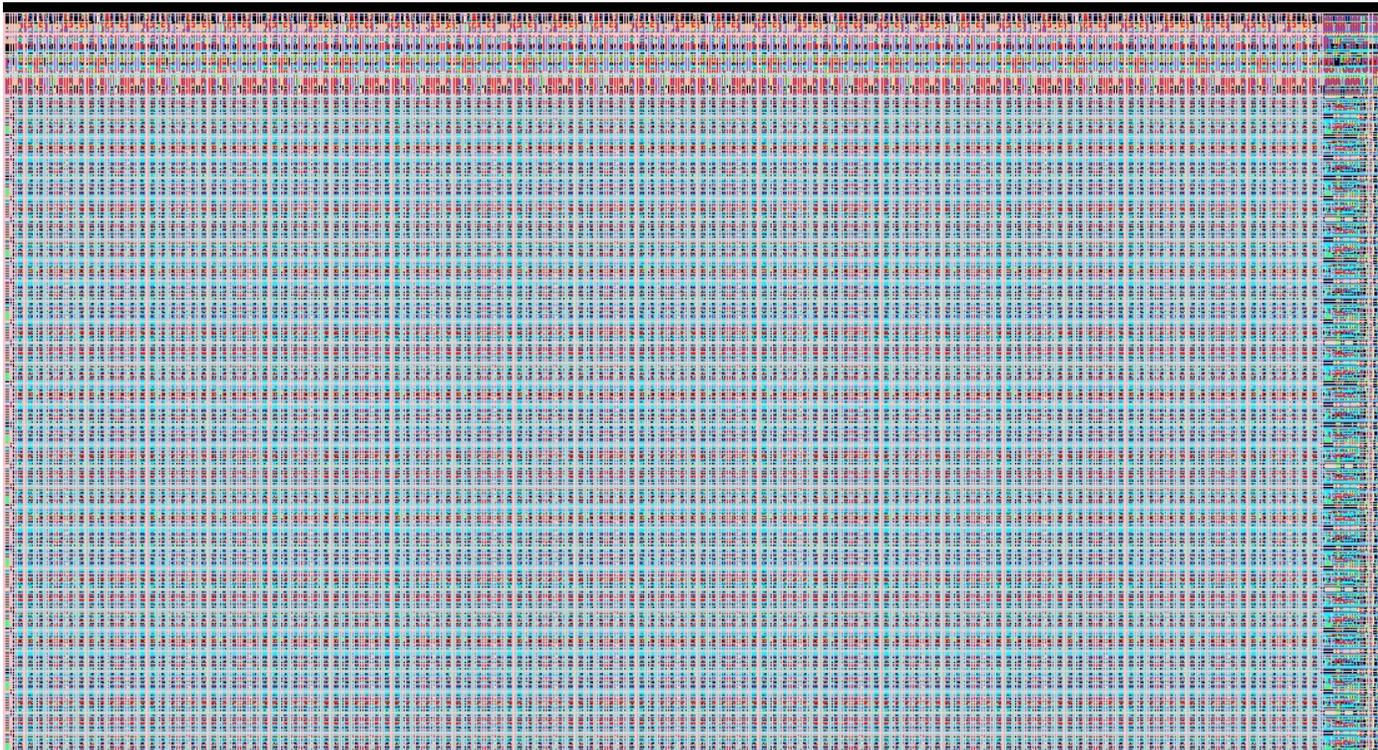
- Les blocs « durs »

Ce sont les blocs dont le dessin des masques a été optimisé pour exploiter la régularités (blocs mémoires ou chemins de données).

- les blocs « déformables »

Ce sont des blocs de logique irrégulière, souvent obtenus par des outils de synthèse logique utilisant des bibliothèques de cellules pré-caractérisées. A surface égale, on peut faire varier la forme du bloc en faisant varier le nombre de rangées de cellules.

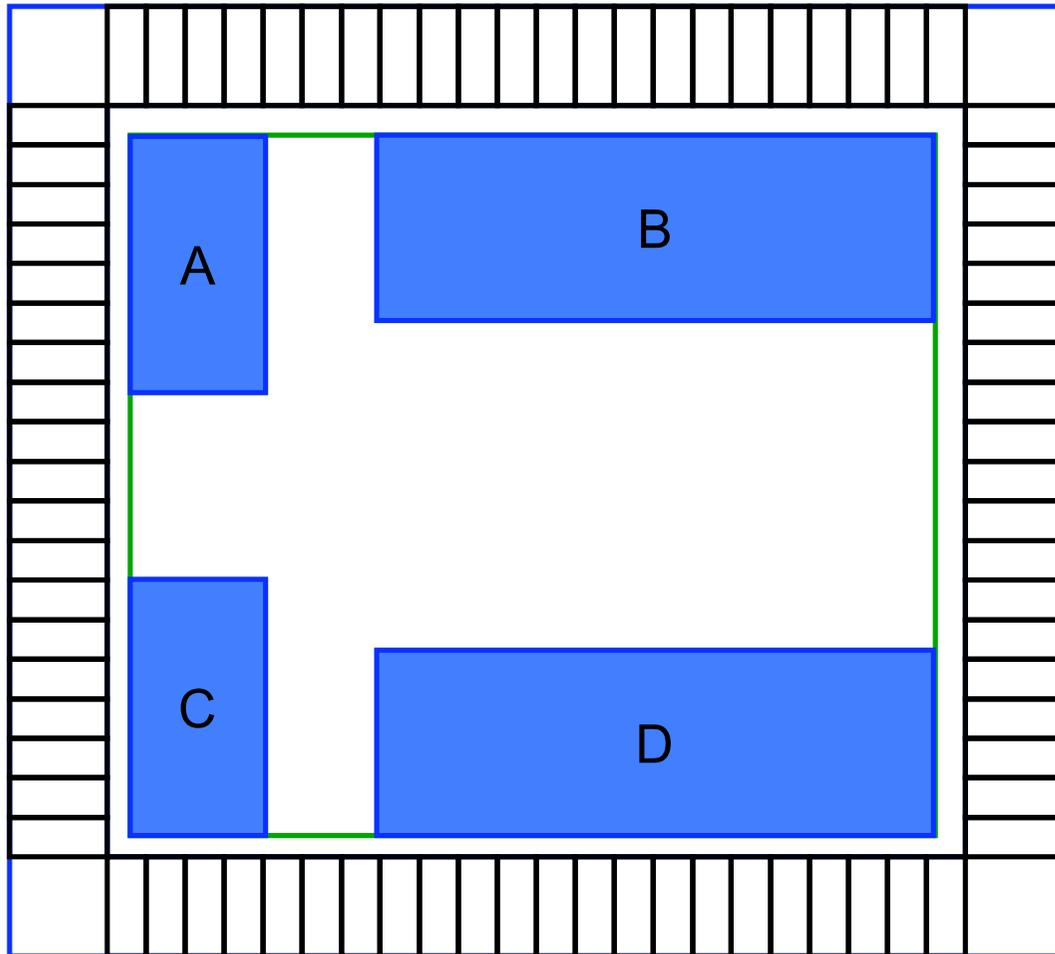
# Exemple de bloc « dur »



Mémoire de 256 mots de 32 bits

# Placement automatique

On peut demander à un outil de placement automatique de « tasser » les cellules des blocs « déformables » dans l'espace non occupé par les blocs « durs » A, B, C, D.



# Plan

---

- **Définition du plan de masse**
- **Méthode générale de placement/routage**

# Méthode générale de placement / routage

---

La réalisation du processeur MIPS R3000 s'appuiera sur une approche descendante, comportant 7 étapes :

1. Définition précoce d'un plan de masse`
2. Placement **explicite** des plots d'entrée-sortie sur les 4 faces.
3. Placement **explicite** des blocs « durs » (mémoires, chemins de données optimisés) dans la zone réservée au coeur.
4. Définition **explicite** des réseaux de distribution de alimentations (maillage VDD et VSS)
5. Placement **automatique** de la logique irrégulière dans les zones inoccupées du coeur.
6. Routage **automatique** des signaux particuliers (signaux d'horloge ou autres signaux critiques)
7. Routage **automatique** des signaux logiques autres que les alimentations ou les horloges.

# Interaction entre le concepteur et les outils

---

La méthode de placement/routage proposée suppose une interaction forte entre le concepteur et les outils automatiques :

- ❑ Il faut permettre au concepteur de définir facilement des directives de placement des blocs réguliers ou de routage des signaux critiques
- ❑ Il faut permettre au concepteur de lancer facilement les outils de placement ou de routage automatique pour les traitements les plus fastidieux.

C'est la raison de l'utilisation du langage STRATUS.

# Le langage Stratus

---

- ❑ On utilise le langage Stratus pour décrire la structure hiérarchique multi-niveaux du circuit.
- ❑ Les blocs de logique irrégulière sont considérés comme des composants terminaux, et sont donc décrits au niveau comportemental. Le schéma en portes de ces blocs est généré par des outils de synthèse logique, en utilisant la bibliothèque de cellules SXLIB.
- ❑ Les blocs réguliers (chemins de données, mémoires) sont décrits au niveau structurel, et utilisent les cellules génériques de la bibliothèque DP\_SXLIB.
- ❑ Lorsque le schéma hiérarchique multi-niveaux a été validé, on enrichit la description structurelle Stratus, en ajoutant - à chaque niveau hiérarchique - les directives de placement et/ou de routage qui concernent ce niveau hiérarchique.