

# Master Informatique / Spécialité ACSI

## "Méthodologie" Cours de A. GREINER

Examen de janvier 2005

### Allocateur de bus

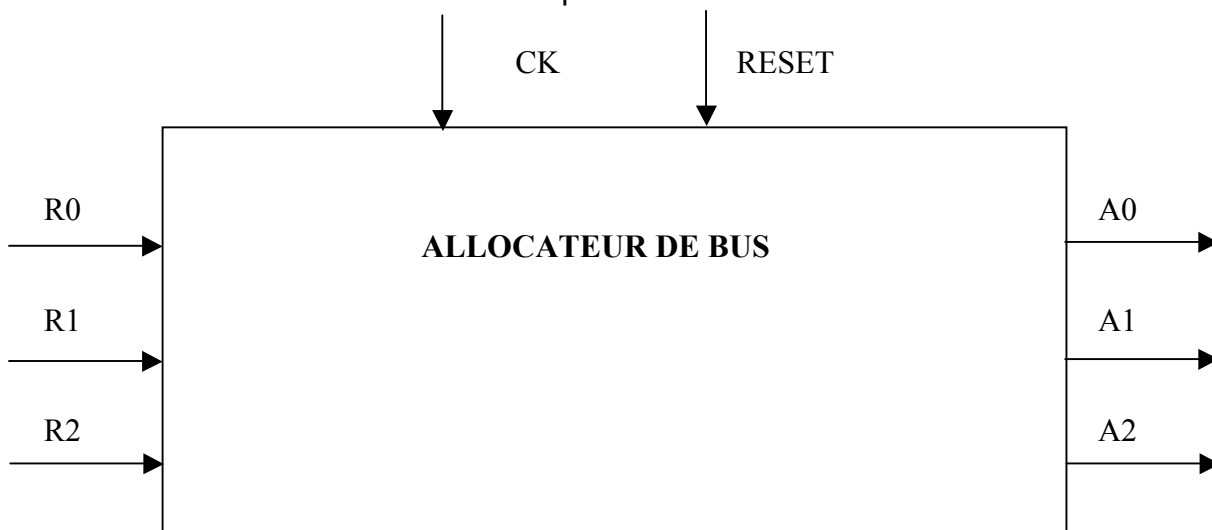
On considère trois processeurs P0,P1,P2 utilisant le même bus de communication pour accéder à la mémoire. On cherche à réaliser un « allocateur de bus équitable se comportant comme un automate de Moore. Chacun des processeurs dispose d'un signal de requête  $R_i$ , actif à l'état haut, pour demander à utiliser le bus. Les trois signaux de requête  $R_0$ ,  $R_1$ ,  $R_2$  sont indépendants et peuvent être actifs simultanément.

En réponse, l'allocateur alloue le bus à un des processeurs, et l'indique par l'intermédiaire d'un signal  $A_i$ , actif à l'état haut :  $A_0$ ,  $A_1$ ,  $A_2$

Quand un processeur a fini d'utiliser le bus, il le signale en remettant  $R_i$  à zéro. Quand le bus est libéré par un processeur, il ne peut pas être immédiatement réalloué : il faut attendre au moins un cycle avant de l'allouer de nouveau.

Pour garantir un arbitrage équitable, on utilise un algorithme de priorité tournante de type « round-robin » : Le processeur qui obtient le bus devient le moins prioritaire.

- Si P0 vient d'obtenir le bus la priorité est  $P_0 < P_1 < P_2$
- Si P1 vient d'obtenir le bus la priorité est  $P_1 < P_2 < P_0$
- Si P2 vient d'obtenir le bus la priorité est  $P_2 < P_0 < P_1$



On définit les 6 états de l'automate de la façon suivante :

- WAIT0 : L'allocateur attend une requête, P0 est le moins prioritaire
- ALLOC0 : Le bus est alloué à P0, l'allocateur attend la libération du bus
- WAIT1 : L'allocateur attend une requête, P1 est le moins prioritaire
- ALLOC1 : Le bus est alloué à P1, l'allocateur attend la libération du bus
- WAIT2 : L'allocateur attend une requête, P2 est le moins prioritaire
- ALLOC2 : Le bus est alloué à P2, l'allocateur attend la libération du bus

Les états sont codés en « one-hot » sur 6 bits

Etat	Q0	Q1	Q2	Q3	Q4	Q5
WAIT0	1	0	0	0	0	0
WAIT1	0	1	0	0	0	0
WAIT2	0	0	1	0	0	0
ALLOC0	0	0	0	1	0	0
ALLOC1	0	0	0	0	1	0
ALLOC2	0	0	0	0	0	1

Le signal RESET (actif à l'état haut) force l'automate dans l'état WAIT0.

**Q1** (2 points) Représenter le graphe de l'automate d'états, en étiquetant les transitions avec les expressions Booléennes dépendant des entrées R0,R1,R2, et en associant à chaque état les valeurs des sorties A0, A1, A2. On ne tiendra pas compte du signal RESET. En déduire les expressions Booléennes des signaux NQ0, NQ1, NQ2, NQ3, NQ4, NQ5 représentant l'état futur.

**Q2** (2 points) Ecrire en langage VHDL un modèle de l'allocateur de bus, acceptable par un outil de synthèse d'automate et utilisant un type énuméré pour représenter l'état (architecture VHDL de type « fsm »). On n'oubliera pas d'inclure dans cette description le mécanisme de RESET synchrone.

Pour rendre cette question indépendante de la question Q1, on s'intéresse uniquement à la structure formelle du modèle et à la syntaxe VHDL, et pas à la justesse des expressions Booléennes.

**Q3** (2 points) Ecrire en langage VHDL une description comportementale de l'allocateur de bus, utilisant des assignations concurrentes (architecture VHDL de type « vbe »), telle qu'elle est générée par l'outil de synthèse d'automate. Cette description décrira explicitement les six registres Q0, Q1, Q2, Q3, Q4, Q5.

Donner une représentation graphique du réseau Booléen étendu qui est représenté par cette description (un noeud par assignation concurrente).

**Q4** (2 points) Pour faciliter le test de fabrication on souhaite introduire un « scan-path » dans cet allocateur de bus. On ajoute donc quatre broches sur l'interface.

Les deux broches MODE[1 :0] définissent les trois modes de fonctionnement du composant :

- mode « fonctionnel » (écriture de l'état suivant dans les registres R1 et R0),
- mode « décalage » (les bascules R1 et R0 fonctionnent en registre à décalage),
- mode « gel » (pas d'écriture dans les registres).

Les deux broches SCIN et SCOUT sont respectivement l'entrée et la sortie du scan-path.

MODE1	MODE0	Signification
0	0	« Gel »
0	1	« Gel »
1	0	« Fonctionnel »
1	1	« Décalage »

Rappeler brièvement qu'elle est l'utilité du scan path pour le test de production. Quelles sont les priorités relatives des signaux NRESET et des signaux de MODE ? Donner explicitement le schéma en portes de la logique qu'il faut ajouter autour de chacune des 6 bascules Qi pour réaliser le RESET synchrone et les trois modes de fonctionnement définis par le signal mode.

**Q5** (2 points) On souhaite utiliser une bibliothèque de cellules pré-caractérisées (du type SXLIB) pour implanter ce composant.

- Rappelez quelles contraintes « topologiques » (contraintes sur le dessin des masques) doivent respecter les cellules pour faciliter le placement des cellules les unes par rapport aux autres (aboutement suivant X et suivant Y), et pour permettre le routage automatique des fils d'interconnexion.
- Rappelez quelles contraintes « électriques » (contraintes sur le schéma en transistors) doivent respecter les cellules pour pouvoir être utilisées par un outil de synthèse logique, et pour garantir la robustesse des circuits obtenus par assemblage de ces cellules.