

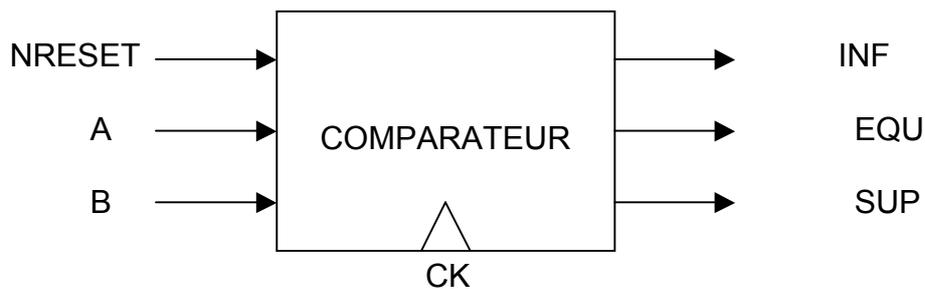
Master Informatique / Spécialité ACSI

"Méthodologie" Cours de A. GREINER

Examen de novembre 2006

On désire réaliser un opérateur réalisant la comparaison arithmétique de deux nombres A et B positifs ou nuls. Ces deux nombres sont codés en binaire, et sont introduits dans l'opérateur en série : On entre un bit a_i du nombre A et un bit b_i du nombre B à chaque cycle. Les bits de poids fort entrent en premier. Cet opérateur de comparaison est réalisé comme un automate de Moore. Un signal NRESET, actif à l'état bas, permet de re-initialiser l'opérateur dans son état INIT (état où l'opérateur de comparaison attend les bits de poids fort de A et B). Cet opérateur est réalisé comme un automate de Moore.

Outre le signal d'horloge CK, l'automate possède donc 3 entrées A, B, NRESET, et possède 3 sorties EQU, INF, SUP.



L'automate comporte 4 états appelés « INIT », « ASUPB », « AINFB », « EQUAL ».

- L'état « INIT » correspond à la situation où l'opérateur vient d'être initialisé. Dans cet état les trois sorties INF, SUP et EQU valent 0.
- L'état « EQUAL » correspond au cas où tous les bits de A et B examinés jusqu'à présent étaient égaux. Dans cet état la sortie EQU vaut 1, INF et SUP valent 0.
- L'état « ASUPB » correspond au cas où sur tous les bits examinés jusqu'à présent, la valeur de A est plus grande que celle de B. Dans cet état la sortie SUP vaut 1, les sorties EQU et INF valent 0.
- L'état « AINFB » correspond au cas où sur tous les bits examinés jusqu'à présent, la valeur de B est plus grande que celle de A. Dans cet état la sortie INF vaut 1, les sorties EQU et SUP valent 0.

Les 4 états sont codés sur deux bits R1 et R0 comme suit :

ETAT	R1	R0
INIT	0	0
EQUAL	0	1
ASUPB	1	0
AINFB	1	1

Q1) (2 points) Représenter le graphe de l'automate en étiquetant les transitions avec les expressions Booléennes dépendant des entrées A, B et NRESET.

Remplissez le tableau définissant la table de vérité des deux bits NR1 et NR0 représentant l'état futur, ainsi que la table de vérité des sorties INF, SUP, EQU.

Pour simplifier, on ne prendra pas en compte le signal NRESET pour cette table de vérité (on considèrera que NRESET vaut 1).

En déduire des expressions Booléennes simplifiées pour BR1, NR0, INF, SUP et EQU.

Q2) (2 points) Ecrire en langage VHDL un modèle de cet opérateur, acceptable par un outil de synthèse d'automate et utilisant un type énuméré pour représenter l'état (architecture VHDL de type « fsm »). On n'oubliera pas d'inclure dans cette description le mécanisme de RESET synchrone.

Q3) (2 points) Ecrire en langage VHDL une description comportementale de cet opérateur, utilisant des assignations concurrentes (architecture VHDL de type « vbe »), telle qu'elle est générée par l'outil de synthèse d'automate. Cette description décrira explicitement les deux bascules R1 et R0.

Q4) (2 points) Proposer un schéma en portes logiques n'utilisant que des portes logiques de type Inverseur, OR, NOR, AND, NAND, et des bascules D à échantillonnage sur front.

Indiquer par où passe la chaîne longue de ce schéma.

Q5) (2 points) Pour faciliter le test de fabrication on souhaite introduire un « scan-path » dans cet allocateur de bus. On ajoute donc quatre broches sur l'interface.

Les deux broches MODE[1 :0] définissent les trois modes de fonctionnement du composant :

- mode « fonctionnel » (écriture de l'état suivant dans les registres R1 et R0),
- mode « décalage » (les bascules R1 et R0 fonctionnent en registre à décalage),
- mode « gel » (pas d'écriture dans les registres).

Les deux broches SCIN et SCOUT sont respectivement l'entrée et la sortie du scan-path.

MODE 1	MODE0	Mode
0	0	Gel
0	1	Gel
1	0	Fonctionnel
1	1	Décalage

Rappeler brièvement qu'elle est l'utilité du scan path pour le test de production. Quelles sont les priorités relatives du signal NRESET et du signal MODE ? Comment faut-il modifier le schéma autour des 2 bascules Ri pour réaliser les trois modes de fonctionnement définis par le signal MODE.