

IP

CoDesign

Représentation du DFG / CDFG dans GAUT

SoftExplorer

Université de Bretagne Sud - Lab-STICC Power

Design Trotter Philippe Coussy, Dominique Heller

IP

Idée initiale

- ◆ Front-end commun basé sur gcc/g++
 - Modèle CDFG avec basic block...
 - Représentation SSA et optimisations associées
 - CSE, code mort, propagation de constante...
 - Représentation des dépendances de données
 - scalaire, tableau...
 - Transformation de boucle
 - Utilisation de Graphite ?

- ◆ Utilisation d'un modèle commun
 - Format XML
 - Type CDFG ou AST ?

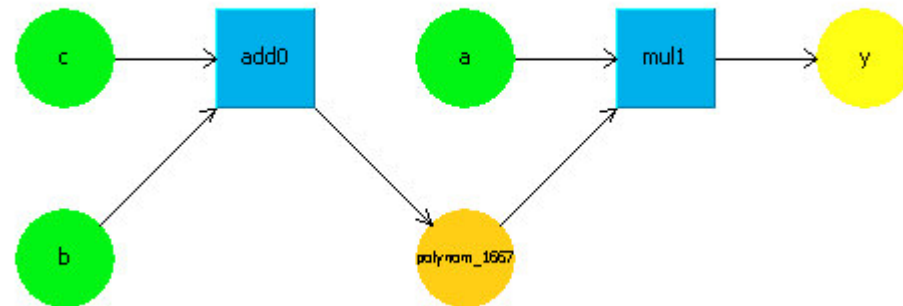
Modèle actuel du DFG dans GAUT

```
main(int a, int b, int c, int *y)
{
    *y = a*b + a*c;
}
```

CoDesign

SoftExplorer

Design Trc



Modèle actuel du DFG (après compilation)

```
#LAB-STICC-UBS, 2008
#Date: Mon May 04 08:02:51 2009

#Entity : polynom
source(polynom_start) {
    targets c,
    b,
    a;
}
#Input declaration
input(c) {
    bitwidth 32;
    signed 1;
}
input(b) {
    bitwidth 32;
    signed 1;
}
input(a) {
    bitwidth 32;
    signed 1;
}
```

```
#Output declaration
output(y) {
    bitwidth 32;
    signed 1;
}
#Variable declaration
temporary(polynom_1667) {
    bitwidth 32;
    signed 1;
}
operation(op0) {
    function add;
    read c,b;
    write polynom_1667;
}
operation(op1) {
    function mul;
    read polynom_1667,a;
    write y;
}
sink(polynom_end) {
    targets y;
}
```

Modèle actuel du DFG (après ordonnancement et assignation)

```

input (a) {
  asap 0;
  alap 10;
  cycles 0;
  length 0;
  real_start 10;
  start 10;
  end 30;
  org_lifetime 20;
  bus BUS_DONNEES_1_polynom;
  register r0;
}
  
```

```

operation (op0) {
  function add;
  read c, b;
  read_map a, b;
  write polynom_1667;
  write_map o;
  asap 0;
  alap 0;
  cycles 1;
  length 10;
  real_start 0;
  start 0;
  identify 0;
  operator comp_0_add;
}
  
```

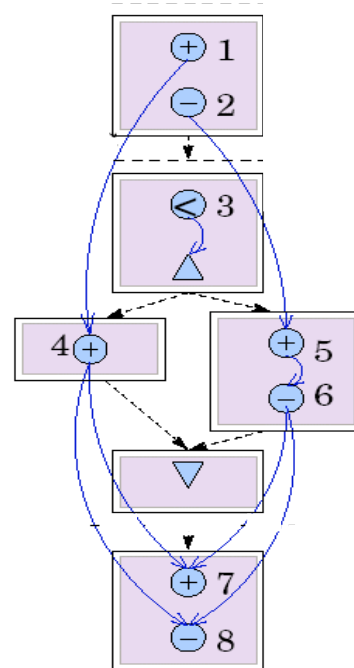
IP

Exemple de HTG

```

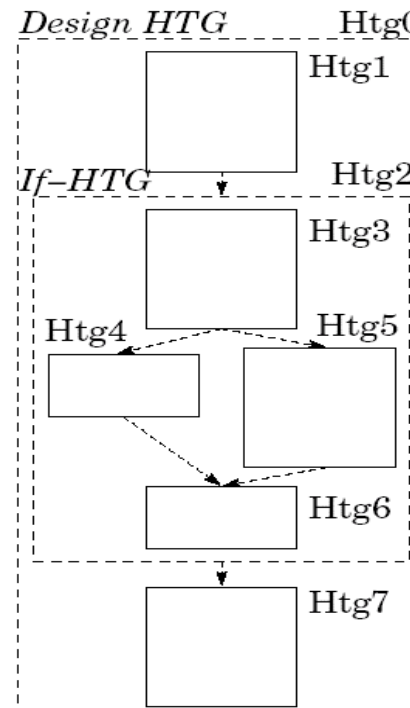
1: t = a + b;
2: u = a - b;
3: if (a < b)
4:   v = t + c;
   else
5:   w = u + c;
6:   v = w - d;
7: x = v + e;
8: y = v - e;

```

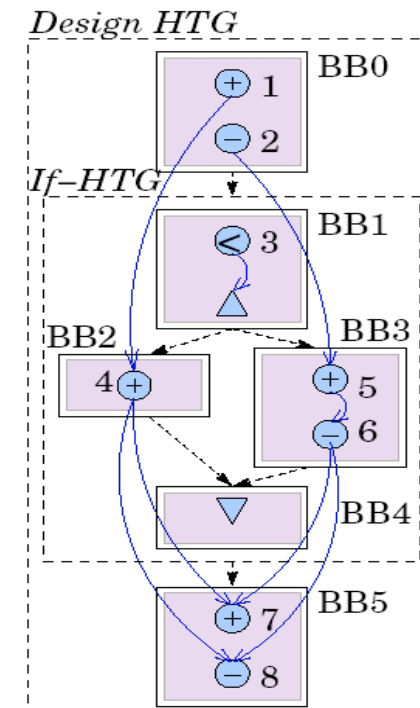


Exemple

CDFG++

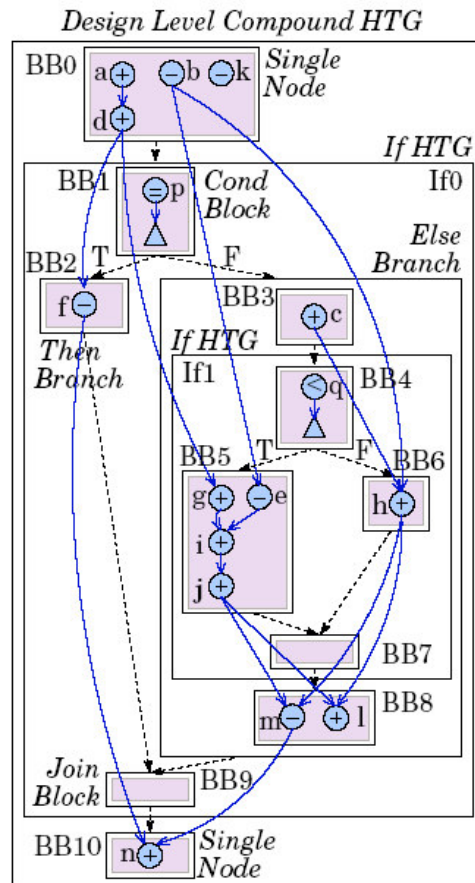


Hiérarchie

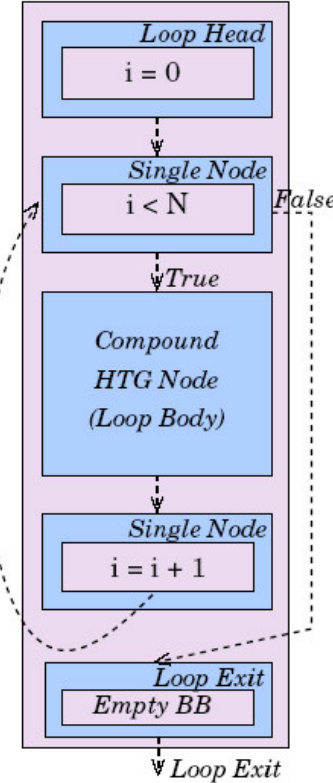


HTG

Exemple de HTG (suite)



For Loop HTG Node



IP Pour un passage en CDFG...

- ◆ Modélisation des basic blocks BB
 - DFG => dépendances de données
- ◆ Modélisation explicites
 - des dépendances de contrôle entre BB
 - des dépendances de données entre BB
- ◆ Utilisation de la hiérarchie