

1. Etat de l'art

1. OpenRISC 1200
2. LEON 2
3. LEON 3
4. OpenSparcS1
5. OpenSparcT1
6. Mico32
7. OpenFire
8. aeMB
9. MANIK
10. DLX Superscalar

Etat de l'art

Dans le domaine des processeurs libre, 8 projets ont retenus notre attention.

OpenRISC 1200

[?Lien vers ce projet](#)

L'OpenRISC est l'un des nombreux projets issues d'OpenCore. Il s'agit d'un processeur RISC scalaire 32 bits. Il possède un pipeline entier de 5 étages. Avec support de cache, mémoire virtuel et d'instruction DSP. Le jeu d'instruction provient de l'ISA OpenRISC 1000 (sous ensemble ORBIS32)

LEON 2

[?Lien vers ce projet](#)

LEON est un processeur 32 bit RISC open source, compatible SPARC V8 développé par l'ingénieur suédois Jiri GAISLER pour l'ESA. Le modèle est hautement configurable (en particulier sa hierarchie de cache.)

LEON 3

[?Lien vers ce projet](#)

Nouvelle version du LEON, le pipeline est plus profonds (7 étages), support SMP

OpenSparcS1

[?Lien vers ce projet](#)

1 coeur RISC scalaire 64bits pipeline 6 étages et CMT de degré 4. ISA Sparc V9

OpenSparcT1

[?Lien vers ce projet](#)

8 coeurs RISC scalaire 64bits pipeline 6 étages et CMT de degré 4. ISA Sparc V9

Mico32

[?Lien vers ce projet](#)

Processeur 32 bits à architecture Harvard. Jeux d'instructions de type RISC, Architecture RISC, 32 registres généraux

Interface mémoire de type "WISHBONE"

OpenFire

[?Lien vers ce projet](#)

Clone du softcore MicroBlaze de Xilinx

aeMB

[?Lien vers ce projet](#)

Egalement un clone du MicroBlaze

MANIK

[?Lien vers ce projet](#)

DLX Superscalar

[?Lien vers ce projet](#)

Processeur superscalaire à execution dans le désordre. Lance 2 instructions par cycle vers les 4 unités disponibles (Branch, ALU, Mul/Div?, Load Store).