Contexte

Le projet SoCLib, soutenu par le CNRS et différents industriels vise le développement d'une plate-forme "ouverte" de modélisation et de simulation de systèmes intégrés sur puce. Le coeur de cette plate-forme est un ensemble de modèles de simulation de composants virtuels (IP cores) écrits en SystemC. Pour garantir l'inter-opérabilité entre ces composants, et permettre de modéliser facilement des plate-formes matérielles multi-processeurs, tous ces composants respectent le même protocole de communication (Virtual Component Interconnect).

Cette plate-forme contient aujourd'hui suffisamment de composants matériels (coeurs de processeurs, contrôleurs mémoire, contrôleurs de bus, routeurs pour micro-réseaux intégrés, coprocesseurs spécialisés, etc...) pour modéliser et simuler des architectures multi-processeurs hétérogènes complexes (i.e. comportant plusieurs dizaines de processeurs) exécutant des applications multi-tâches sous le contrôle d'un système d'exploitation embarqué. Des systèmes d'exploitation populaires comme NetBSD ou RTEMS sont supportés, mais aussi des projets de recherches comme DnaOs, MutekH, ou encore AlmOS.

SoCLib est utilisé dans le département SoC du Lip6 dans de nombreux projets de recherche parmi lesquels DSX, Adam ou encore Tsar.

SoCLib est développé activement. De nombreuses fonctionnalités peuvent être implémentées et offrent de ce fait de nombreuses possibilités de stages.

[?https://www.soclib.fr/](https://www.soclib.fr/)