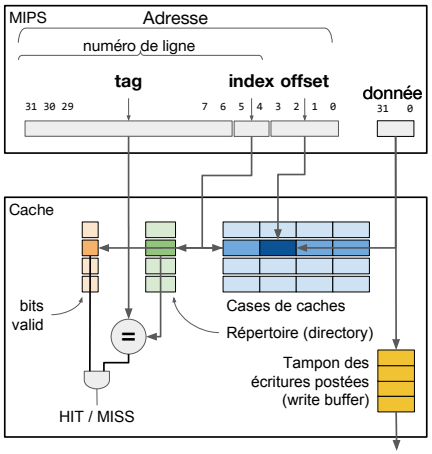
ALMO

Caches (suite)

Rappel de vocabulaire

- Ligne de cache
  - Une ligne de cache est un segment d'adresses de 2^n octets dans l'espace d'adressage (8, 16, 32, 64 ou 128 octets, cela dépend du cache).
    C'est la quantité minimale de données/instructions lues par le cache.
- Case de cache
  - Un cache contient des copies de lignes de cache venant de la mémoire.
  - Ces lignes de cache sont copiées dans des cases de cache.
  - Une ligne de cache est un contenu, alors qu'une case de cache est un contenant
  - **Les lignes de cache sont rangées dans des cases de cache.**
- Répertoire
  - Le cache doit savoir quelles sont les lignes de cache présentes dans ses cases.
  - Le cache range dans un répertoire les numéros de ligne de cache qu'il possède.
  - Il y a autant d'entrée dans le répertoire qu'il y a de cases dans le cache.
- Bit de validité
  - Au début les cases de cache sont toutes vides.
  - Elles se remplissent avec des lignes de cache au fur et à mesure des lectures.
  - Il y a un bit de validité par case de cache indiquant si la case contient une ligne.

Schéma du cache à correspondance directe



Il y a trois tableaux dans le cache :

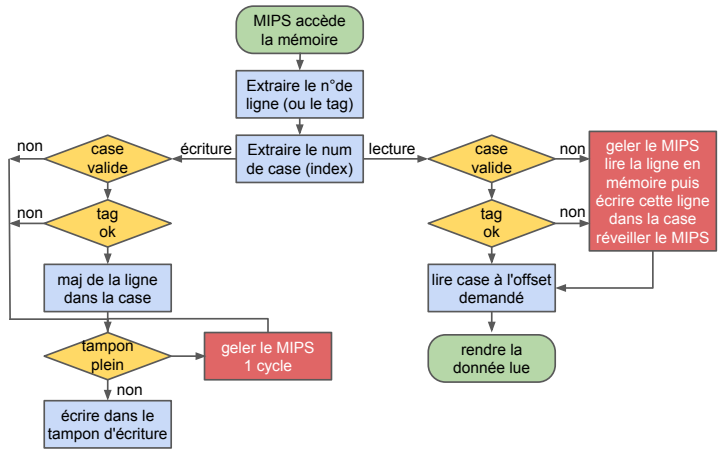
1. Les cases de cache (en bleu).
   Ces cases contiennent les lignes de cache.
2. Le répertoire (en vert)
   Ce répertoire contient autant d'entrée que de cases dans le cache (il y a une entrée par case). Chaque entrée contient le numéro de la ligne (ou juste le tag) contenu dans la case du cache correspondante.
3. Les bits de validités (en orange clair)
   Ce répertoire contient autant d'entrée que de cases dans le cache (il y a une entrée par case). Lorsqu'une entrée est à 1, c'est que la case correspondante contient une ligne, sinon elle n'en contient pas.

Et aussi un tampon d'écriture (en orange)
Ce tampon contient les écritures en attente d'être envoyées en mémoire

Dans le répertoire : tag ou numéro de ligne ?

- Le cache stocke des copies des lignes de cache dans ses cases.
- Pour chaque case contenant une copies de ligne, le cache doit savoir quel est le numéro de ligne de la copie, c'est-à-dire d'où elle vient dans l'espace d'adressage.
- Dans un cache à correspondance directe, ce sont les bits de poids faible du numéro de ligne qui servent à désigner les numéros de cases. Ces bits définissent l'index.
  Ce choix impose que le nombre de cases soit une puissance de 2.
- Toutes les lignes qui ont un index 0 vont dans la case 0, toutes les lignes qui ont un index 1 vont dans la case, etc.
- En conséquence, il n'est pas nécessaire de stocker les bits d'index dans le répertoire puisqu'on les connaît déjà, c'est le numéro de la case. Autrement dit, la case X du répertoire, contient une ligne dont les derniers bits contiennent X.
- En résumé:
  Ce qu'on doit enregistrer dans le répertoire, c'est le numéro de ligne,
  MAIS, dans un cache à correspondance directe, on peut ne stocker que le tag, et ainsi, économiser de la mémoire.
- Pour un cache de 16ko et des lignes de 64o ⇒ 16ko/64 = 256 cases ⇒ index de 8bits
  On économise 256o, c'est beaucoup, car c'est une mémoire rapide.

Algorithme de fonctionnement du cache



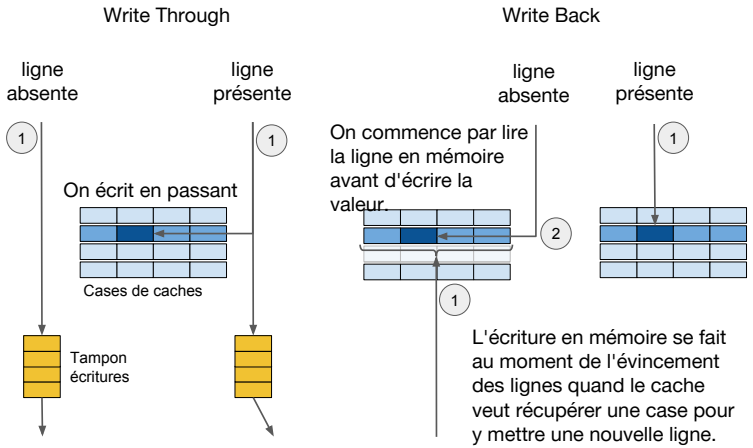
Comportement du cache pour les écritures

Il existe deux types de comportement pour les écritures

1. Cache Write-Through (WT)
   Les écritures se font toujours dans la mémoire, mais
   si la ligne est est déjà présente dans le cache, elle est mise à jour.
   Ainsi la mémoire contient toujours la copie la plus à jour des données.
2. Cache Write-back (WB)
   Lorsqu'on écrit dans une ligne, si elle est absente du cache, elle est chargée depuis la mémoire, puis les écritures se font dans le cache.
   Ainsi, c'est le cache qui contient la copie la plus à jour des données.
   Les lignes modifiées sont copiées en mémoire au momment où doivent être ré-utilisées pour d'autres lignes, uniquement si elles ont été écrites.

Les caches WB réduisent le nombre d'écriture sur le bus, mais ils sont plus complexes, car il y a plus d'états à gérer pour chaque ligne.

Write Through vs Write Back



Mesure de la performance d'un processeur

- La performance d'un processeur se mesure en Cycles Par Instruction : `CPI`
  C'est à dire le nombre de cycles nécessaires à l'exécution d'une instruction.
- Dans un système mémoire parfait, la mémoire répond toujours à tous les accès en lecture et en écriture pour les instructions et les données.
- Le `CPI` dans un système mémoire parfait, nous le nommons `CPI0`.
- Le MIPS32 a une architecture à exécution pipelinée.
  Il est capable de lire une nouvelle instruction à chaque cycle,
- Pour autant, le `CPI0` n'est pas égal à 1 car il y a des dépendances entre les instructions obligeant à introduire des bulles dans le pipeline
  (une bulle est un cycle où on ne lit pas une nouvelle instruction).
- Le `CPI0` va dépendre du programme et des caractéristiques du MIPS (vous verrez ça en TME). Typiquement, `CPI0 = 1,2`
- Le `CPI` réel va être augmenté à cause des MISS de cache qui gèle le MIPS.
  $\Rightarrow$ $CPI = CPI0 + \Delta CPI_{ins} + \Delta CPI_{data}$

Calcul du CPI réel

- L'augmentation du CPI (ΔCPI) est due à deux choses
  1. Les taux de MISS, c'est-à-dire le pourcentage de requête d'accès à la mémoire qui provoque un MISS (pour les instructions et les données).
     Ces taux dépend de la taille du cache et du programme

     $$\text{Taux\_de\_miss} = \frac{\text{nombre de requêtes avec MISS}}{\text{nombre de requêtes totales}}$$

     Typiquement le taux_de_miss_instruction < 2% (voire << 2%)
     le taux_de_miss_data < 5%
  2. Le coût du MISS
     Ce coût dépend de l'architecture, du bus, du nombre de MIPS, de la taille des autres niveaux de cache, de la longueur des lignes, etc.

     Typiquement coût du MISS = 10 à 100 cycles.
- L'augmentation du CPI (ΔCPI) est simplement le produit du taux par le coût

  ΔCPI = Taux_de_miss * Cout_du_miss

Influence des écritures sur le CPI

- En première approximation, les écritures n'ajoutent rien au CPI, à condition que les deux conditions suivantes sont remplies :
  1. La durée moyenne entre deux instructions d'écritures dans le programme est supérieure à la durée d'une écriture en mémoire
  2. Le tampon d'écriture contient assez de cases pour absorber les rafales d'écriture
- Nous supposons que ces conditions sont remplies et que les écritures ne gèlent pas le MIPS.

Exemple : sujet juin 2018

On considère un cache de données de premier niveau write-through à correspondance directe, d'une capacité totale de 8Kio. La ligne de cache a une largeur de 32 octets (8 mots de 32 bits). Les adresses sont sur 32 bits.
Le but de l'exercice est d'analyser le remplissage de ce cache de données L1, puis d'estimer le nombre de cycles nécessaires à l'exécution d'un programme. On suppose que le cache de données est initialement vide. On considère la fonction suivante :

```
int32_t X[512][8];
...
void f(int32_t X[256][8]) {
     register int32_t i, j;
     for (j = 7; j >= 0; j -= 1) {
         for (i = 0; i < 256; i += 1) {
             X[i][j] = X[i][j] / 2;
         }
     }
}
```

On suppose que le tableau X est à l'adresse 0x10010000, et qu'il est passé à la fonction f.

Exemple : sujet juin 2018

Donner le nombre de bits des champs offset, index et étiquette d'une adresse.

Quels sont les éléments de X qui peuvent occuper les mots du cache suivants : mot 0 de case d'index 0 ; et mot 3 de la case d'index 19.

Exemple : sujet juin 2018

Donner le nombre de bits des champs offset, index et étiquette d'une adresse.

```
offset  : log2(32) = 5
index   : log2(8*1024/32) = 8
tag     : 32 - 8 -5 = 19
```


Exemple : sujet juin 2018

Quels sont les éléments de X qui peuvent occuper les mots du cache suivants : mot 0 de case d'index 0 ; et mot 3 de la case d'index 19.

```
X est à l'adresse  0x10010000
                   0b0001.0000.0000.0001.0000.0000.0000.0000.
On voit que X est alignée sur une ligne (offset == 0)
On voit que la première ligne de X sera rangée dans la case 0
(index == 0)
La première ligne de cache du tableau contient :
    X[0][0] X[0][1] … X[0][7]  ça fait 8 mots
La dernière case de cache contiendra donc (si cette ligne est lue)
    X[255][0] X[255][1] … X[255][7]
Le cache ne peut pas contenir tous le tableau X
⇒ la case du tableau X[256][0] sera aussi rangée dans la case 0.

⇒   mot 0 de case 0       : X[0][0] et X[256][0]
    mot 3 de la case 19   : X[19][3] et X[19+256][3]
```


Exemple : sujet juin 2018

```
int32_t X[512][8];
 ...
 void f(int32_t X[256][8]) {
      register int32_t i, j;
      for (j = 7; j >= 0; j -= 1) {
          for (i = 0; i < 256; i += 1) {
              X[i][j] = X[i][j] / 2;
          }
      }
 }
```

Donner, dans l'ordre, les 3 premiers éléments de X lus par la fonction f.

Exemple : sujet juin 2018

```
int32_t X[512][8];
 ...
 void f(int32_t X[256][8]) {
      register int32_t i, j;
      for (j = 7; j >= 0; j -= 1) {
          for (i = 0; i < 256; i += 1) {
              X[i][j] = X[i][j] / 2;
          }
      }
 }
```

Donner, dans l'ordre, les 3 premiers éléments de X lus par la fonction f.

```
A chaque tour de boucle on lit un mot d'une nouvelle ligne.
X[0][7], X[1][7], X[2][7]
Ça ne semble pas optimal.
```

Exemple : sujet juin 2018

Représenter dans le schéma ci-dessous la ou les case(s) valide(s) du cache après 3 itérations (1 case contient 1 ligne), en précisant les indexes (seules 3 cases sont représentées), et en mettant dans les parties « Mot x » les éléments de X présents (p. ex : X[12][3]).

Index	Adresse du Mot 0	Mot 7	Mot 6	Mot 5	Mot 4	Mot 3	Mot 2	Mot 1	Mot 0

Exemple : sujet juin 2018

Représenter dans le schéma ci-dessous la ou les case(s) valide(s) du cache après 3 itérations (1 case contient 1 ligne), en précisant les indexes (seules 3 cases sont représentées), et en mettant dans les parties « Mot x » les éléments de X présents (p. ex : X[12][3]).

Index	Adresse du Mot 0	Mot 7	Mot 6	Mot 5	Mot 4	Mot 3	Mot 2	Mot 1	Mot 0
0	0x10010000	X[0][7]	X[0][6]	X[0][5]	X[0][4]	X[0][3]	X[0][2]	X[0][1]	X[0][0]
1	0x10010020	X[1][7]	X[1][6]	X[1][5]	X[1][4]	X[1][3]	X[1][2]	X[1][1]	X[1][0]
2	0x10010040	X[2][7]	X[2][6]	X[2][5]	X[2][4]	X[2][3]	X[2][2]	X[2][1]	X[2][0]

Calculer, en le justifiant, le nombre de miss de données rencontrées lors de l'exécution de cette fonction.

Donner le taux de miss sur le cache de données pour cette fonction.

La compilation de ce code a produit une boucle de 9 instructions pour la boucle interne (qui met donc 9 cycles à s'exécuter en présence d'un système mémoire parfait `CPI0=1`), et 3 en plus pour la boucle externe. On néglige l'effet des miss sur le cache d'instructions. Si un miss de données coute 17 cycles, calculer le nombre de cycles total, puis calculer le nombre moyen de cycles par élément.

Calculer, en le justifiant, le nombre de miss de données rencontrées lors de l'exécution de cette fonction.

```
Le tableau est parcouru "à l'envers" mais on ne lit que la moitié du
tableau, il n'y a pas de collision de lignes dans les cases. Il y a un
miss par ligne ⇒ 256 MISS.
Si on avait lu tous le tableau ⇒ 512 * 8 MISS.
```

Donner le taux de miss sur le cache de données pour cette fonction.

```
256 * 8 lectures  = 2048
256 miss                          ⇒ taux de MISS = 256/2048 = 12.5%
```

La compilation de ce code a produit une boucle de 9 instructions pour la boucle interne (qui met donc 9 cycles à s'exécuter en présence d'un système mémoire parfait `CPI0=1`), et 3 en plus pour la boucle externe. On néglige l'effet des miss sur le cache d'instructions. Si un miss de données coûte 17 cycles, calculer le nombre de cycles total, puis calculer le nombre moyen de cycles par élément.

```
Nombre de cycles total = 256 * 8 * 9 + 8 * 3 + 256 * 17 = 22808
Il y a 2048 éléments, soit une moyenne de 22808/2048 = 11.14 cyc/élé
```

Problème de cohérences

Deux choses (idées, ondes, objets) sont cohérents s'ils évoluent exactement de la même manière. En informatique (wikipedia), la cohérence est la capacité pour un système à refléter sur la copie d'une donnée les modifications intervenues sur d'autre copies de cette donnée.

- Les caches contiennent des copies de lignes,
- S'il y a plusieurs cœurs MIPS dans un processeurs chacun aura ses caches.
- Une même ligne peut alors être copiées dans plusieurs caches.
- Si l'un des MIPS modifie sa copie, il y a une perte de cohérence entre les copies de la ligne.
- Si rien n'est fait, certains cache peuvent contenir des copies anciennes

Solution de principe logicielle

c'est le programme qui connaît et qui évite les situations problématiques

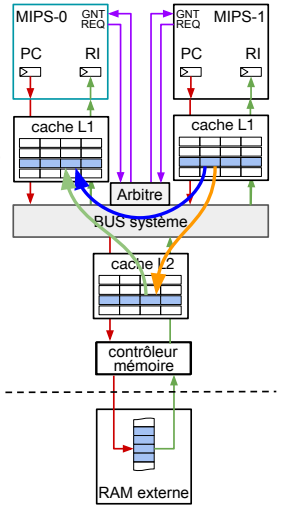
- Les problèmes de cohérence n'arrivent que si une ligne est copiée dans plusieurs caches ou si une donnée change en mémoire toute seule (si c'est un périphérique qui est responsable de ce changement).
- Le programme connaît les lignes qui sont touchées par ce problème et il peut décider de lui même de retirer ces lignes de son cache ⇒ il demande le *flush* total ou partiel.

C'est ce que nous utiliserons sur notre plateforme.
Il faudra demander au système GIET de "*flusher*" le cache DATA

Solution de principe matérielle

Ce sont les caches eux-même qui détectent les copies multiples.
Hypothèse, c'est un cache L1 Write Through

- snooping based (Espionnage)
  - Toutes les écritures sont envoyées sur le bus vers la mémoire.
  - Les caches L1 peuvent *snooper* le bus et s'ils voient des écritures dans des lignes dont ils ont une copie, il la mette à jour. flèche bleue.
- directory based (basé sur un répertoire des copies)
  - C'est cache L2 donne les copies de lignes aux caches L1. Il peut se souvenir pour chaque ligne dans quel cache L1, elle est copiée.
  - C'est lui qui est responsable des mises à jour.
  - C'est plus long et il y a une perte temporaire de cohérence, mais cela n'oblige pas les caches L1 de faire de l'espionnage, parfois c'est impossible.



Prochaine séance : plongée au cœur du GIET

```
GIET
├── app
│   ├── stdio.c      : lib C minimaliste
│   └── stdio.h
└── sys
    ├── giet.s           : entrée noyau
    ├── sys_handler.c    : gest. syscalls
    ├── irq_handler.c    : gest. IRQ
    ├── exc_handler.c    : gest. exception
    ├── ctx_handler.c    : gest. tâches
    ├── common.c         : lib C kernel
    ├── drivers.c        : pilotes
    ├── common.h
    ├── hwr_mapping.h
    ├── sys_handler.h
    ├── irq_handler.h
    ├── exc_handler.h
    ├── ctx_handler.h
    └── drivers.h
```