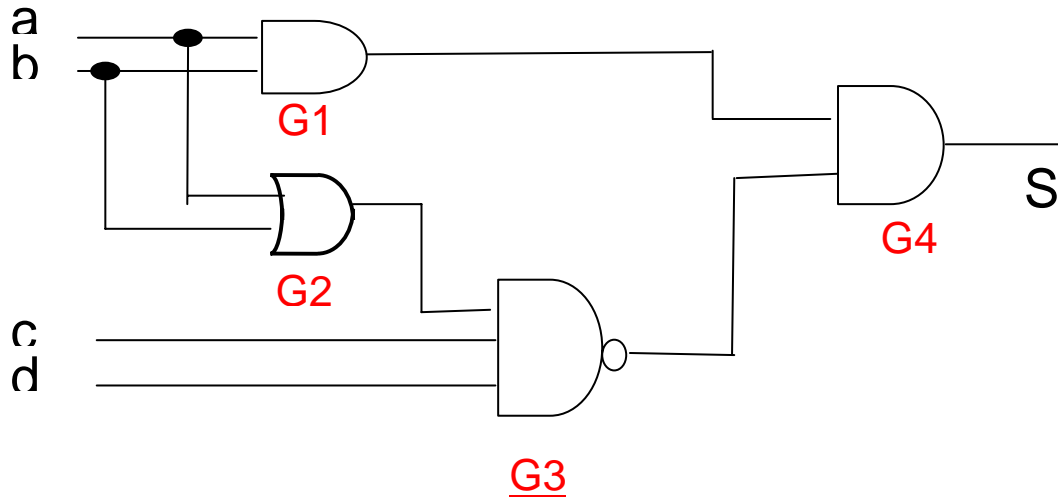


# Examen DFT avril 2008

## Durée 2 heures

Tous documents autorisés, barème donné a titre indicatif, il peut changer.  
En cas d'ambiguïté, faites une hypothèse de travail mais n'oubliez pas de l'expliquer sur votre copie

### Exercice 1 (5 points)



Q1) En utilisant les 3 phases vues en cours (algorithme D simplifié), donnez le vecteur de test permettant de détecter une faute de collage à 0 de la sortie de la porte G2.

Q2) En faisant l'hypothèse que si un circuit à N équipotentielles il a  $2 \cdot N$  fautes de collages possibles, déterminez le taux de couverture obtenu avec le seul vecteur calculé auparavant. Vous expliquerez votre méthode.

Q3) Donnez le vecteur permettant de détecter le collage a 0 de la sortie de la porte G3. Qu'observez vous ? Expliquez.

Q4) Comment résoudre le problème de la question Q3 ? Expliquez.

### Exercice 2 (5 points)

Soit un circuit C réalisant les fonctions suivantes :

$$s1 = a \cdot b + c$$

$$s2 = a \cdot c + b$$

On ajoute à ce circuit C un LFSR connecté aux entrées et un MISR connecté aux sorties. Le LFSR et le MISR sont scannables et reliés entre eux.

Q1) Dessinez au niveau portes le schéma du circuit global incluant le LFSR, le MISR et le multiplexeur. Vous tiendrez compte des polynômes caractéristiques pour le LFSR et le MISR (architectures avec xor externes)

Q2) Si le LFSR est initialisé avec la valeur 010, quelle séquence de vecteurs va être générée ?

Q3) Quel taux de couverture (sur le circuit C seul) est obtenu avec cette séquence de vecteurs ?

Q4) Quelle signature est contenue dans le MISR après que cette séquence soit appliquée sur les entrées du circuit C, sachant que le MISR est initialisé avec la valeur 01 ?

### Exercice 3 (5 points)

On veut rendre autotestable une ROM **basique** de 128 mots de 32 bits. On fera l'hypothèse dans ce qui suit qu'elle se comporte comme un circuit combinatoire pur. On l'équipe ainsi d'un LFSR et d'un MISR initialisables par scan, chacun ayant sa propre chaîne de scan. Le MISR possède une sortie série seulement. On veut aussi pouvoir choisir entre le mode fonctionnel et le mode test.

Q1) - Dessinez l'interface de la ROM (donnez le nombre d'entrées et le nombre de sorties de cette ROM)  
- Donnez le schéma constitué des différents blocs du circuit complet.

Q2) Donnez le polynôme caractéristique du LFSR et du MISR.

Q3) Dessinez le LFSR et le MISR (types 1 pour les deux).

Q4) On veut effectuer le test en plusieurs étapes, pour cela on utilisera la technique de « reseeding » qui consiste à stopper le BIST au bout de  $x$  vecteurs générés pour réinitialiser le LFSR avec une nouvelle valeur, relancer le BIST pour  $y$  cycles, réinitialiser le LFSR etc...

- Donnez la séquence et le nombre de cycles total nécessaire au test de la ROM si  $x=4$  et  $y=8$ .
- Dans le cas général, quel peut être l'intérêt d'utiliser cette technique plutôt que de laisser générer l'ensemble des vecteurs avec une seule initialisation du LFSR ?

### Exercice 4 (5 points)

Soit un LFSR de degré 4 de type 2 (architecture avec xor **interne**).

Q1) Donnez les 3 premiers vecteurs générés lorsque l'initialisation est 0101.

Q2) Qu'est qu'un test exhaustif ?

Q3) Déterminez comment modifier ce LFSR pour qu'il génère une séquence de test exhaustive. Expliquez comment vous faites.

*Vous pourrez par exemple ajouter une porte nor et une porte or au LFSR de base*

Q4) Donnez le schéma de la version scannable de ce LFSR (xors internes)

## Annexe

degré					degré					degré				
1	0				13	4	3	1	0	25	3	0		
2	1	0			14	12	11	1	0	26	8	7	1	0
3	1	0			15	1	0			27	8	7	1	0
4	1	0			16	5	3	2	0	28	3	0		
5	2	0			17	3	0			29	2	0		
6	1	0			18	7	0			30	16	15	1	0
7	1	0			19	6	5	1	0	31	3	0		
8	6	5	1	0	20	3	0			32	28	27	1	0
9	4	0			21	2	0			33	13	0		
10	3	0			22	1	0			34	15	14	1	0
11	2	0			23	5	0			35	2	0		
12	7	4	3	0	24	4	3	1	0	36	11	0		