
Conception en Vue du Test (CVT-DFT) des circuits intégrés digitaux INTRODUCTION



Mounir BENABDENBI
Mounir.Benabdenbi@lip6.fr

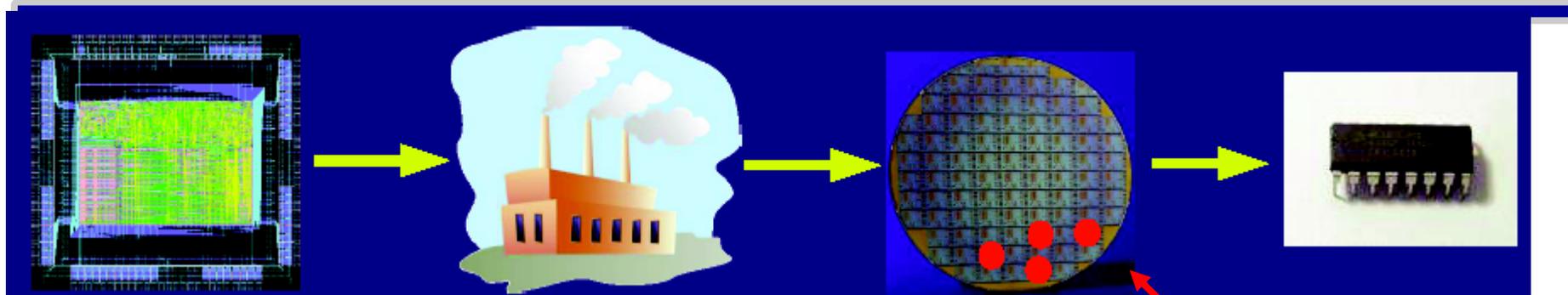


Laboratoire d'Informatique de Paris 6 (LIP6)



DFT: Design for Testability

- Test=test structurel après fabrication (jusqu 'à 50 % du coût total)

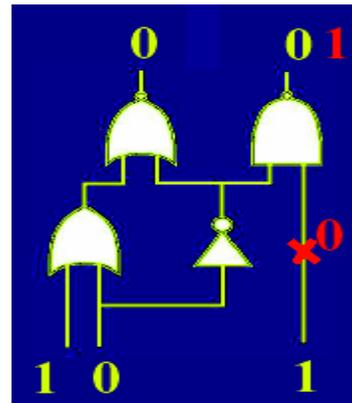


- Pannes franches

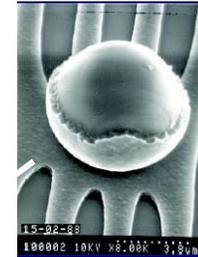
- Methodes de génération des vecteurs de test

- Modification du design pour le rendre testable

=> combinatoire, séquentiel, autotest du circuit



V_i



- Techniques et outils utilisés dans l 'industrie: Tetramax (Synopsys)

DFT des circuits intégrés digitaux

INTRODUCTION

(Généralités)



Mounir BENABDENBI
Mounir.Benabdenbi@lip6.fr



Laboratoire d'Informatique de Paris 6 (LIP6)



Pourquoi tester ?

- **Clauses contractuelles au niveau :**
 - * d'une inspection d'entrée,
 - * de performances de fiabilité
- **Imposé par un environnement de plus en plus compétitif où la qualité des produits et leur fiabilité sont parmi les points importants mis en avant par la clientèle (consommateurs)**

Quand tester ?

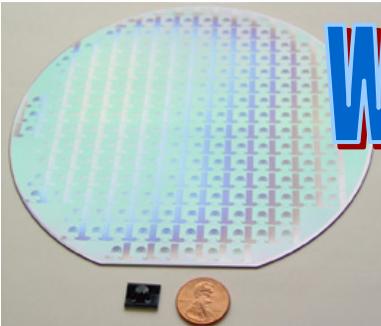
Circuit



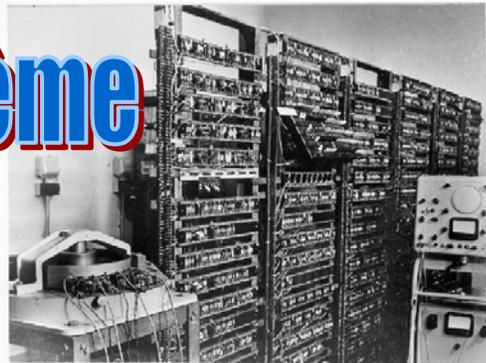
Plaque



Wafer



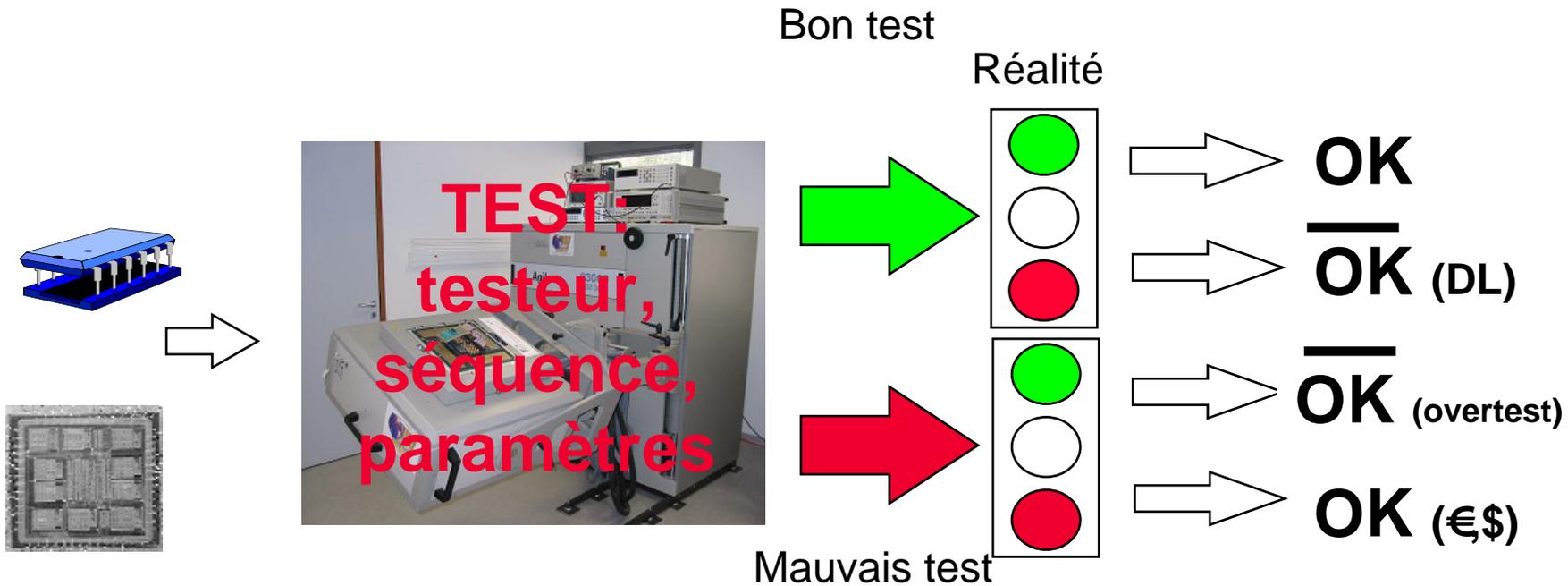
Systeme



Quand tester ?

Dispositif sous test			
Wafer	Boîtier	Plaque	Système
Test du processus technologique	Test paramétrique	Test d'entrée	Test du système
Test des puces	Test logique	Test de la plaque nue	Test en utilisation
	Vieillessement	Test de la plaque montée	
	Test complet sur échantillon	Vieillessement	

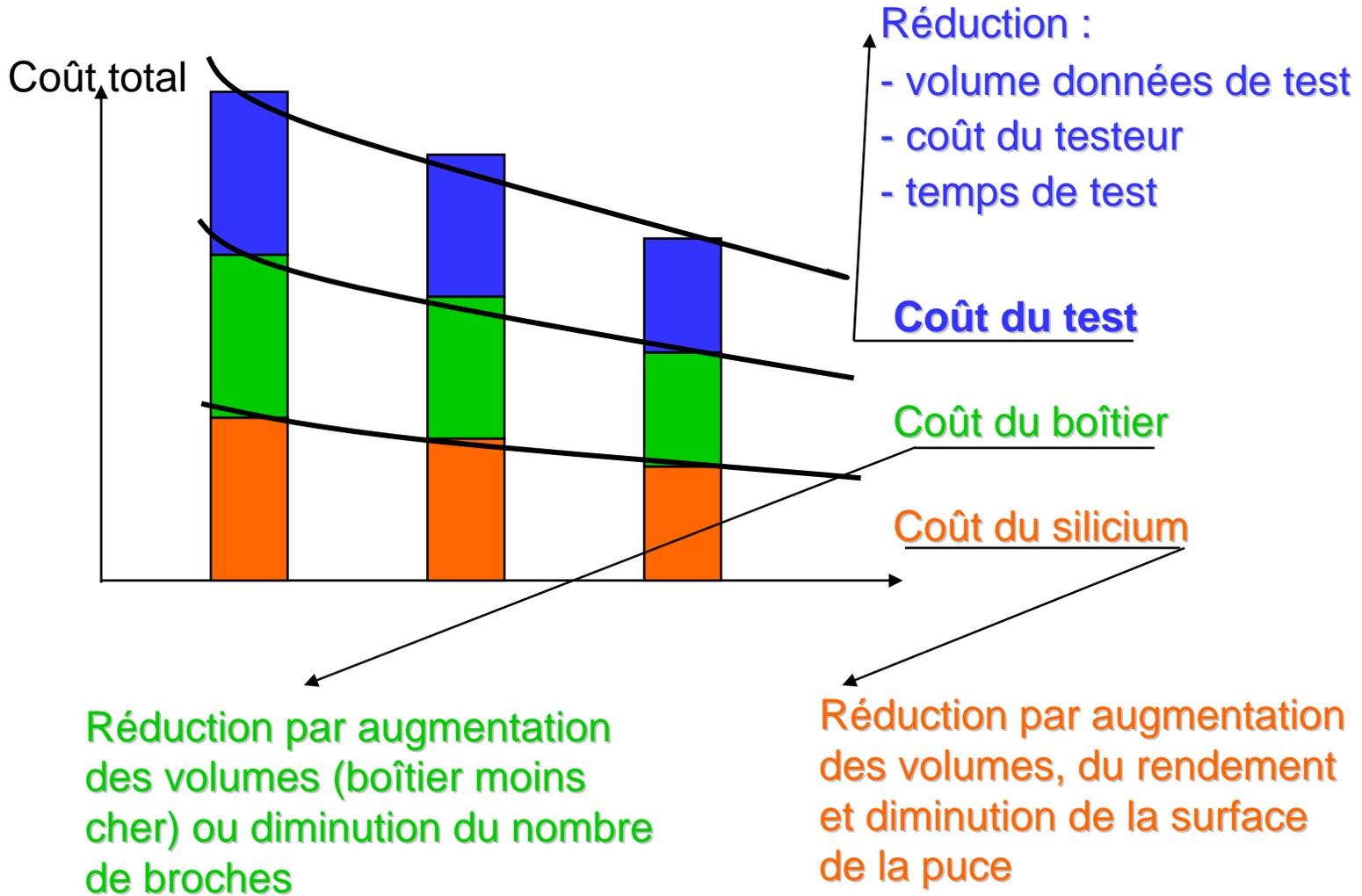
Le test est un filtre



Le test met en œuvre des matériels coûteux



Réduction du coût de production



Définition du test

- Le test est possible quand on peut appliquer un **stimulus connu** à une entité dans un **état connu** et que la **réponse connue** peut être évaluée
- **stimulus connu** : avoir accès aux entrées de l'entité et appliquer une valeur connue

CONTROLABILITE

- **état connu** : déterminisme de l'influence des entrées sur le circuit
- **réponse connue** : avoir accès aux sorties de l'entité et comparer la réponse du circuit à une valeur réputée bonne

OBSERVABILITE

Définitions et terminologie

Quelque chose fait que le système ne fonctionne pas : erreur, faute, panne, défaut, . . .

- * **Erreur** : comportement erroné observé
- * **Faute** : déviation de la structure par rapport aux spécifications
- * **Défaut** : déviation de la réalisation physique par rapport aux spécifications de fabrication
- * **Panne**: mauvais fonctionnement en opération
- * **Test** : détection du défaut
- * **Diagnostic** : détection et localisation du défaut

Test et testabilité des circuits intégrés digitaux

Thématiques vues dans ce cours:

- Défaillances physiques et modélisation de fautes
- Analyse de testabilité
- Génération automatique de vecteurs de test
- Simulation de fautes
- Conception en vue du test
- Test intégré

Défaillances physiques et modélisation de fautes

Mounir BENABDENBI
Mounir.Benabdenbi@lip6.fr

Laboratoire d'Informatique de Paris 6 (LIP6)



Défaillances physiques et modélisation de fautes

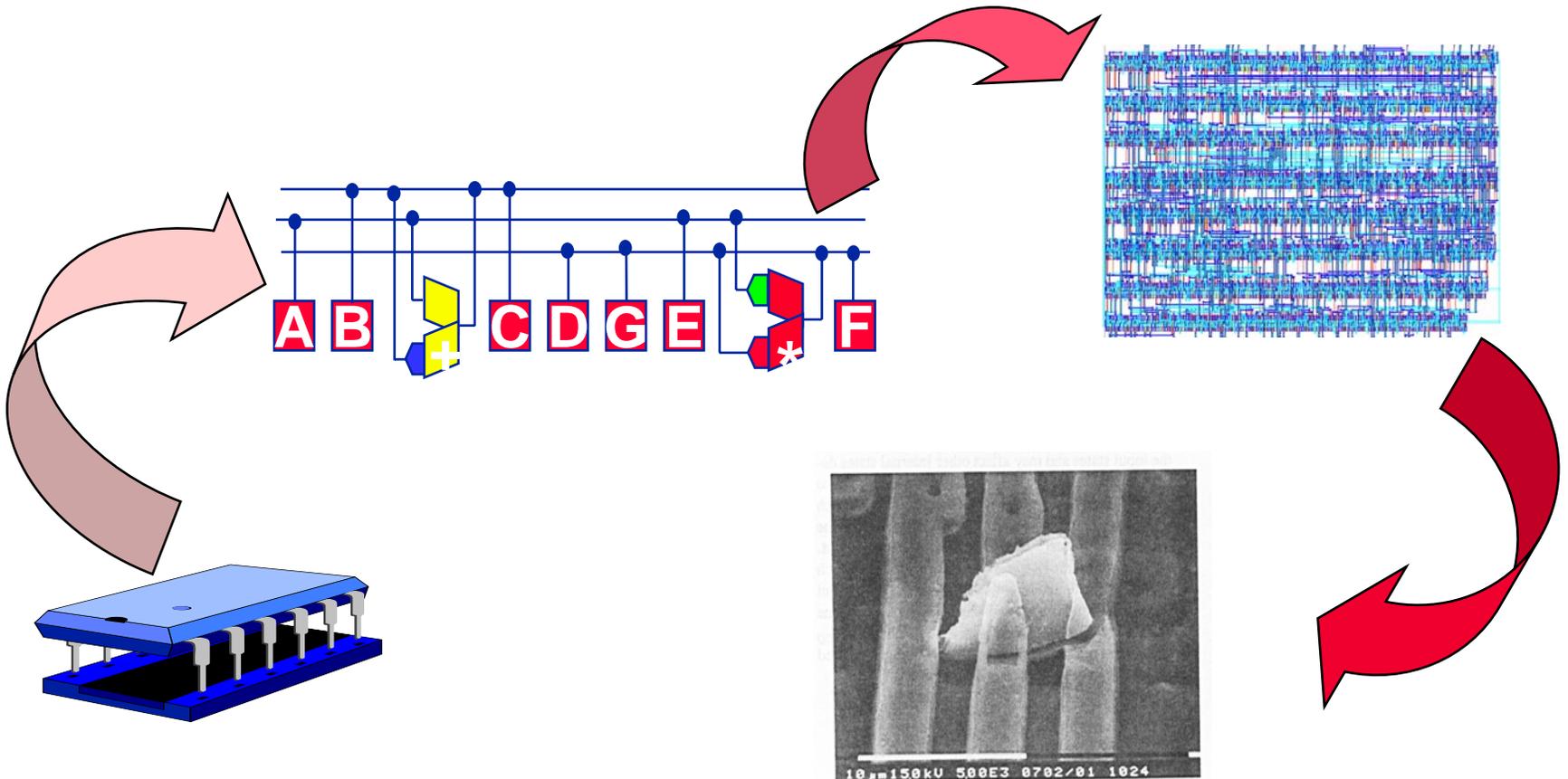
- **Généralités**
- Caractérisation des défauts
- Modélisation des défauts
 - * collage
 - * court circuit
 - * technologie CMOS
 - * fautes de délais
- Equivalence de fautes

Comment obtenir une séquence de test ?

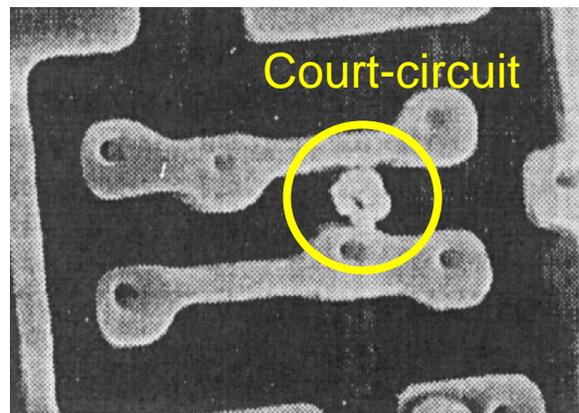
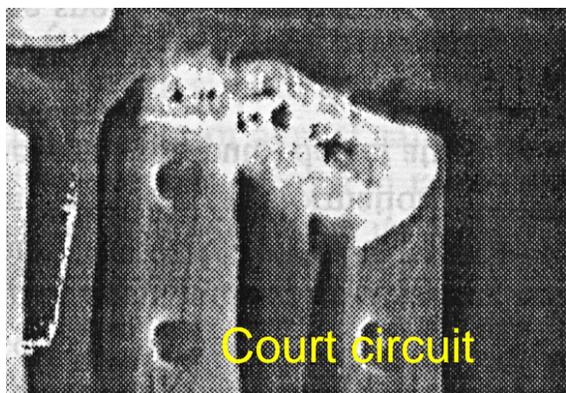
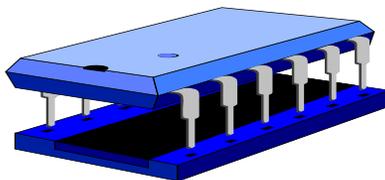
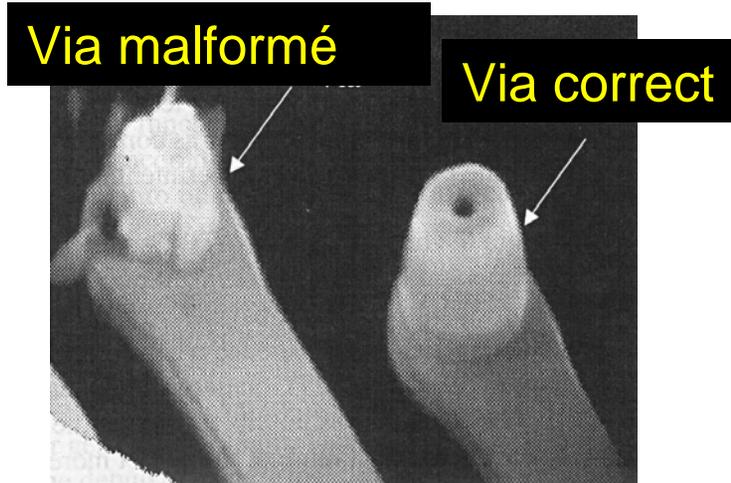
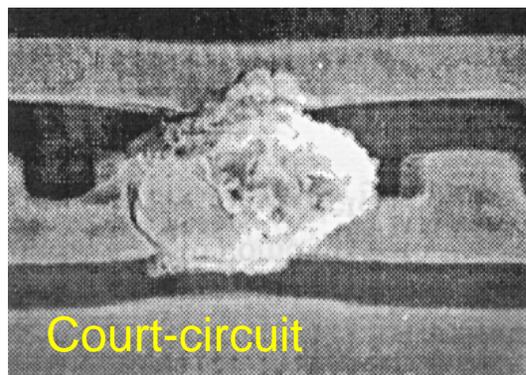
- Utiliser une séquence fonctionnelle produite pour vérifier le fonctionnement par simulation lors de la phase de conception :
 - * facile à trouver,
 - * plus difficile à valider,
 - * encore plus difficile à améliorer.
- Appliquer une séquence exhaustive des entrées
 - * trop long
- Utiliser un modèle de faute, l'appliquer au circuit et essayer de détecter toutes les fautes
 - * validité du modèle (taux de couverture et "defect level")
 - * outils de génération

Quoi tester ?

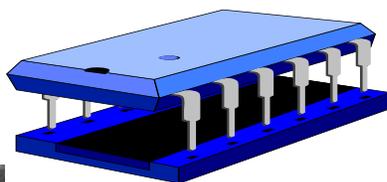
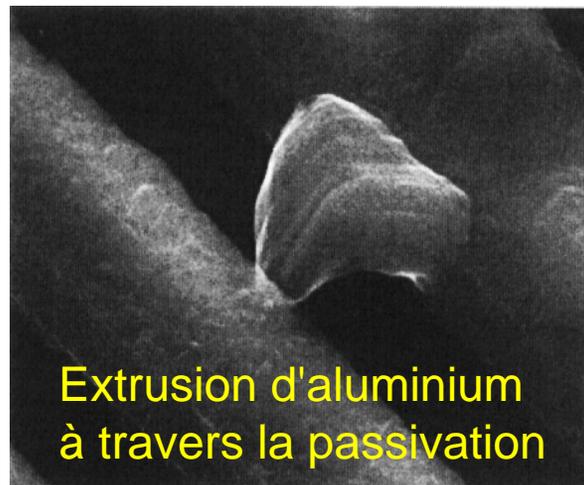
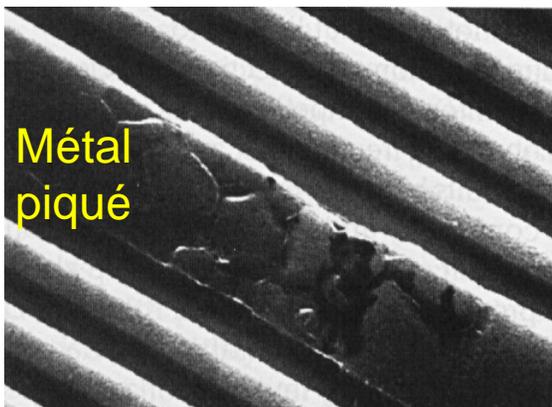
Défaillances dans le processus de fabrication



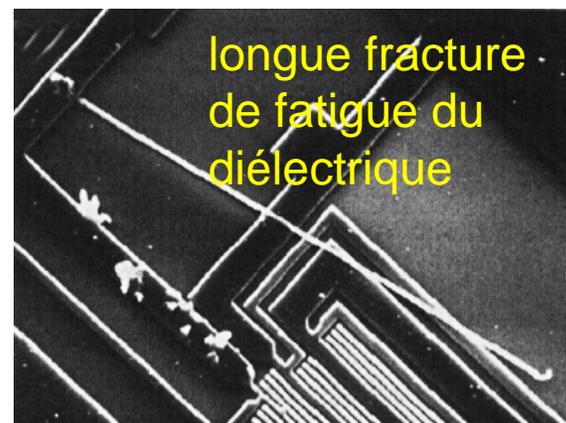
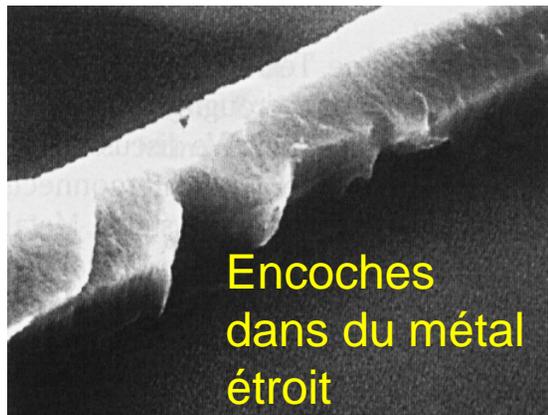
Défaillances dans le processus de fabrication (1)



Défaillances dans le processus de fabrication (2)



Phénomènes d'électromigration



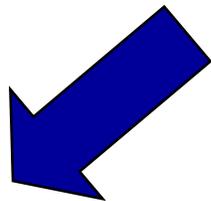
Défaillances physiques et modélisation de fautes

- Généralités
- **Caractérisation des défauts**
- Modélisation des défauts
 - * collage
 - * court circuit
 - * technologie CMOS
 - * fautes de délais
- Equivalence de fautes

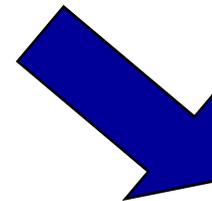
Caractérisation des défauts

Mécanismes de défaillance

- Défauts du wafer (contamination, micro-crevasse)
- Erreurs humaines (interactions humaines avec le processus de production)
- Défaillance d'équipements (utilisation de maintenance préventive)
- Impact de l'environnement (contaminations diverses, vibrations, ..)
- Instabilités du processus technologique de production



DEFAUTS GLOBAUX

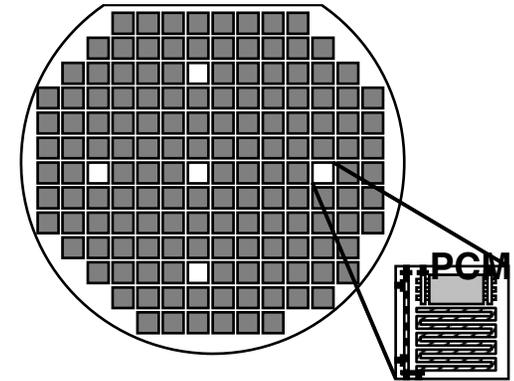


DEFAUTS LOCAUX

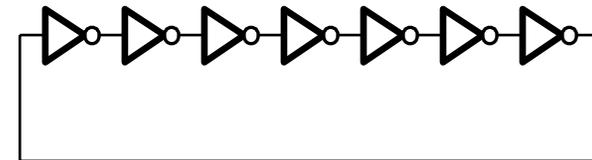
Caractérisation des défauts

Monitoring des défauts globaux

- utilisation de PCM ("Process Control Monitor")
 - * composés de structures de base (transistors, lignes de conducteur, chaîne de vias, ...)
 - * distribués sur le wafer (éventuellement placés sur les lignes de découpe)



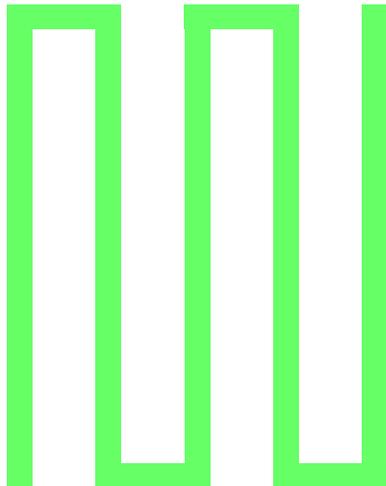
- utilisation d'oscillateur en anneau
 - * monitoring de paramètres de haut niveau
 - * fréquence d'oscillation fonction des paramètres de plus bas niveau du processus technologique



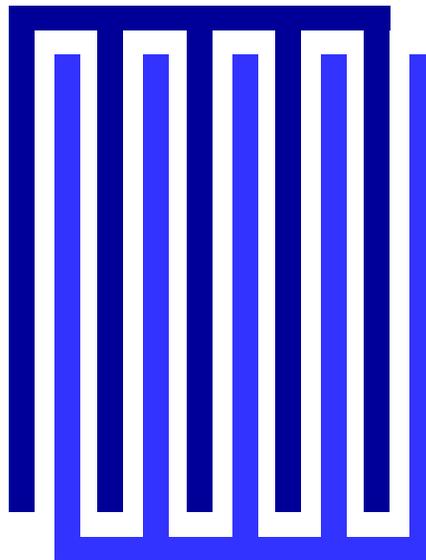
Caractérisation des défauts

Monitoring des défauts locaux

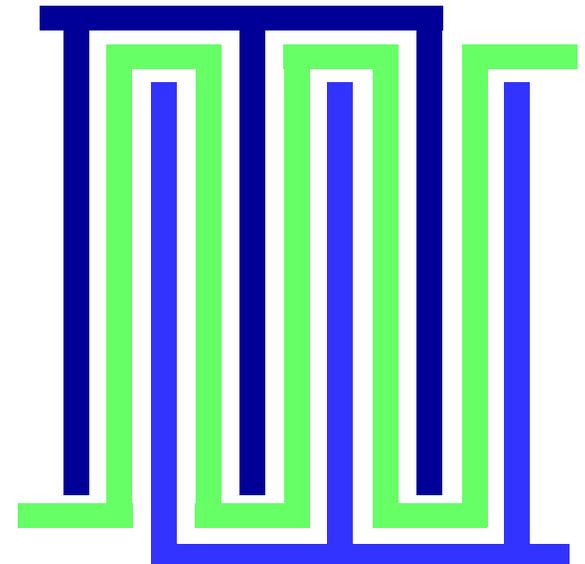
- Monitoring en ligne par inspection à différentes étapes du processus de fabrication (surfscan, réflectométrie, évaluation d'image, ...)
- Moniteurs d'oxyde de grille (combinaison de condensateurs de différentes formes et tailles, mesure de courant de fuite et de capacités)
- Moniteurs d'interconnexions



Méandre



Double peigne



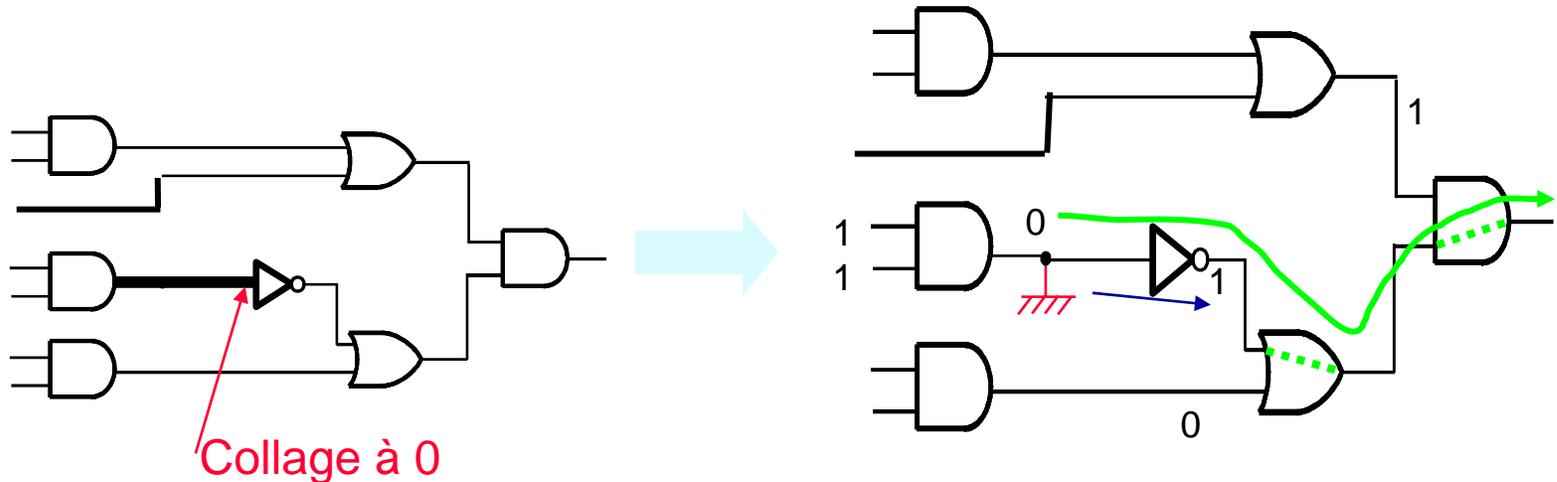
Méandre+ peignes

Défaillances physiques et modélisation de fautes

- Généralités
- Caractérisation des défauts
- **Modélisation des défauts**
 - * collage
 - * court circuit
 - * technologie CMOS
 - * fautes de délais
- Equivalence de fautes

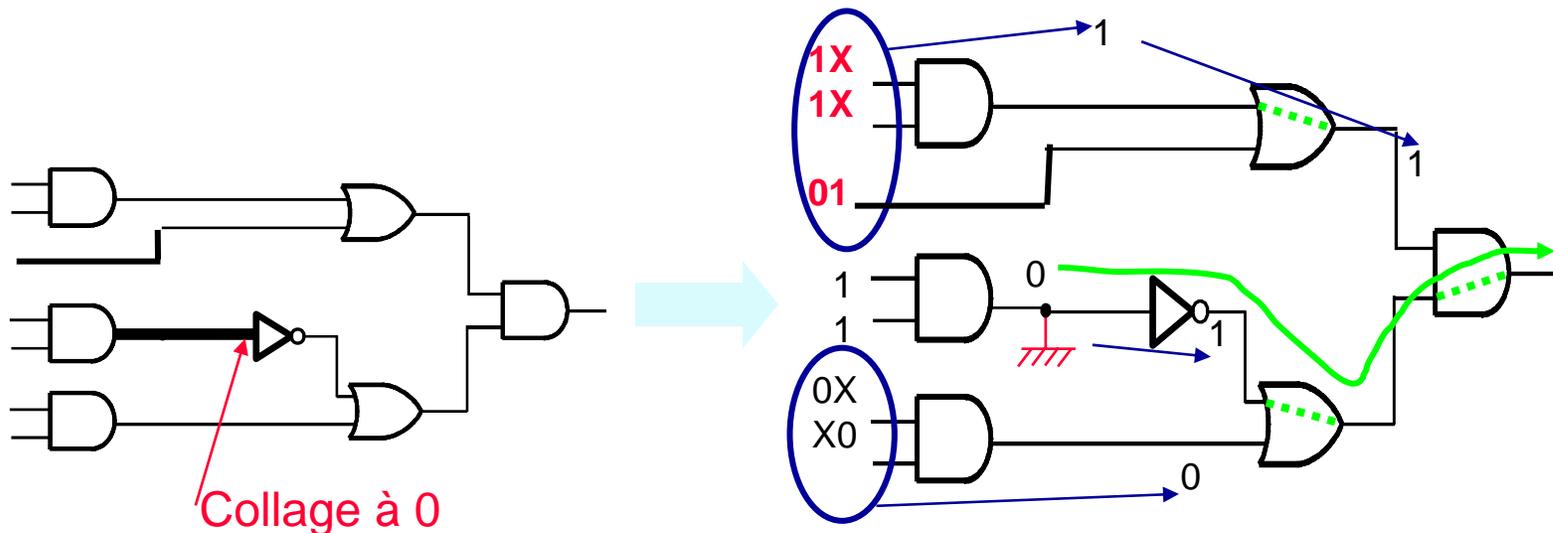
Le modèle de collage (simple)

- Avec le modèle de collage, une (et une seule) ligne de la description est collée de manière permanente à la valeur 0 ou à la valeur 1



Le modèle de collage (simple)

- Avec le modèle de collage, une (et une seule) ligne de la description est collée de manière permanente à la valeur 0 ou à la valeur 1



Le modèle de collage

Principales caractéristiques et avantages

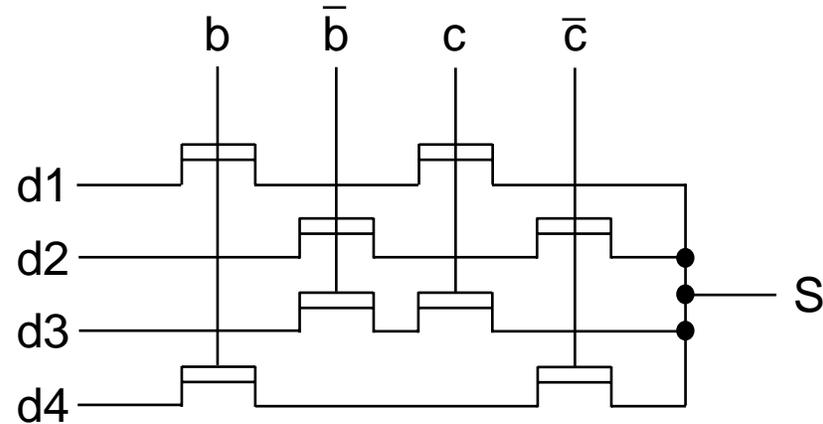
- Il permet de représenter de nombreux défauts physiques différents
- Il est indépendant de la technologie
- Il permet d'utiliser l'algèbre booléenne pour trouver les vecteurs de test
- Les vecteurs de test générés avec ce modèle de collage détectent aussi d'autres défauts
- L'ensemble des fautes obtenu avec ce modèle est limité
- Le taux de couverture (TC) associé à ce modèle de fautes est une métrique admise entre fournisseurs et clients

$$TC = \frac{\text{Nbre de fautes détectées}}{\text{Nbre de fautes total}}$$

Inadaptation du modèle de collage

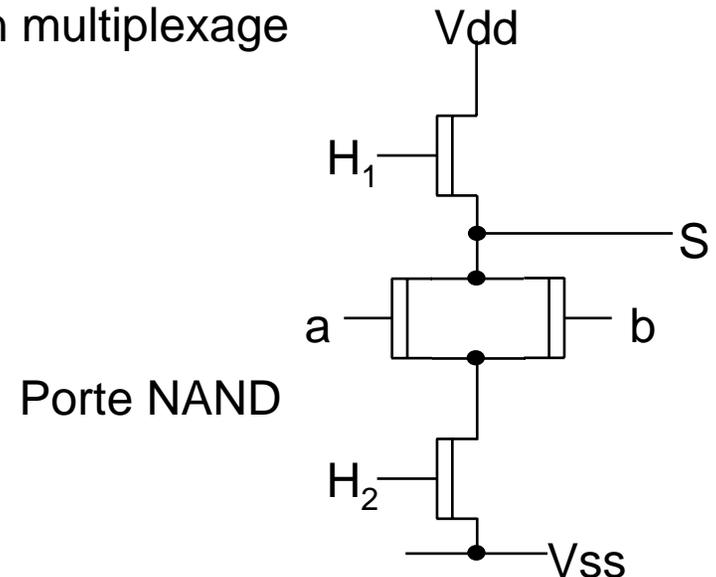
Problèmes dus à la modélisation au niveau porte

- Utilisation du transistor interrupteur dans une logique à relais



Fonction multiplexage

- Utilisation de logique dynamique



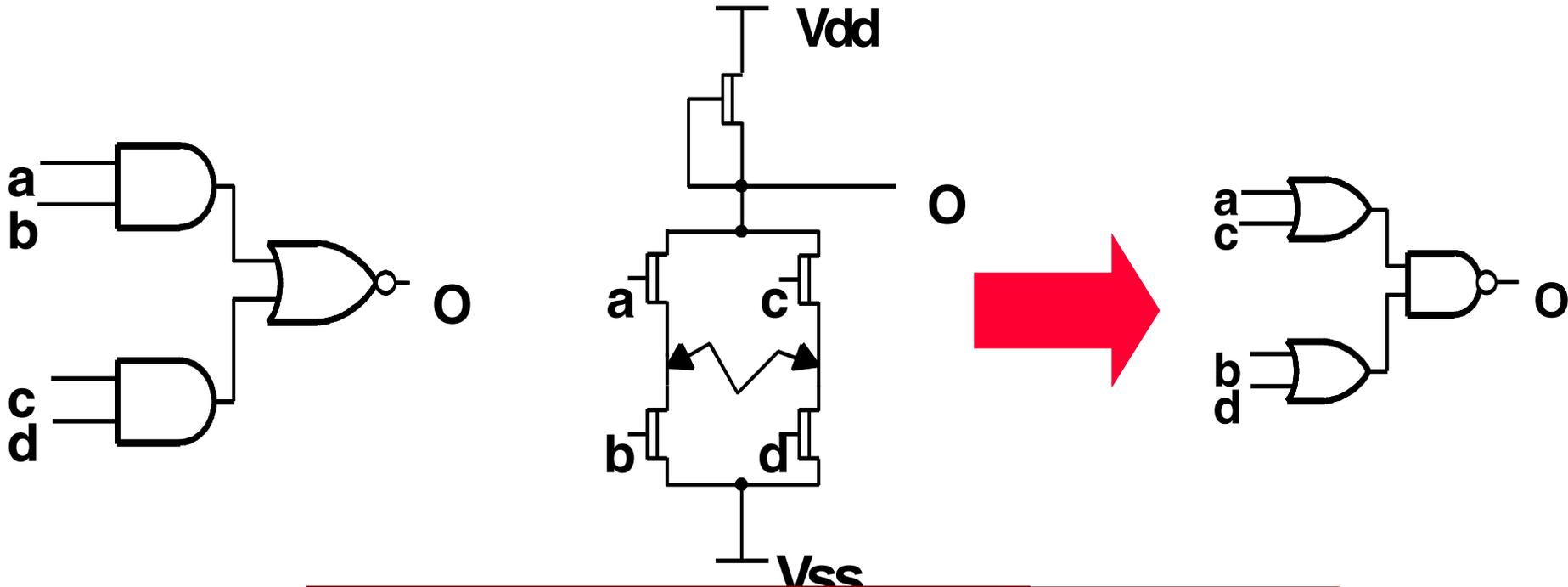
Inadaptation du modèle de collage

Problèmes dus à la nature des défauts

- Les conséquences électriques principales des défauts physiques dans les technologies CMOS se manifestent le plus souvent par des courts-circuits et des circuits ouverts
- Ces perturbations peuvent entraîner des dysfonctionnements du circuit tels que :
 - * modifications de la fonction logique réalisée par le circuit,
 - * effet mémoire
 - * comportement analogique
- Dans la plupart des cas, ces dysfonctionnements ne sont pas modélisables par des fautes de collage

Inadaptation du modèle de collage

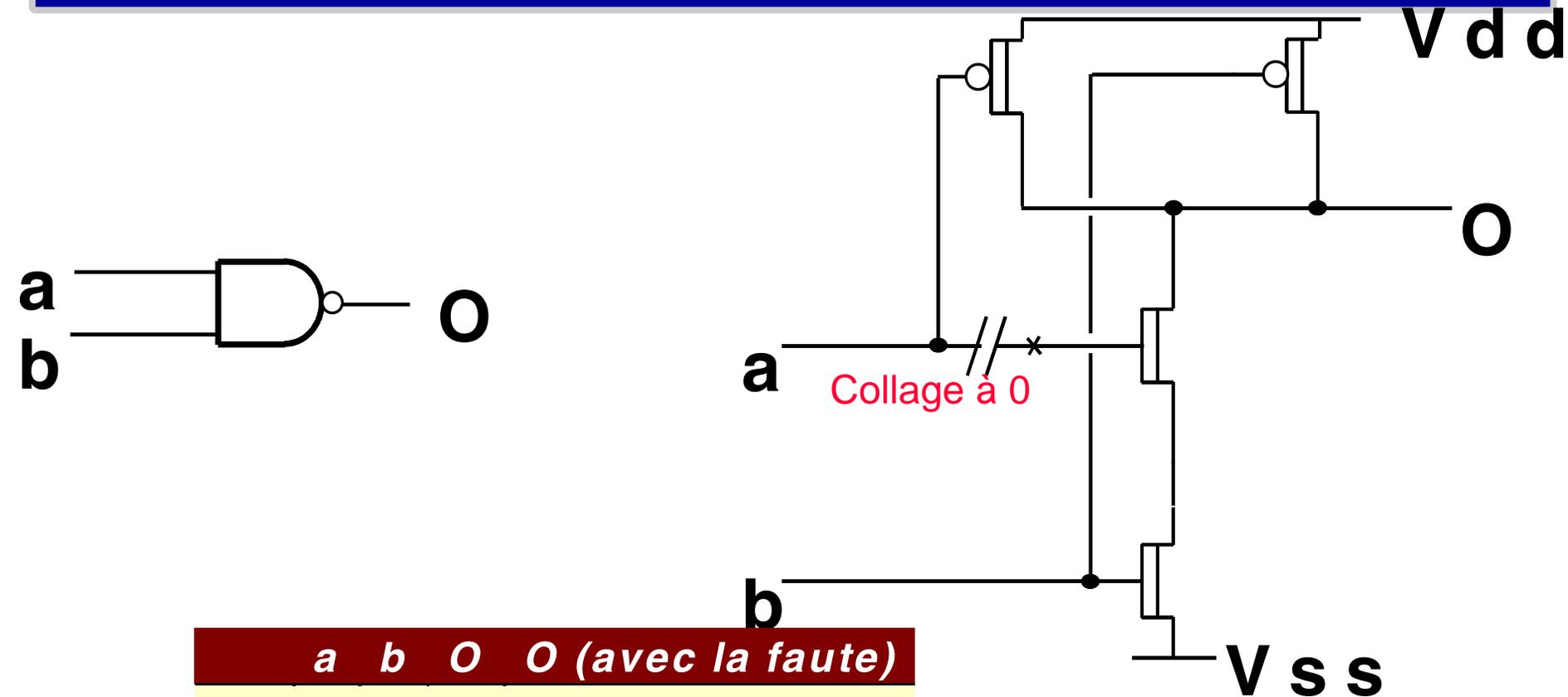
Modification de la fonction logique



<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>O</i>	<i>Collage détectés</i>	<i>O (avec le CC)</i>
0	1	0	1	1	Sa1(a) Sa1(c)	1
1	0	1	0	1	Sa1(b) Sa1(d)	1
1	1	0	X	0	Sa0(a) Sa0(b)	0
0	X	1	1	0	Sa0(c) Sa0(d)	0

Inadaptation du modèle de collage

Effet Mémoire



	<i>a</i>	<i>b</i>	<i>O</i>	<i>O (avec la faute)</i>
<i>V1</i>	0	0	1	1
<i>V2</i>	0	1	1	1
<i>V3</i>	1	0	1	1
<i>V4</i>	1	1	0	?

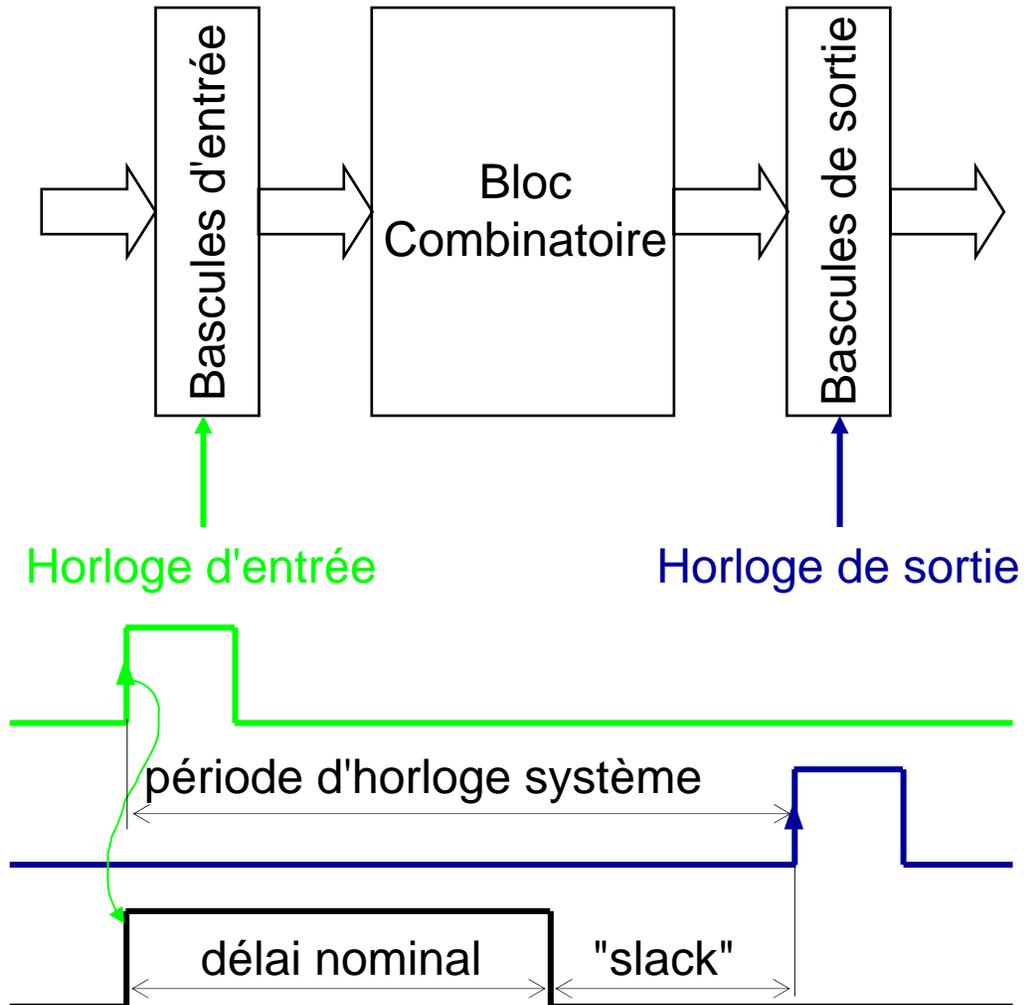
Fautes de délais

Définitions

- Du fait de structures plus complexes et de vitesse d'opération plus élevées, les fautes de délais prennent de plus en plus d'importance
- Lorsqu'un circuit fonctionne à une certaine fréquence et présente un dysfonctionnement à fréquence plus élevée, on dit qu'il est le siège d'une faute de délai
- Le test d'une faute de délai nécessite l'application de deux vecteurs afin de provoquer une transition au site de la faute et de propager l'erreur vers les sorties primaires

Fautes de délais

Définitions



Défaillances physiques et modélisation de fautes

- Généralités
- Caractérisation des défauts
- Modélisation des défauts
 - * collage
 - * court circuit
 - * technologie CMOS
 - * fautes de délais
- **Equivalence de fautes**

Equivalence de fautes

Définitions

- Soit $T(f_i)$ l'ensemble de tous les tests qui détectent la faute f_i
- Deux fautes f_i et f_j sont équivalentes si et seulement si
$$T(f_i) \equiv T(f_j)$$
- Tout test qui détecte f_i détecte f_j et vice-versa

