
TECHNIQUES DE CONCEPTION EN VUE DU TEST DFT «Design for Testability»

Mounir BENABDENBI
Mounir.Benabdenbi@lip6.fr

Laboratoire d'Informatique de Paris 6 (LIP6)



Conception en vue du test

Pourquoi ?

- s'assurer qu'un circuit (ou système) est testable (aspects technique et financier)
- coût du test
 - génération automatique de vecteurs de test
 - simulation de fautes
 - testeur (ATE), équipement de test (investissement)
 - temps de test (temps effectif sur le testeur)

Conception en vue du test

Les objectifs

- réduire le temps d'introduction sur le marché («time to market»)
 - en rendant plus facile (voire automatisable) la phase de production de vecteurs de test
- réduire le coût du test
 - en générant des ensembles de test plus réduits
- améliorer la qualité du test
 - en augmentant le taux de couverture

Conception en vue du test

Un passage obligé

Carte de route ITRS (aspect technologie)

<http://public.itrs.net/>

	1995	2001	2010
Technologie (micron)	0,35	0,18	0,07
Nombre de transistors (millions)	1	10	100
Fréquence d'horloge (MHz)	300	600	1100
Nombre d'E/S	900	2000	4800
Taille de la puce (mm²)	450	750	1400
Pourcentage de circuits avec DFT/BIST (%)	25	50	90

<http://public.itrs.net/>

Conception en vue du test

Un passage obligé

Carte de route SIA (aspect test)

	1995	2001	2010
Vitesse du test (M B/s)	125	225	550
Longueur de la séquence de test (millions)	4	8	2
Standardisation des logiciels de test (%)	0	25	90
Testeurs avec option de test analogique (%)	20	100	100
Coût du test en caractérisation (k\$/pin)	14	5	1,5
Coût du test en production (k\$/pin)	3,3	1,3	0,4

Conception en vue du test

- Techniques «Ad-hoc»
 - règles de bon sens
 - issues de l'expérience
- Techniques structurées
 - facilitent l'accès aux points internes de mémorisation
 - standard pour le test de cartes et systèmes
 - automatisable à la fois dans la procédure d'insertion de chaînes de scan que dans la génération de vecteurs de test

En général, l'approche adoptée est une combinaison des deux techniques

Techniques «Ad-hoc»

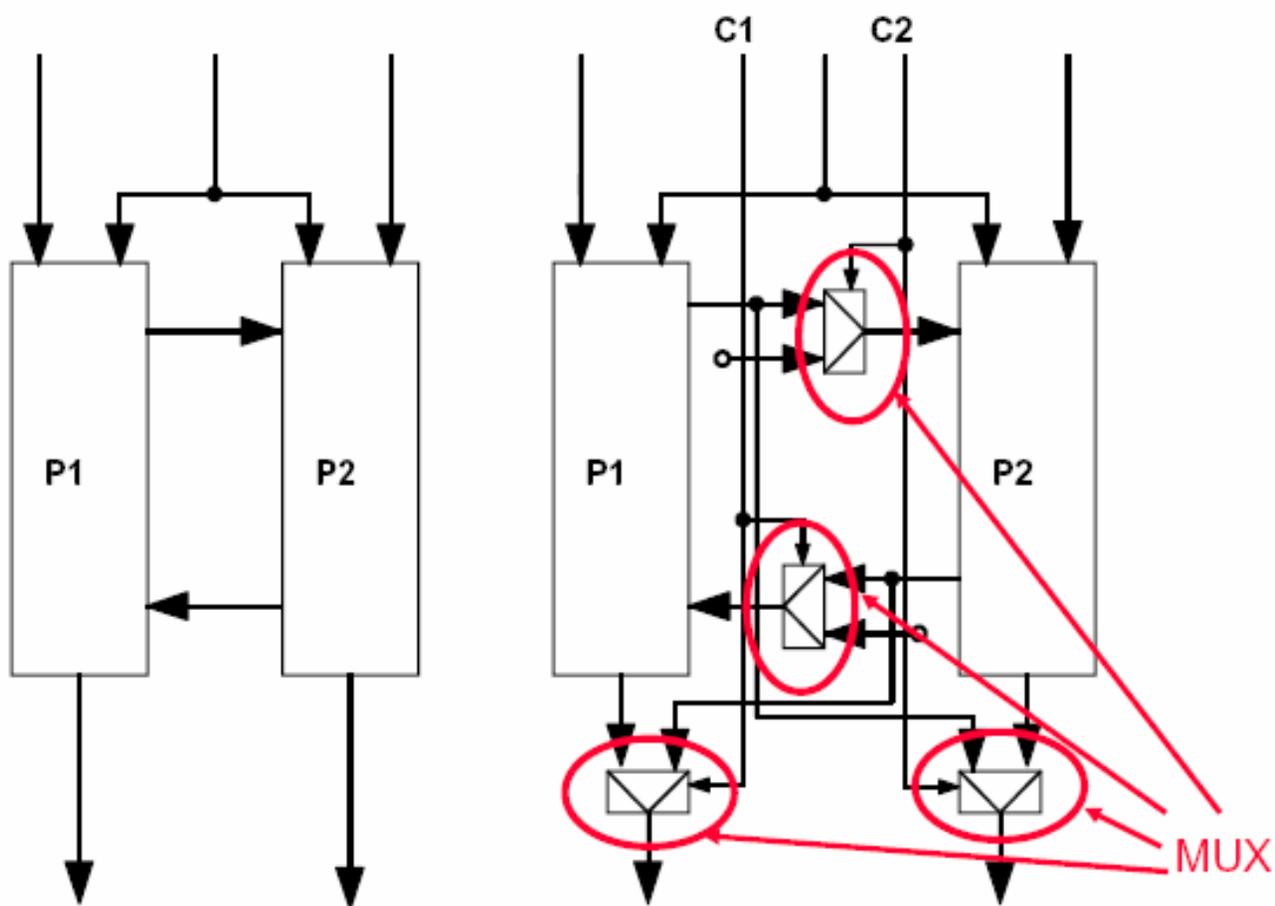
- initialisation des points mémoire
- partitionnement logique
- isolation de l'horloge
- insertion de points de test
- faciliter l'accès aux bus
- rendre les circuits facilement initialisables
- polariser les bus trois états

- éviter les circuits asynchrones

Partitionnement logique

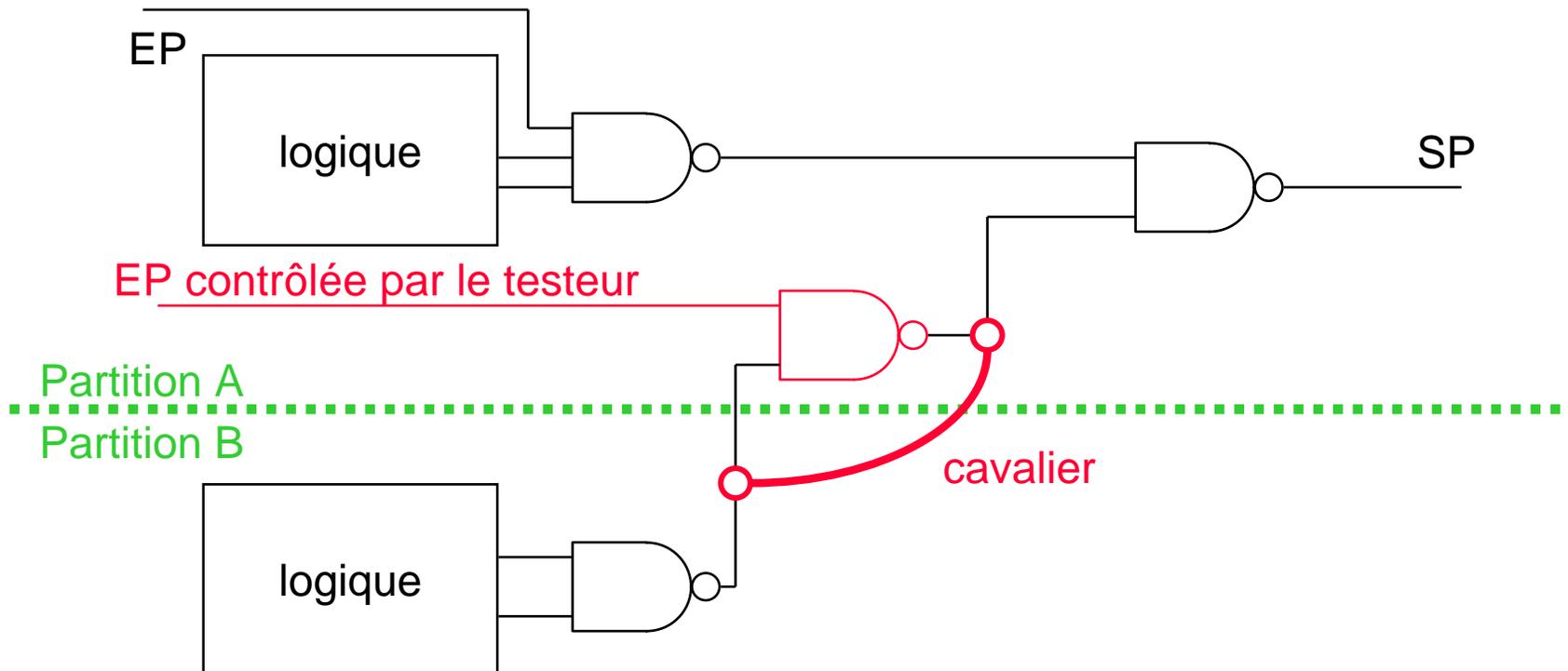
- Temps CPU des outils logiciels de génération de vecteurs de l'ordre de G^n (G nombre de portes et $2 < n < 3$)
- 1h CPU pour 1000 portes 10000 h CPU pour 100 000 portes
- approche «**diviser pour régner**»
 - p partitions de G/p portes
 - ex : circuit original $G = 10000$
⇒ temps CPU : $G^2 = 10^8$
2 partitions G_1 et G_2 de 5000 portes
⇒ temps CPU : $G_1^2 + G_2^2 = 5 \cdot 10^7$
⇒ 2 fois moins long
 - gain de p^{n-1} fois ($p \times (G/p)^n$ comparé à G^n) pour le temps de test
 - partition en parties logiquement indépendantes

Partitionnement logique d'un circuit



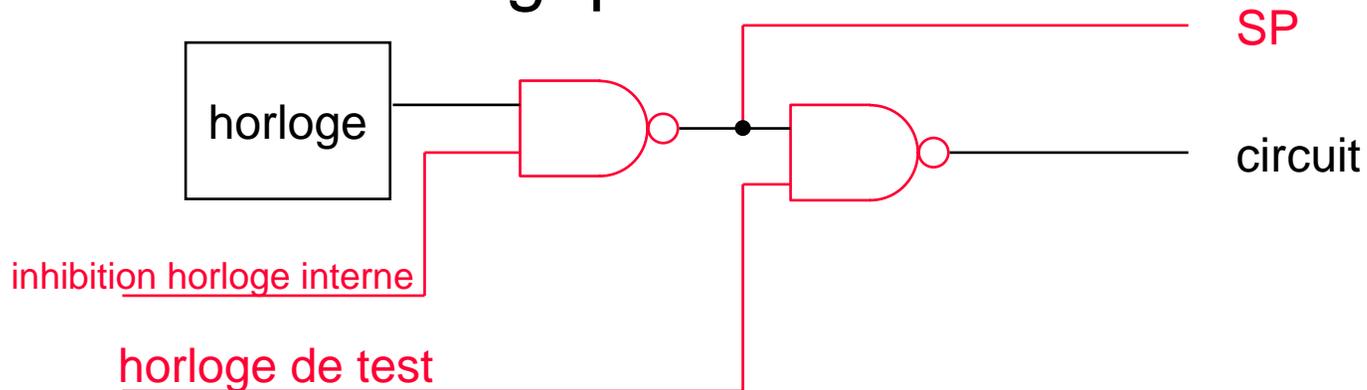
Partitionnement matériel

- utilisation de cavaliers (carte)
- utilisation de portes d'isolation

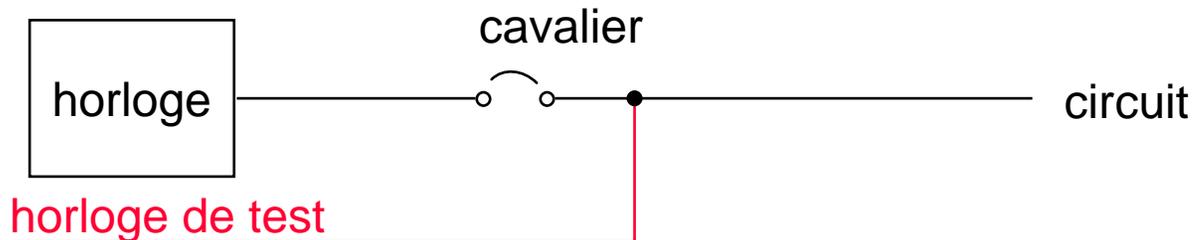


Isolation de l'horloge

■ Isolation logique

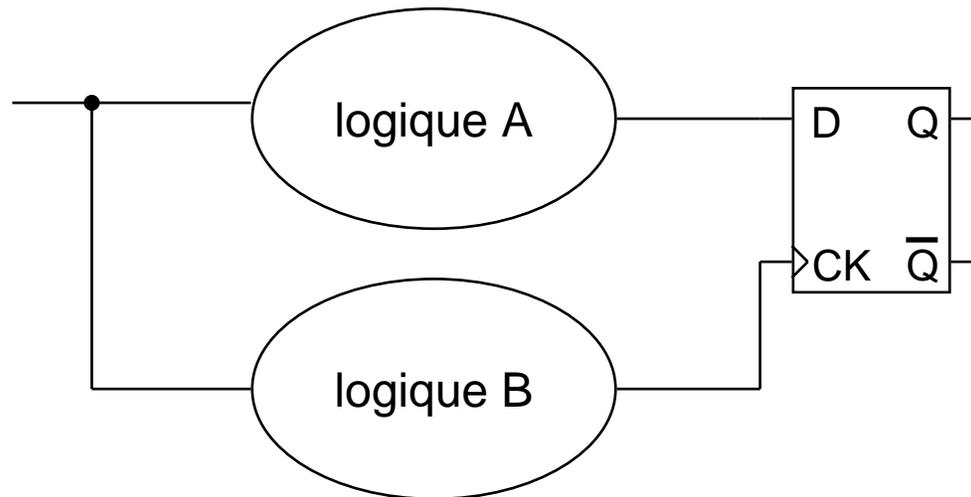


■ isolation matérielle



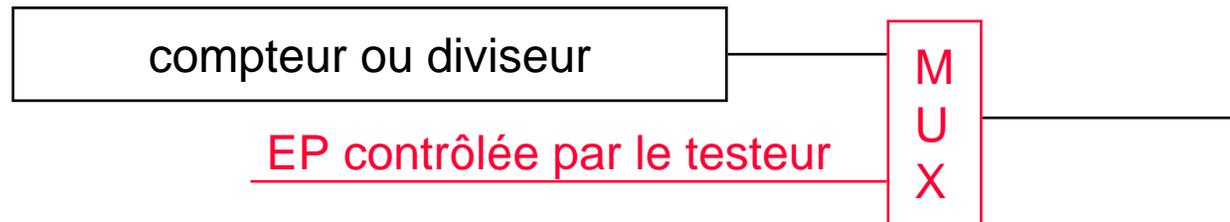
Courses critiques

- horloge et donnée générées par le même signal
- séquençement fonction des délais dans les logiques A et B (dépendants de la vitesse d'horloge et des variations du processus de fabrication)
- résultats imprévisibles

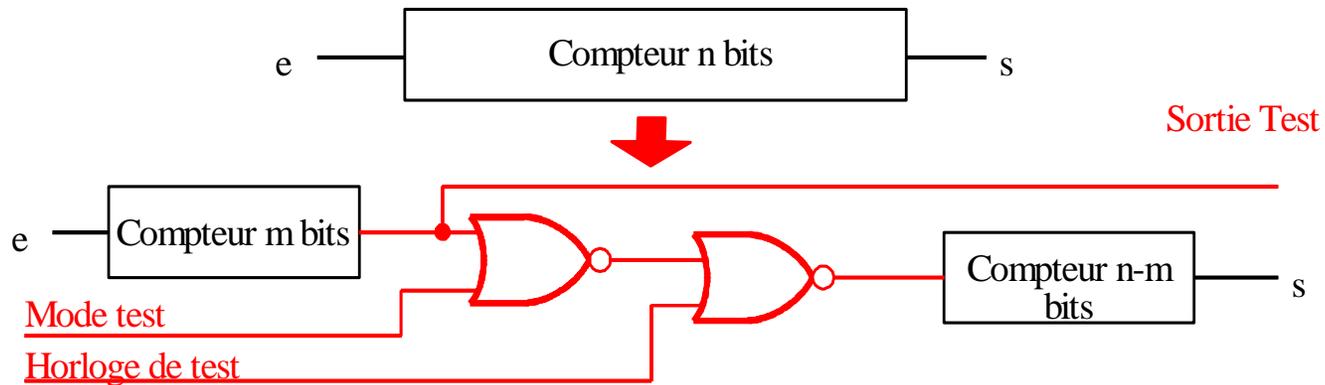


Contournement de compteurs

- les longs compteurs et diviseurs de fréquence augmentent la complexité séquentielle
 - exemple : un diviseur de fréquence par 32 nécessite 32 impulsions pour un cycle d'horloge
- particulièrement inefficace pour les ATPG et les testeurs
- solution : multiplexer la sortie avec un signal plus facile à contrôler



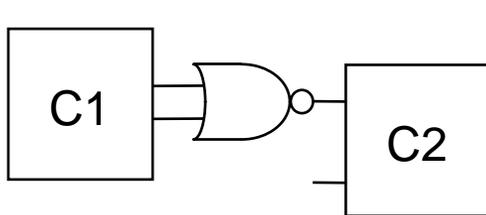
Partitionnement de compteur



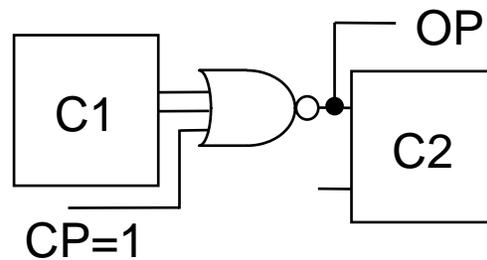
- Le compteur d'origine nécessite 2^n cycles d'horloge pour son test
- Partitionnement en compteurs m bits (classiquement $m=4$)

Insertion de points de test

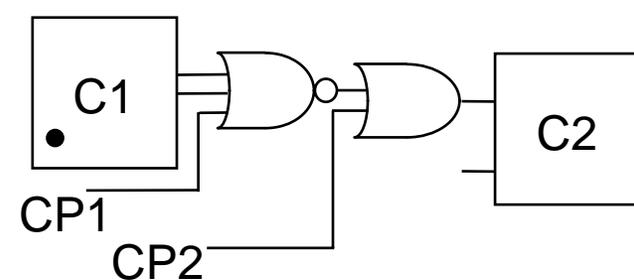
- amélioration de la contrôlabilité et de l'observabilité
 - réduction du nombre de vecteurs
 - amélioration du diagnostic
- augmentation du nombre d'E/S
- plots supplémentaires



Circuit original

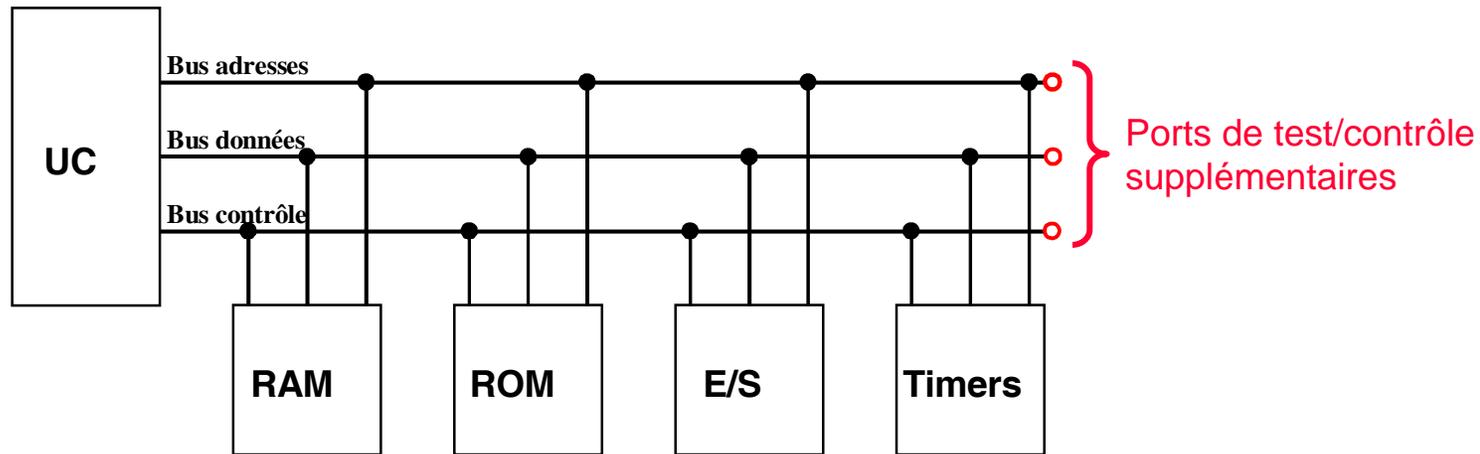


injection-0 et observabilité



injection-0/1

Insertion de points de test exemple simple



■ Procédure de test (exemple)

- 1 Mettre tous les drivers de bus en haute impédance et tester les bus (fautes de collage et courts-circuits)
- 2. Mettre les drivers de bus de l'unité centrale (UC) en haute impédance et tester individuellement les mémoires (RAM et ROM), les entrées/sorties et les timers.
- 3. Mettre les drivers de bus de toutes les entités sauf l'unité centrale en haute impédance et tester l'unité centrale.
- 4. Tester fonctionnellement le calculateur complet à la vitesse nominale en utilisant des programmes de test ad-hoc

Insertion de points de test

Où ?

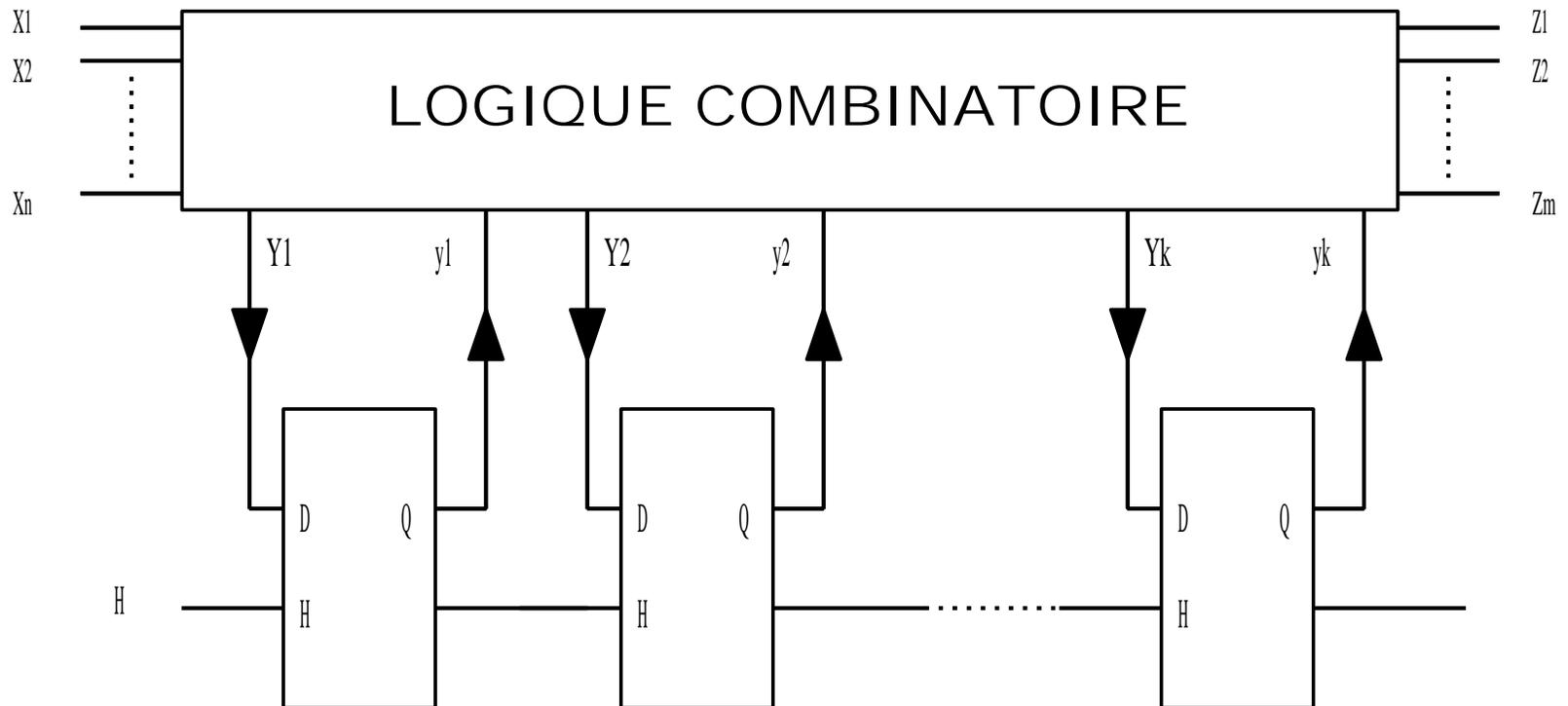
■ **Contrôlabilité**

- entrées de sous-ensembles difficilement contrôlables
- entrées d'initialisation des éléments de stockage
- contrôle trois états
- contrôle de multiplexeurs
- enable et R/W des mémoires
- boucles de retour
-

■ **Observabilité**

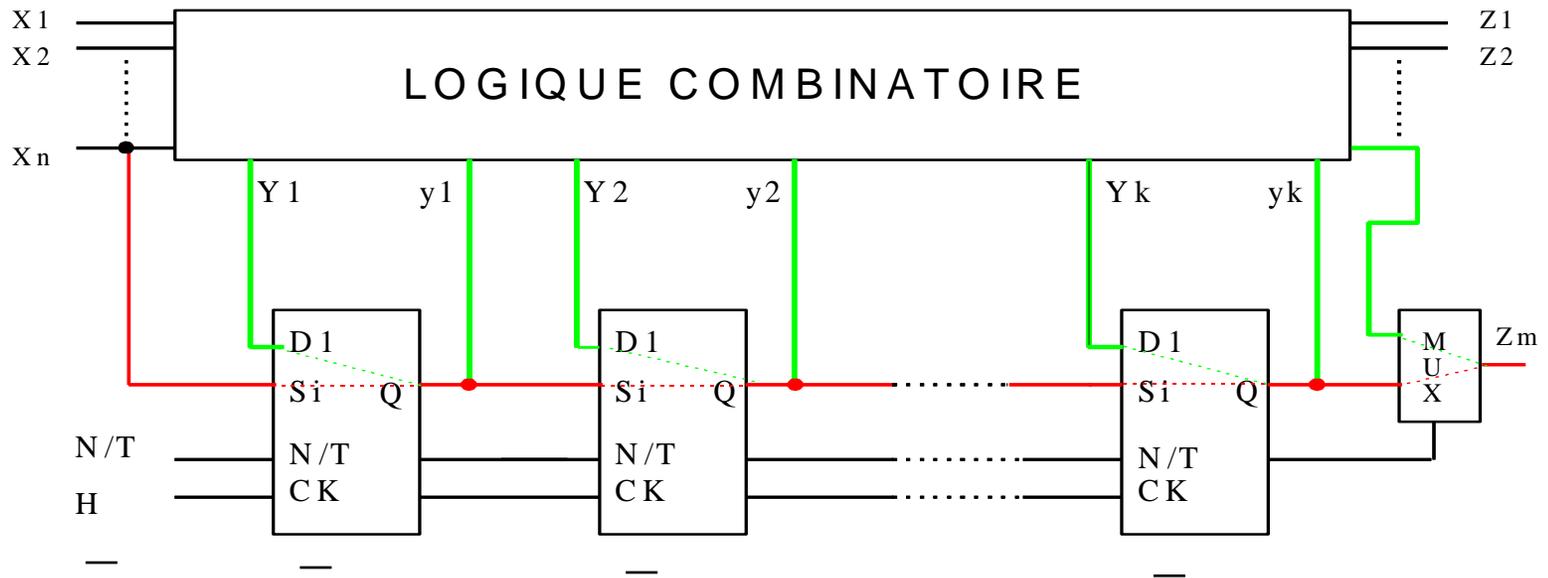
- sorties de sous-ensembles difficilement observables
- lignes de contrôle inaccessibles
- sortie série de registres à décalage
- boucles de retour
- lignes d'horloge
- lignes logiquement redondantes
-

Le «Scan Path» la structure de départ



Le «Scan Path»

La nouvelle structure



— Chaîne de Scan

— Fonctionnement normal

- **Modification des bascules**
- **Création d'un registre à décalage (chaîne de scan) permettant une observabilité et une contrôlabilité totales de tous les nœuds de mémorisation**

Le «Scan Path»

Modification des bascules

- Bascule à entrée de données multiplexée

(MD-FF: Multiplexed Data Flip-Flop)

- Bascule à deux ports d'entrée et horloges duales

(2P-FF: Two-Port Dual-Clock Flip-Flop)

- Latch à entrée de données multiplexée

(MD-SRL: Multiplexed-Data Shift Register Latch)

- Latch à deux ports d'entrée et horloges duales

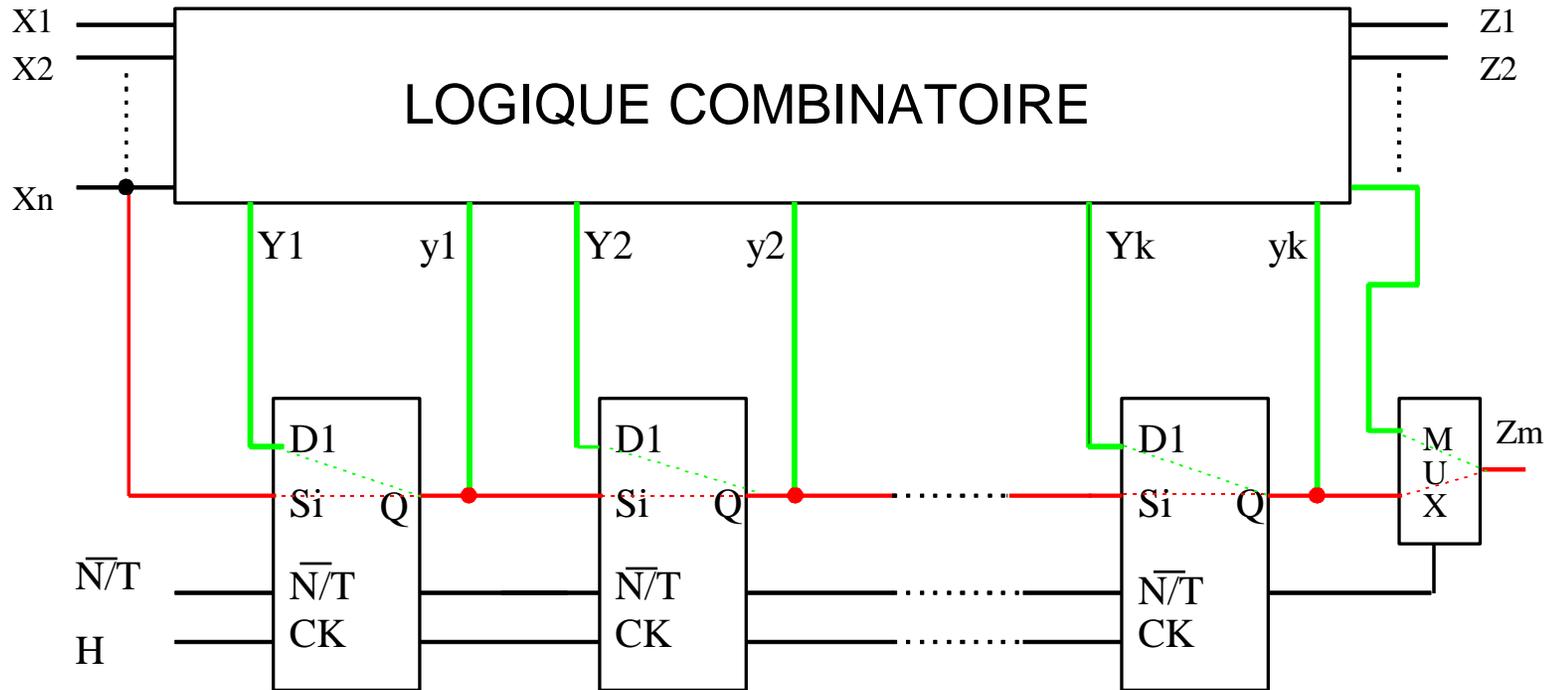
(2P-SRL: Two-Port Shift Register Latch)

Le «Scan Path» : Priorité d'opération des bascules scan

- Les données entrées en série dans la chaîne de scan ne doivent pas être polluées lors du décalage
- Le mode de scan doit donc être prioritaire vis à vis des modes tels que "set", "reset", "hold", ...
- Possibilité d'avoir des bascules "immunes" dans la bibliothèques de cellules
- Sinon prévoir des portes supplémentaires pour réaliser cette protection

Le «Scan Path»

La nouvelle structure



— Chaîne de Scan

— Fonctionnement normal

Le «Scan Path»

Procédure de Test

- 0) Test de la chaîne de scan (séquence de k fois 01)
- 1) positionner le circuit en mode test ($\bar{N}/T=1$),
- 2) entrer par décalage le vecteur de test $\{y_1, \dots, y_k\}$ à l'intérieur des bascules,
- 3) positionner les valeurs de test correspondantes sur les entrées primaires X_i ,
- 4) positionner l'entrée (\bar{N}/T) à la valeur logique zéro et après un temps nécessaire à la stabilisation des sorties de la partie combinatoire vérifier les différentes sorties Z_k ,
- 5) appliquer une impulsion d'horloge sur l'entrée H,
- 6) positionner l'entrée (\bar{N}/T) à la valeur logique 1 et sortir en série le contenu du registre à décalage (des bascules) par l'intermédiaire de la sortie Z_m et le comparer avec les résultats attendus

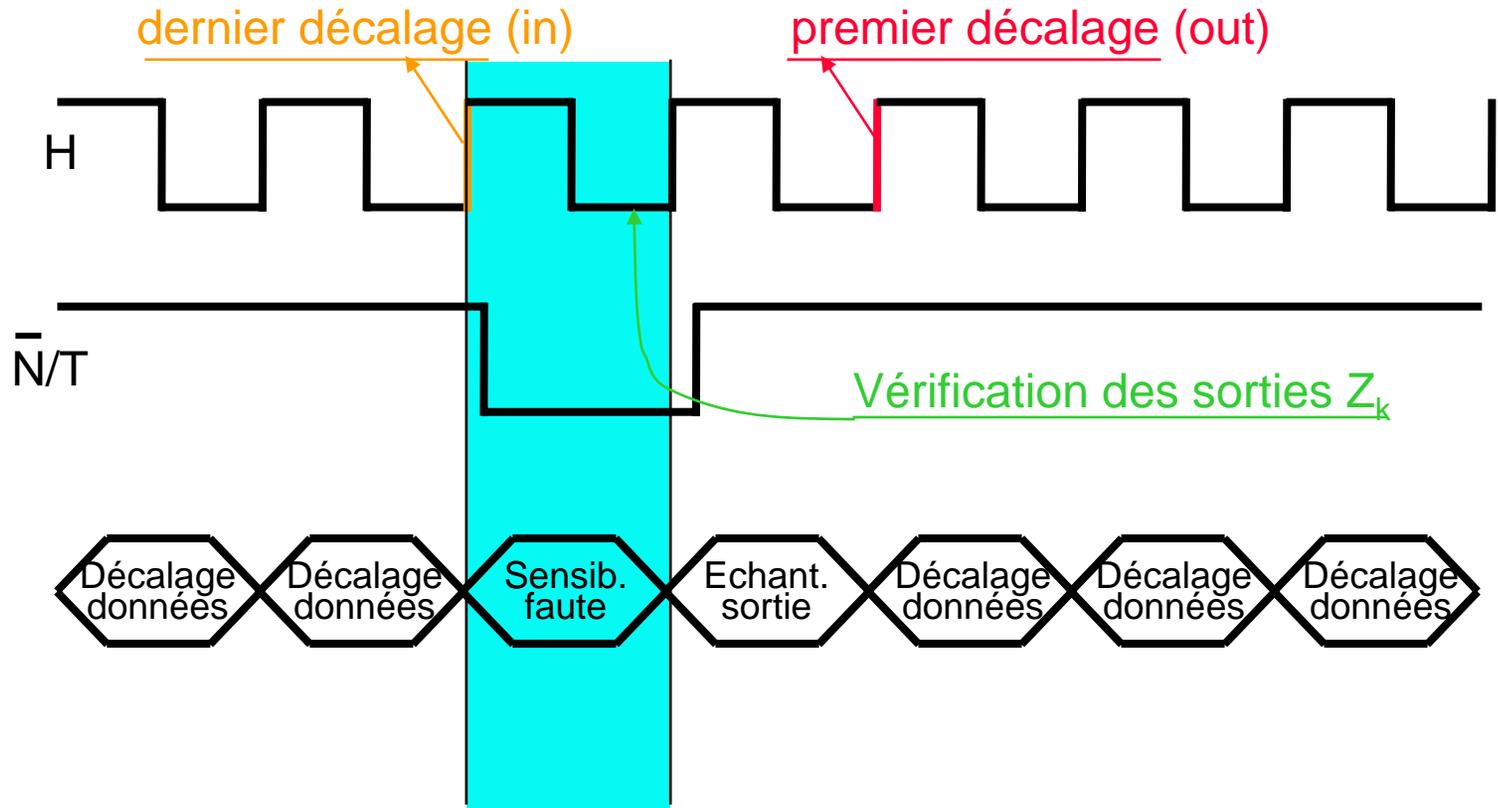
Rq1 : simultanément à la sortie du vecteur d'observation (contenu des bascules), on peut entrer le nouveau vecteur de test par l'intermédiaire de l'entrée X_n).

Rq2 : la technique de scan transforme le circuit séquentiel en circuit combinatoire durant le mode test

Le «Scan Path»

Procédure de Test : le timing

- Bascule D sur front montant

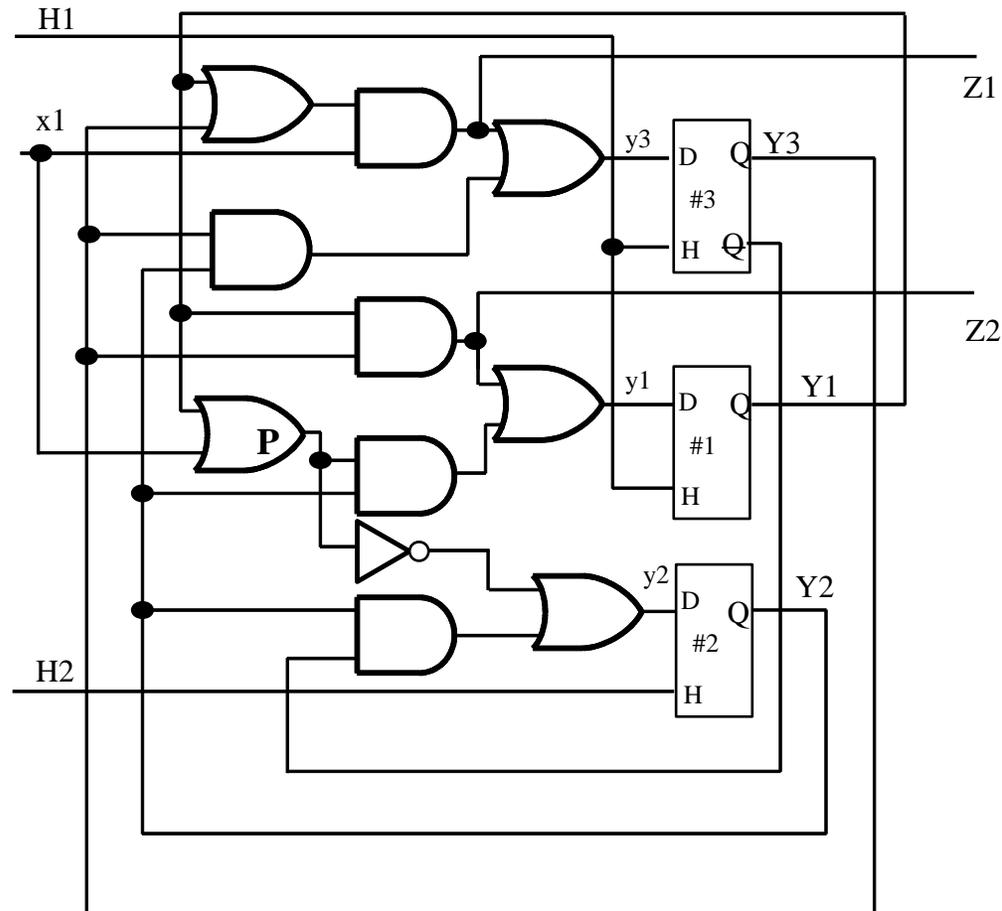


Intervalle de sensibilisation de la faute

Le Scan Path

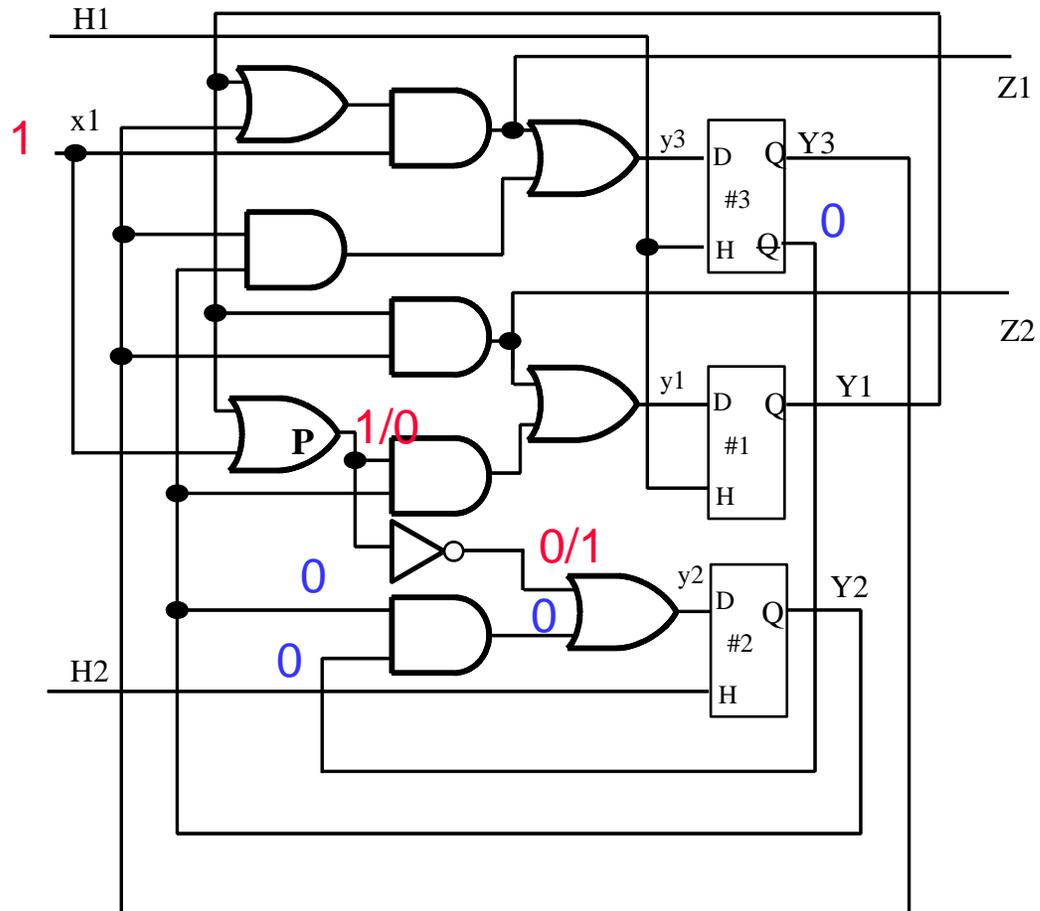
Un exemple simple

- Test du collage à zéro de la sortie de P
- Solution non triviale en gardant le circuit séquentiel
- Solution triviale en utilisant une solution "scan total"



Le Scan Path

Un exemple simple



Le «Scan Path»

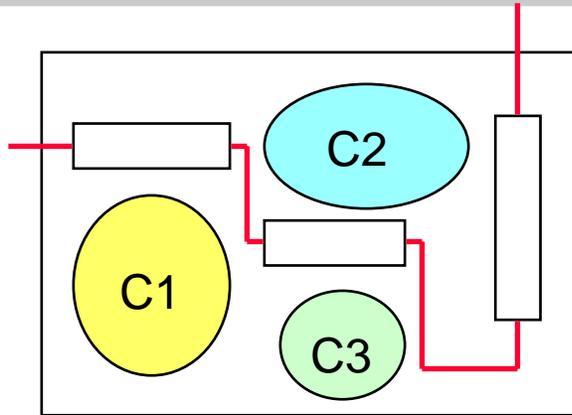
Désavantages et solutions

- Surface supplémentaire (bascules «Scan», routage, broches)
 - Dégradation de la vitesse de fonctionnement nominale (multiplexeurs)
 - Durée du temps de test : $(nb\text{-test}) \times (nb\text{-FF})$
- 
- Différentes techniques de scan :
 - Scan multiple
 - Scan partiel

Les différentes techniques de SCAN

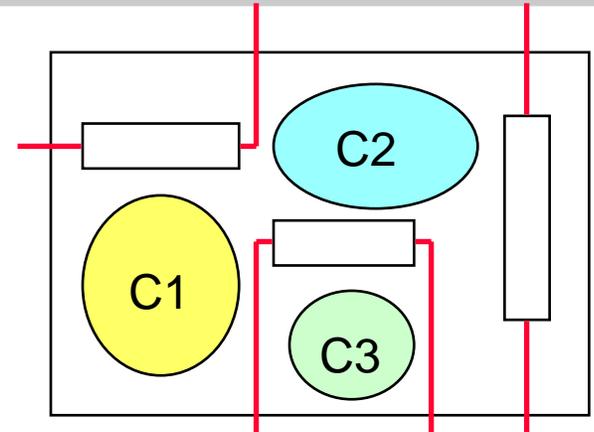
- Le Scan Complet
- Le Scan Multiple
- Le Scan Partiel

Le Scan Multiple



Une seule chaîne

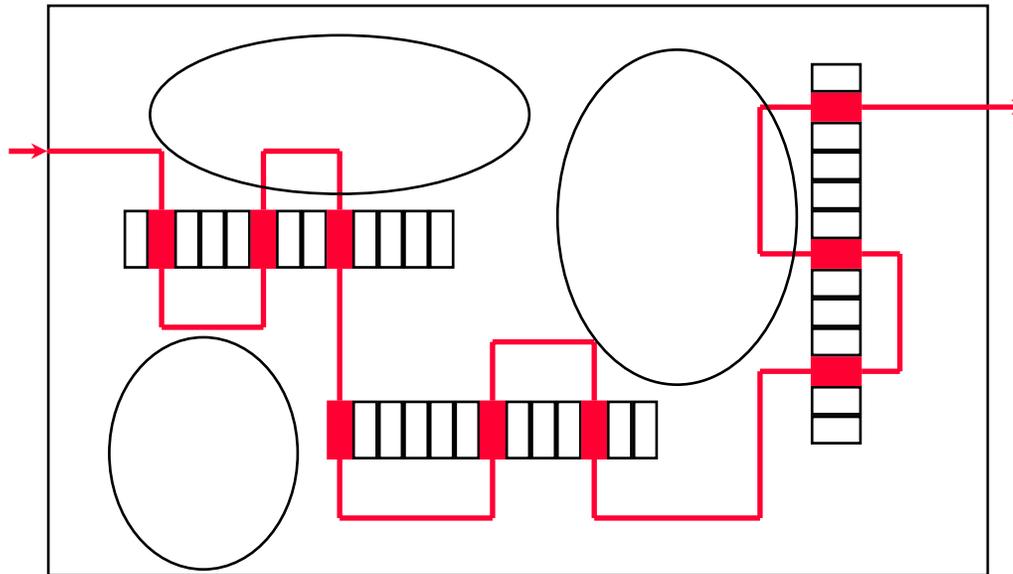
- Nombre réduit d'E/S (3)
- Temps de test long
- Testeur avec grande profondeur mémoire



Plusieurs chaînes

- Réduction du temps de test
- Diminution de la profondeur mémoire du testeur
- Amélioration du diagnostic
- Augmentation du nombre d'E/S (**multiplexage possible**)

Le Scan Partiel



- tous les éléments mémoires ne sont pas inclus dans la chaîne
- nécessité d'un ATPG pour circuit séquentiel
- problème du «bon choix» des bascules à inclure dans la chaîne de scan
- limitation de la surface perdue
- amélioration des performances temporelles

Le scan partiel

Sélection des bascules

- Différentes approches basées sur :
 - l'utilisation des mesures de testabilité (les bascules les plus facilement contrôlables et observables sont «laissées» dans la chaîne de scan)
 - la génération de vecteurs de test
 - l'analyse structurelle (réduction de la profondeur de séquentialité et du nombre de cycles)
 - une utilisation mixte de ces différentes techniques
- Prise en compte des contraintes : chemin critique par exemple