

TP2

Test structurel des circuits séquentiels avec Tetramax

2009-2010

Mounir Benabdenbi

Introduction

Le test structurel d'un circuit combinatoire est un problème assez simple, facilement résoluble par un outil de génération automatique de vecteurs de test . En effet, les problèmes d'observabilité et de contrôlabilité restent assez simples.

Par contre, dès que le circuit comporte des éléments séquentiels, cela devient difficile pour un générateur automatique de vecteurs de test de trouver la séquence qui lui permettra d'observer ou de contrôler tel ou tel point du circuit.

Nous nous proposons dans ce TP de définir la stratégie de test de deux circuits séquentiels, en utilisant les outils industriels Tetramax et DFT Compiler de la chaîne de CAO Synopsys.

Les fichiers nécessaires à la bonne marche de ce TP se trouvent dans :

~trncomun/TP-Test/2006_2007/TP1_2/Fournis/seq/

Exercice 1 : Protocole de test d'un circuit

Outre les fichiers correspondant à la netlist du circuit (circuit.vhd) et les informations sur la bibliothèque (splib.v), Tetramax a besoin en entrée d'un fichier spécifiant comment le circuit doit être testé. Il s'agit du fichier circuit.spf (stil protocol file). Après chargement de ce fichier Tetramax vérifie que ce protocole est compatible avec le circuit à tester (run drc).

Ce fichier circuit.spf contient les informations relatives au circuit à tester (entrées/sorties, timing, contraintes sur les entrées, structure des chaînes de scan, procédures d'application des vecteurs de test...).

1) Protocole de test et génération de vecteurs de test.

Comparez les fichiers spf correspondant à :

- un circuit combinatoire (example_comb.spf)
- un circuit séquentiel sans chaîne de scan (example_seq_noscan.spf)
- un circuit séquentiel avec chaîne de scan (example_seq_scan.spf)

Quelles sont les différences ? Expliquez.

2) Génération de vecteurs de test

Lorsqu'on utilise Tetramax pour un circuit séquentiel, on a le choix entre deux types d'ATPG. L'outil peut générer des vecteurs de test en mode :

- Basic scan : L'initialisation des bascules se fait à l'aide des/de la chaîne(s) de scan. Le circuit est rendu combinatoire grâce à cette initialisation et Tetramax peut donc générer les vecteurs de test comme pour un circuit combinatoire pur. La commande Tetramax est la suivante : *run atpg basic_scan_only*

- Fast sequential : Dans ce mode il faut indiquer comme paramètre à Tetramax, le nombre de coups d'horloge maximum qu'il peut appliquer au circuit pour initialiser les différentes bascules du circuit. Les commandes Tetramax sont les suivantes :

set atpg -capture_cycles 6

run atpg fast_sequential_only

2.1) Pour un circuit séquentiel sans chaîne de scan

- Essayez de générer à la main les vecteurs de test du circuit circuit_seq.vhd. Qu'en concluez vous ?
- En utilisant les fichiers circuit_seq.vhd et circuit_seq.spf utilisez Tetramax en mode Fast sequential pour générer des vecteurs de test avec un nombre de cycle de capture égal à 2. Quel est le taux de couverture ?
Renouvelez l'opération pour un nombre de cycles de captures égal à 6. Qu'observez vous au niveau du taux de couverture ? Pourquoi ?
- Modifiez le fichier .stil généré par Tetramax pour remplacer les vecteurs générés par les vecteurs que vous aurez déterminés à la main.

2.2) Pour un circuit séquentiel avec chaîne de scan

- On vous fournit un script permettant d'insérer une chaîne de scan dans votre circuit exemple_seq.vhd. Utilisez ce script pour générer un fichier exemple_seq_scan.vhd
Pour exécuter ce script la commande est : dc_shell -f insert_scan.cmd (après l'avoir modifié)
- Dessinez le schéma du circuit obtenu.
- Décrivez les étapes permettant d'appliquer un vecteur de test au circuit en spécifiant pour chaque étape la valeur des broches de test
- Générez les vecteurs de test avec Tetramax en mode basic scan. Quel est le taux de couverture obtenu ? Quelle est la différence avec le taux obtenu pour un circuit non scan ? Commentez.

Exercice 2 : Coût du test

L'objectif de cette exercice consiste à déterminer la stratégie de DFT à adopter sur un circuit pour que le coût du test soit minimal.

Pour un circuit, ce coût englobe :

- La surface supplémentaire en silicium issue de la DFT (insertion de points de test, insertions de chaînes de scan, architectures spécifiques pour le test de type BIST...)
- Coût d'équipement (cout ATE, frais de maintenance de l'ATE...). ATE=testeur
- Coût lié aux consommables (consommation en électricité, wafers factices pour le réglage machine...)

- Coût du personnel (opérateur, technicien, ingénieur...)
- ...

Dans ce qui suit, nous utiliserons un modèle de coût simplifié qui ne prend en compte que quelques paramètres :

Coût total du test / unité =
 (coût testeur / nb unités) + coût du temps de test d'une unité

Coût du temps de test d'une unité =
 (temps de test d'1 unité en sec / nb d'unité testée simultanément)*coût d'une sec de test

Temps de test d'1 unité en sec =
 (Nb cycles horloge pour application d'1 pattern * nb de patterns) / Fréquence du testeur

Le coût d'une seconde de test regroupe les coût de maintenance, de consommation en électricité, les coût du personnel etc, et est évalué à 0.49 euros.

Nous voulons tester un circuit Timer à interface VCI.

Vous allez insérer une ou plusieurs chaînes de scan avec dft_compiler en choisissant le testeur sur lequel sera testé le circuit avec pour objectif d'avoir au final un coût minimal.

Vous devrez donc fournir un circuit avec n chaînes de scan, le jeu de vecteur à appliquer, le taux de couverture obtenu, le testeur utilisé et le coût final pour tester 50 millions de pièces.

Ces choix seront motivés par l'équation de coût et le tableau suivant contenant les caractéristiques de trois testeurs industriels bas coût :

	<i>Advantest 3381</i>	<i>Advantest T6683</i>	<i>Agilent 93000 PP400</i>
tester cost	99000	375000	675000
# scan canals	1	4	8
# simultaneous testing	1	4	16
ATE (shift) frequency (Mhz)	5	150	500

Calculez le coût minimum de test ?

Vous rendrez un compte rendu incluant les réponses aux questions posées.