

Dessindescellules

graal/dreal
s2r/druc

Université PierreetMarieCurie
MasterACSI
OutilspourlaConceptionVLSI

Que est le problème?

En raison de la dimension des circuits numériques, il n'est pas possible de les réaliser à plat.

- On définit donc des bibliothèques
 1. de cellules de base (opérations booléennes, drive rs, mémoire)
 2. d'opérateurs complexes paramétrables (multiplieur , ram, rom...)
 3. de composants (processeur, dma, ...)
 - Les cellules sont souvent précaractérisées, c'est-à-dire
 - qu'elles sont valides du point de vue des règles de dessin,
 - que leurs caractéristiques électriques sont connues.
 - L'investissement en temps au dessin des masques est considérable
 - ~100 cellules dans une bibliothèque de cellules)
 - plusieurs centaines pour les générateurs
- ➔ du layout portable indépendant du process,
- ➔ un circuit robuste indépendant du process.

Plan

- gabaritdescellules
- méthodologiededessindecellule
- graal,dreal
- s2r
- druc

Gabaritdescellules

Hypothèses

- Unebibliothèquedecellulesprécaractériséescontient
 - desfonctionsbooléennesélémentaires:
and,or,xor,mux,adder,...
 - desélémentsmémorisantetdesbarrières:
basculeD,latchs,driverstois-état,...
 - desélémentsdivers:
cellulesdebouffage,rappeld'alim,pull-up,pull-down,...
- Danstouslescass,moinsde20transistors.
- Unecelluleestleplussouventself-consistant
 - unefonctioncomplète
 - sansviolationderèglesdedessin(saufpeutêtrelapolarisation)
 - sanscontrainted'utilisation(hormislasortance)
 - avecunecircuiterierobuste(pasd'hypothèsesurlatechno)

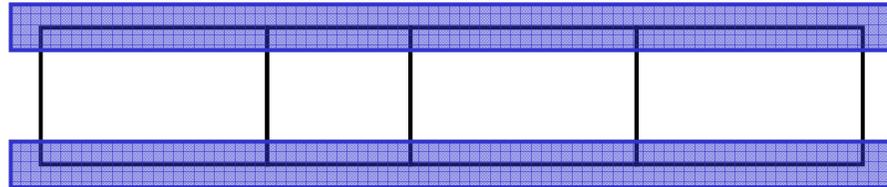
Gabaritdescellules

Contraintes

- Les cellules sont faites pour être aboutées:
→ hauteur commune et largeur variable

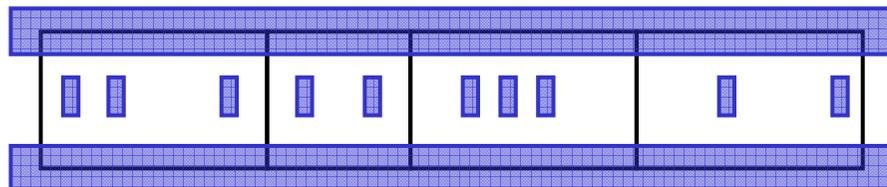


- Les cellules se partagent les rails d'alimentation .



- Les cellules n'utilisent que le polysilicium et le metal1 pour router les transistors.

- Les connecteurs sont uniquement en metal1, le routage est fait au-dessus des cellules en metal2 et plus.



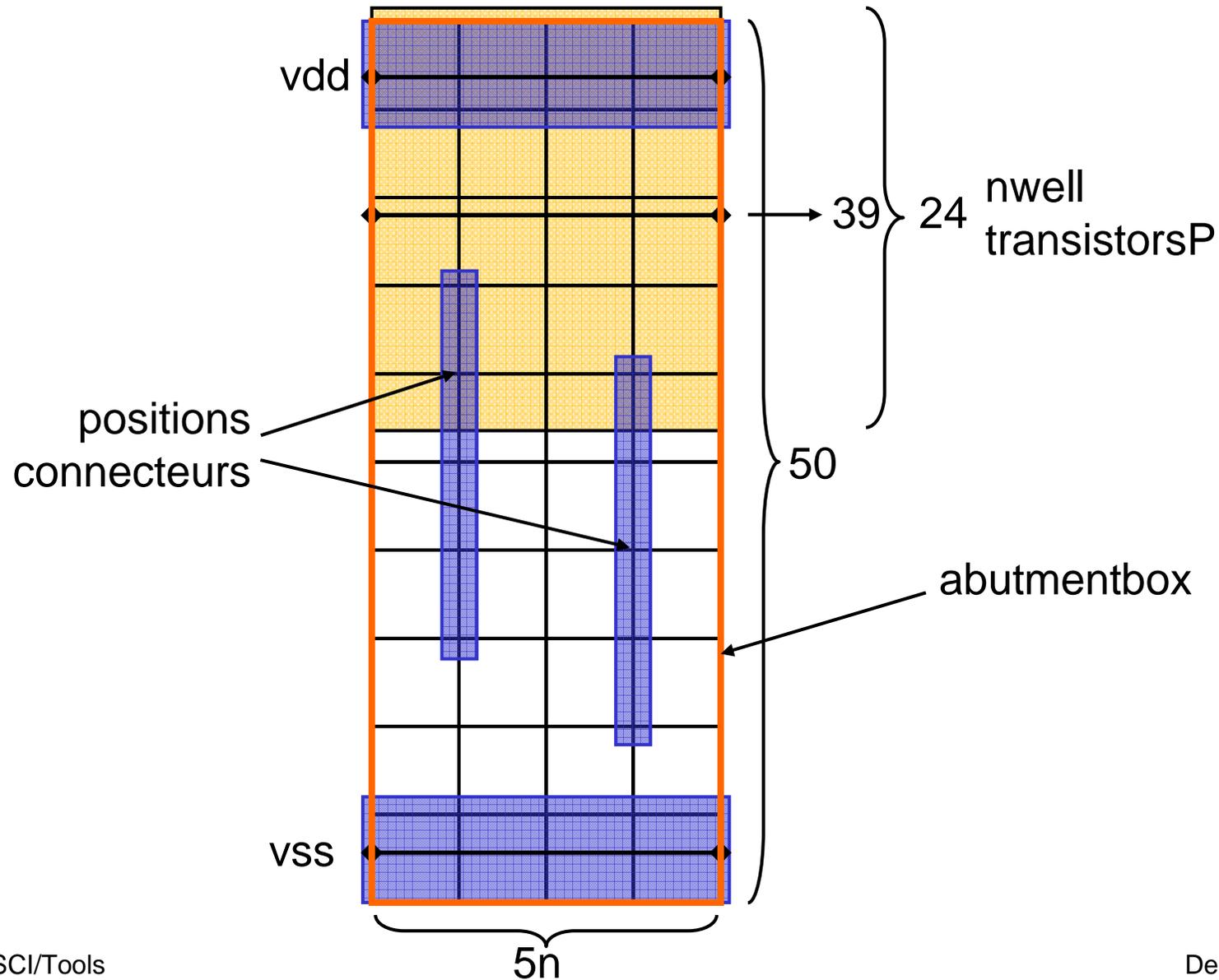
Gabaritdescellules

Contraintes

- La hauteur des cellules est un compromis:
 - Elle doit être assez grande pour permettre le routage des transistors avec des fils de métal 1.
 - Elle doit être assez petite pour que ce ne soit pas un problème de routage des cellules qui imposent la taille du circuit.
- La taille des cellules et la position des connecteurs sont des contraintes du routeur.
 - Le routeur utilise une grille de routage égale au pitch de routage.
 - La taille d'une cellule et la position des connecteurs doivent être multiples de ce pitch.

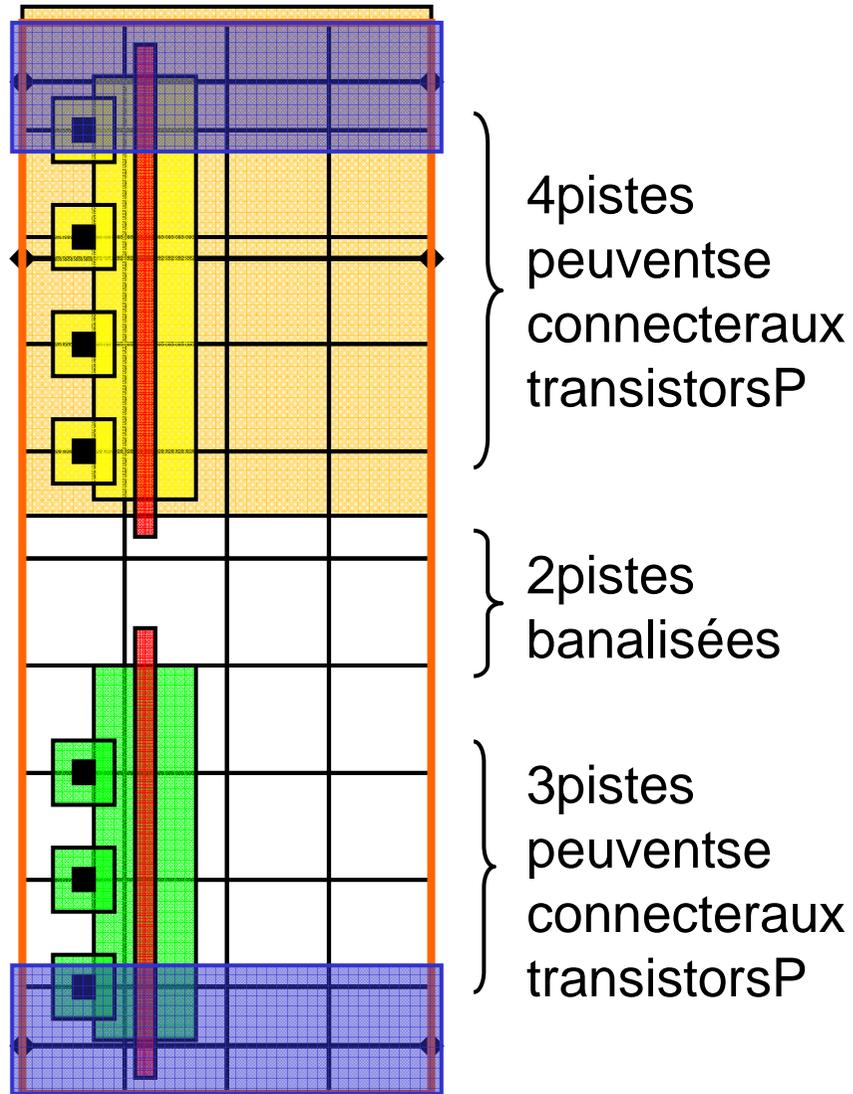
Gabaritdescellules

Formatchoisi



Gabaritdescellules

Positiondestransistors



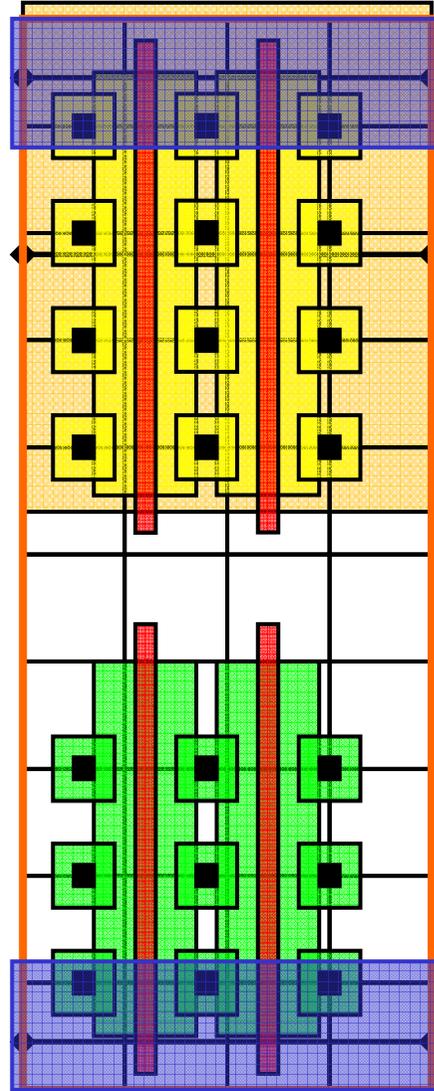
Gabarit des cellules

pitch transistor=6, pitch routage=5

Sur cette figure, les transistors ont été mis au plus près. On note que le pitch entre les grilles est de 6.



Le positionnement des connecteurs va poser un problème délicat!



Attention, cette cellule incomplète comporte des erreurs de dessin!

Règles de dessin d'un gabarit

Les cellules sont faites pour être aboutées →

Il ne faut qu'il y ait de violation de règles entre les masques de cellules différentes.

Tout symbole doit être au moins à une demi-distance minimum de l'aboutement box (sauf le NWELL et les rails VDD et VSS).

(exemple: distance poly-poly = 2

→ le bord de tout poly est distant d'au moins 1)

méthode de dessin de cellule CMOS

Principe général

1. Faire un schéma de transistors non dimensionnés
2. Représenter le graphedest transistors (non abordé)
3. Déterminer un placement de transistors permettant de minimiser la taille en maximisant le nombre de sources/drains communes.
4. Placer les transistors dans le gabarit symbolique
5. Router symboliquement la cellule
6. Placer les segments connecteurs.
7. Dessiner la cellule sous graa et retourner en 3D si check.
8. Dimensionner la taille de transistors.

Dessinsurpapier

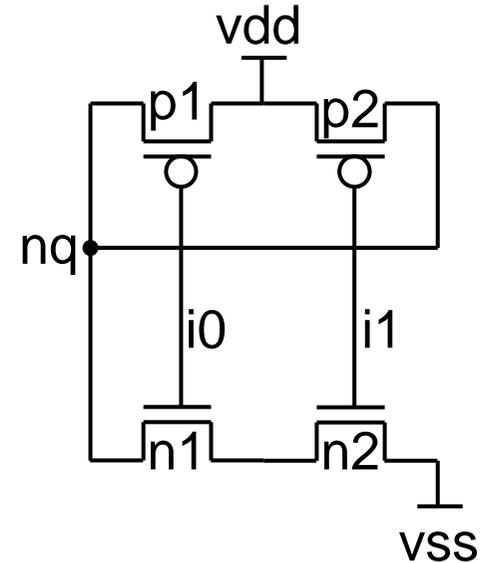
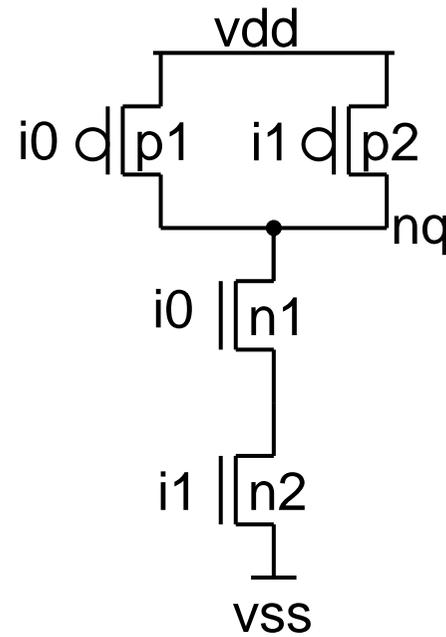
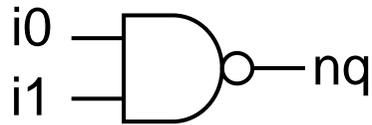
conceptdedessinsymboliquesurpapier

- L'objectifdudessinsurpapierestdegagnerdutemps
ests'assurant,avantdedessinersurl'éditeur,qu
dessinseraréalisable. ele
- Lestransistorset tous les segments sont représen
pardesfilsetlesviaspardesronds(oudescroi
tés x).
- Leroutagedestransistorstientcomptedespossib
offertesparlegabarit. ilités
- Leprincipeconsisteà nepasintroduiresimultaném
touteslescontraintes(placementdestransistorsd
biendéterminée,routagedestransistor,placement
connecteurs,etc...) ent
etaille
des

Dessinsurpapier

Unexemple

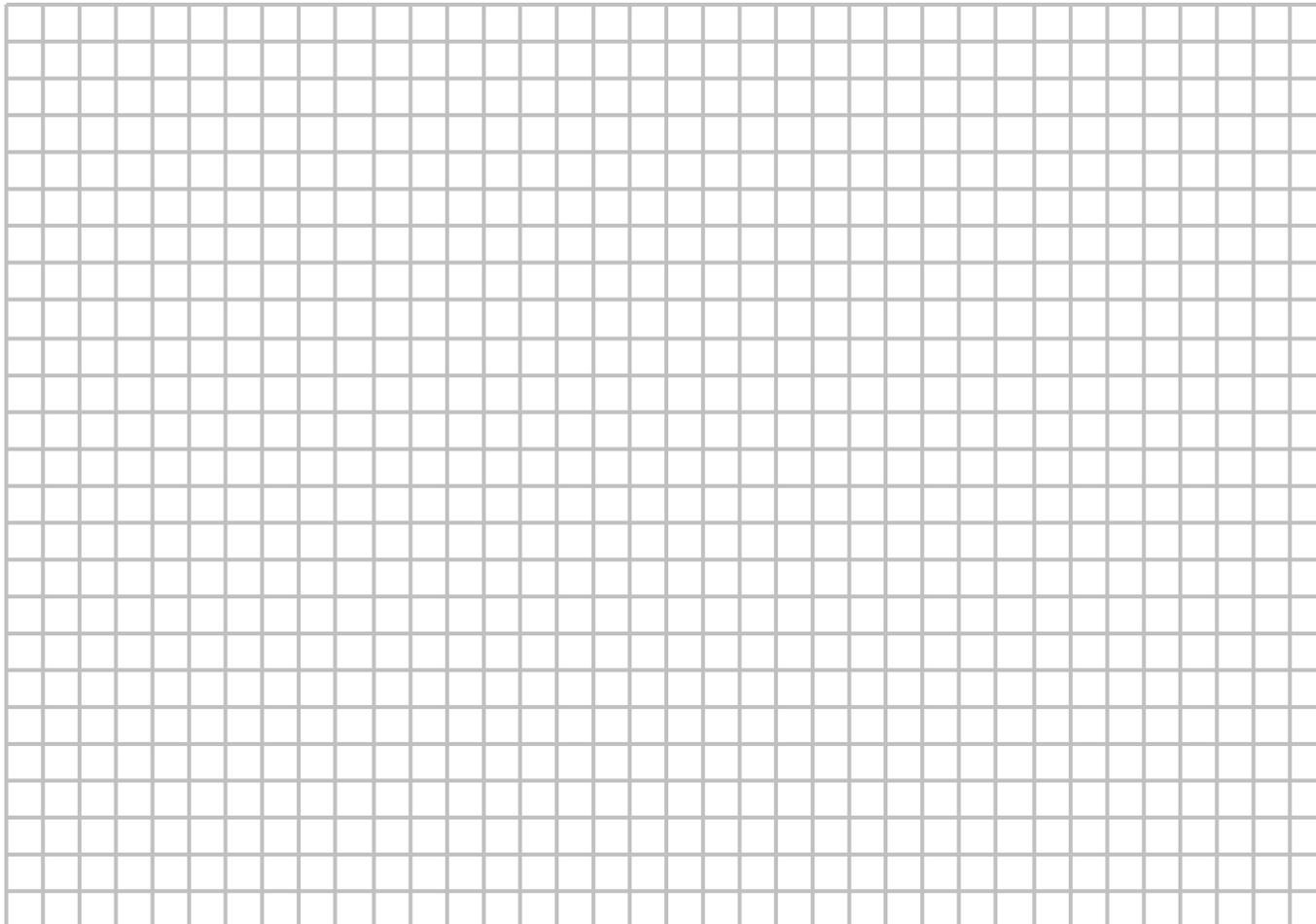
schémad'unnand2



Dessinsurpapier

Leterraindejeu

Prendreunefeuilledepapierquadrillé 5x5:1carr eaupour2lambdas

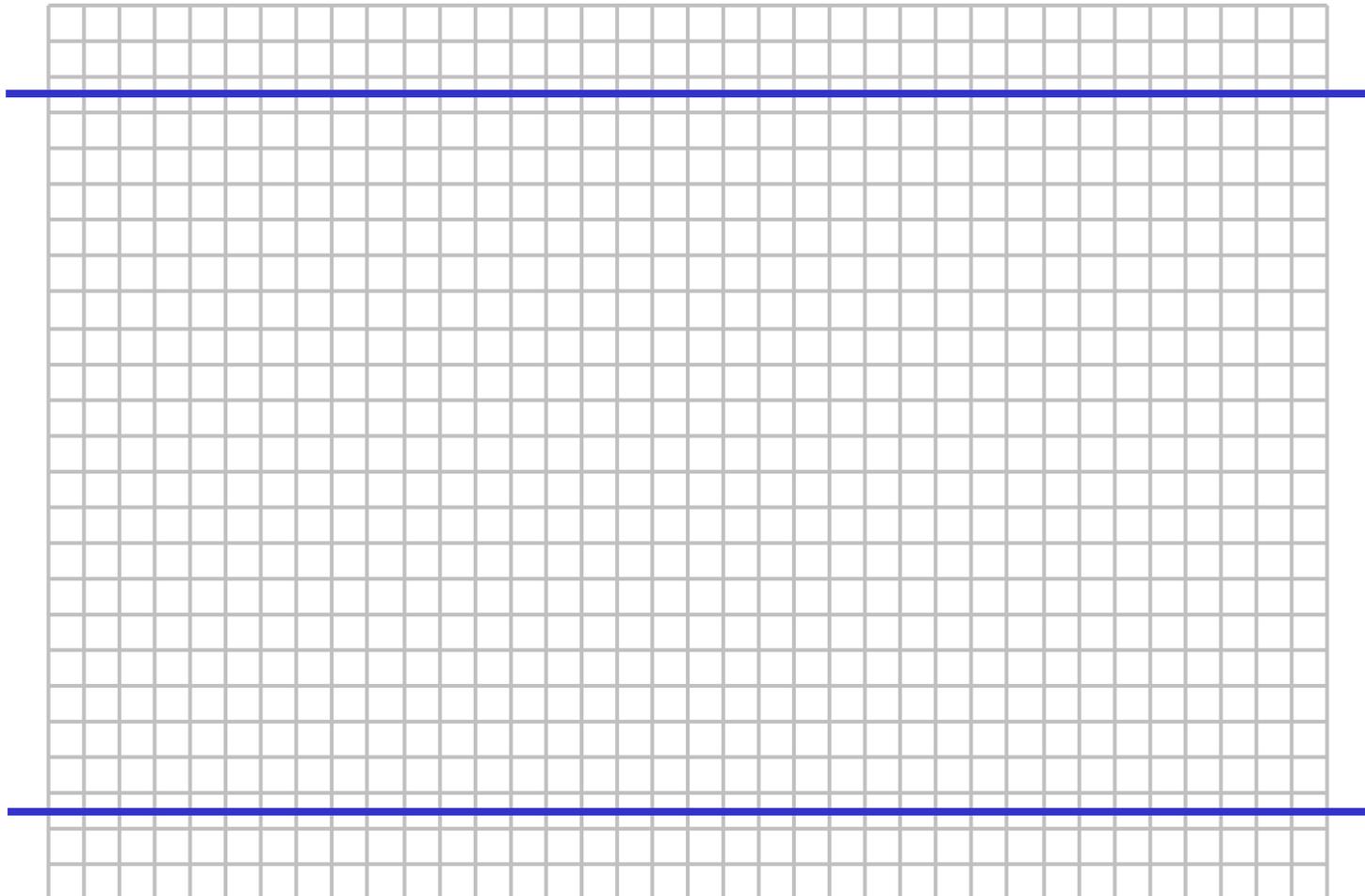


Dessinsurpapier

Lesalimentations

Tracerdeuxtraits(bleu)correspondantà vddetvss
C'està cescoordonnéesquelestransistorsPetNs

distantde40lamdbas.
erontpolarisés.

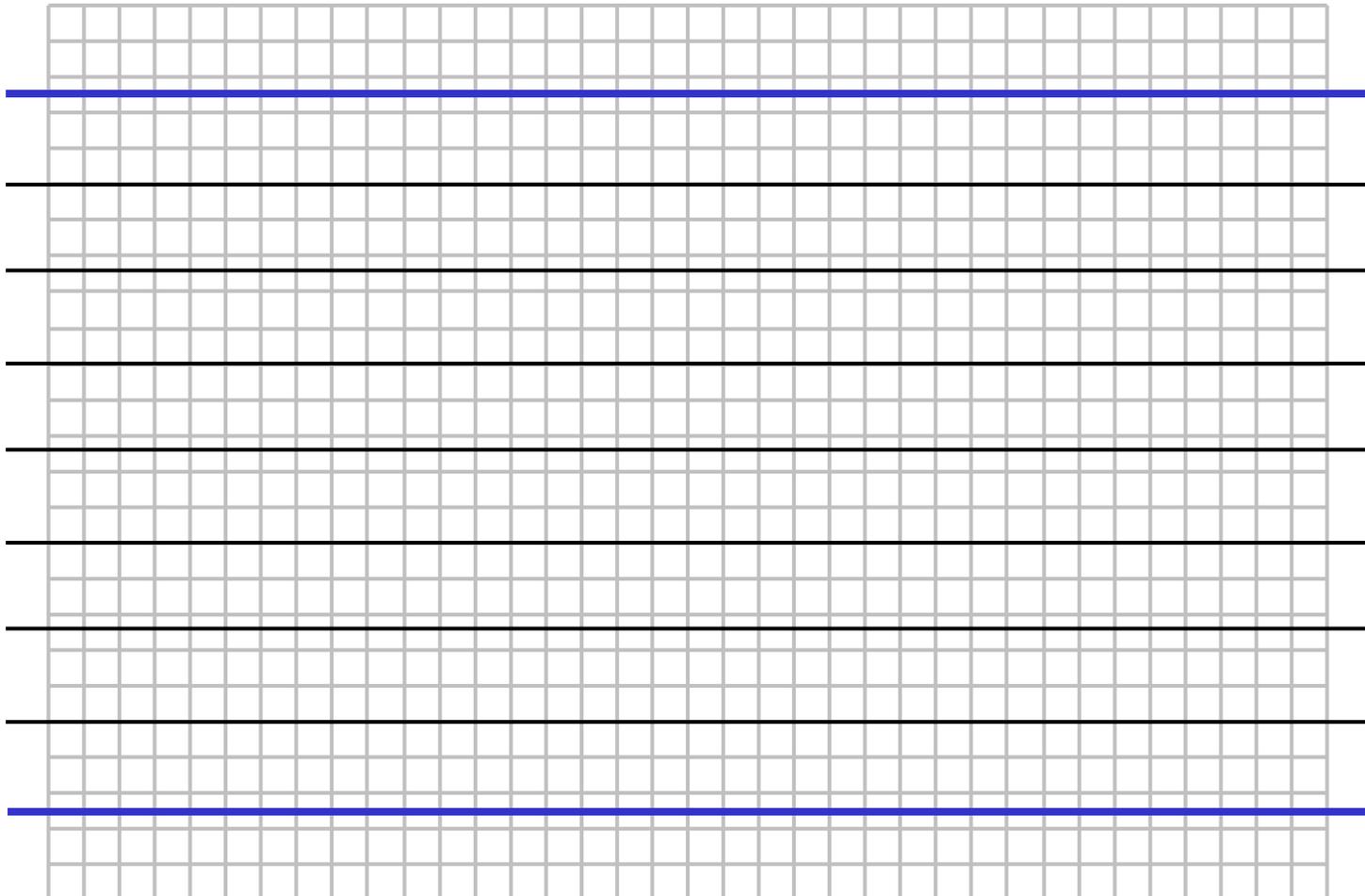


Dessinsurpapier

Lespistesderoutage

Tracerlespitchshorizontauxtousles5lambdas.

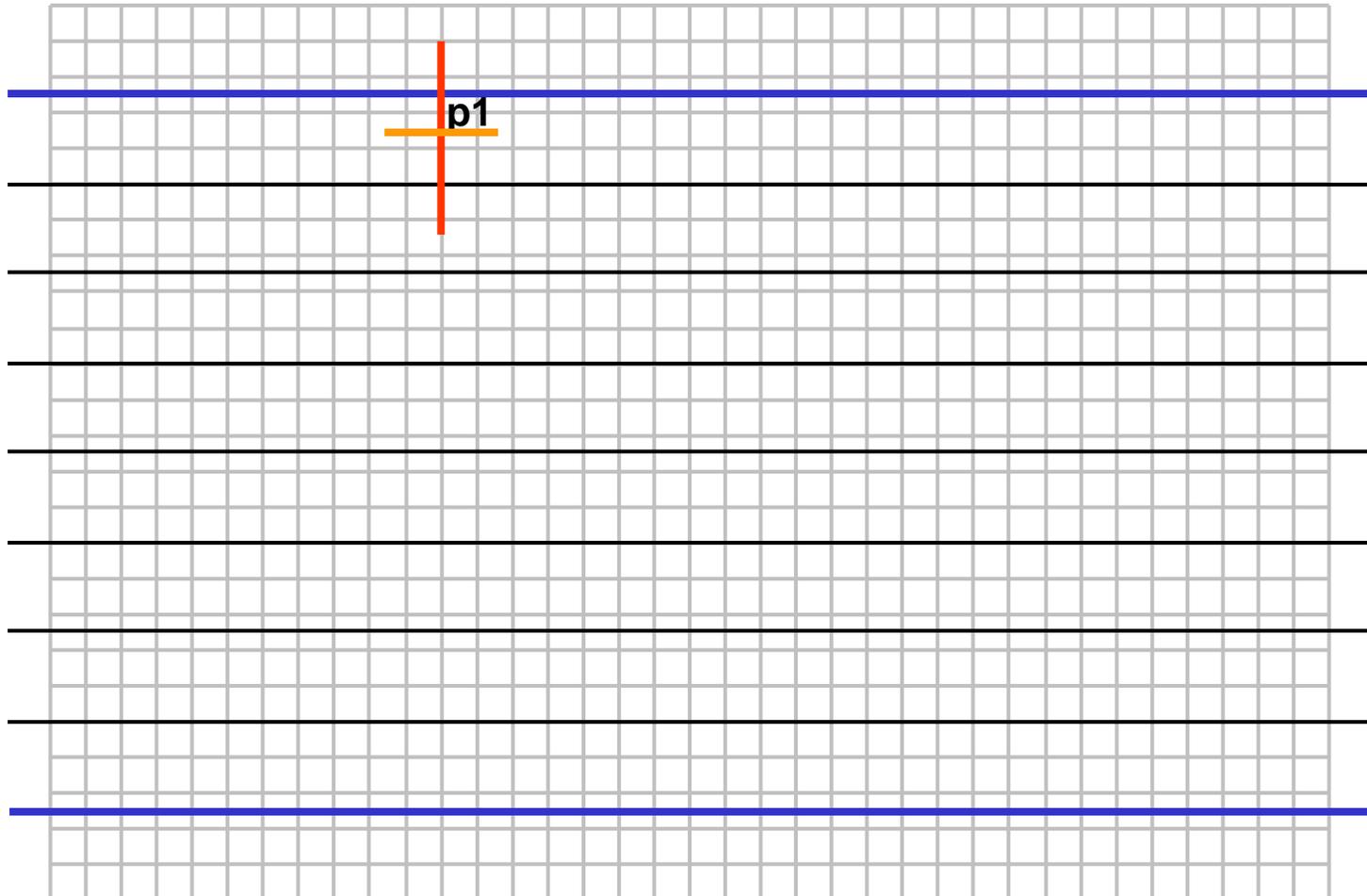
C'està cescoordonnéesquel'onferaleroutageen metal1



Dessinsurpapier

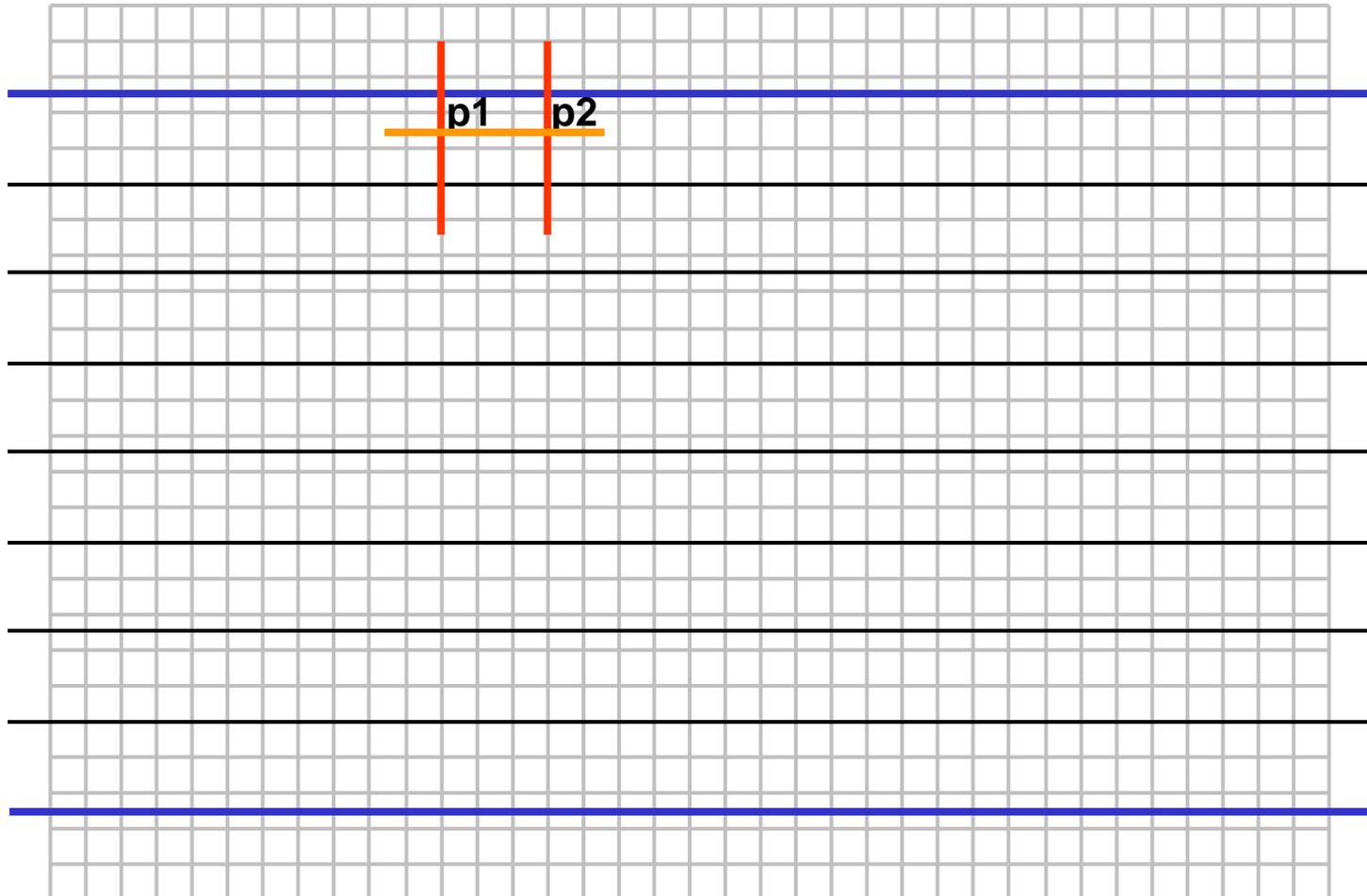
Unpremiertransistor

Tracerlestransistorscommesurleschémahorizontal al
leplushautpossibleenlesnommant.



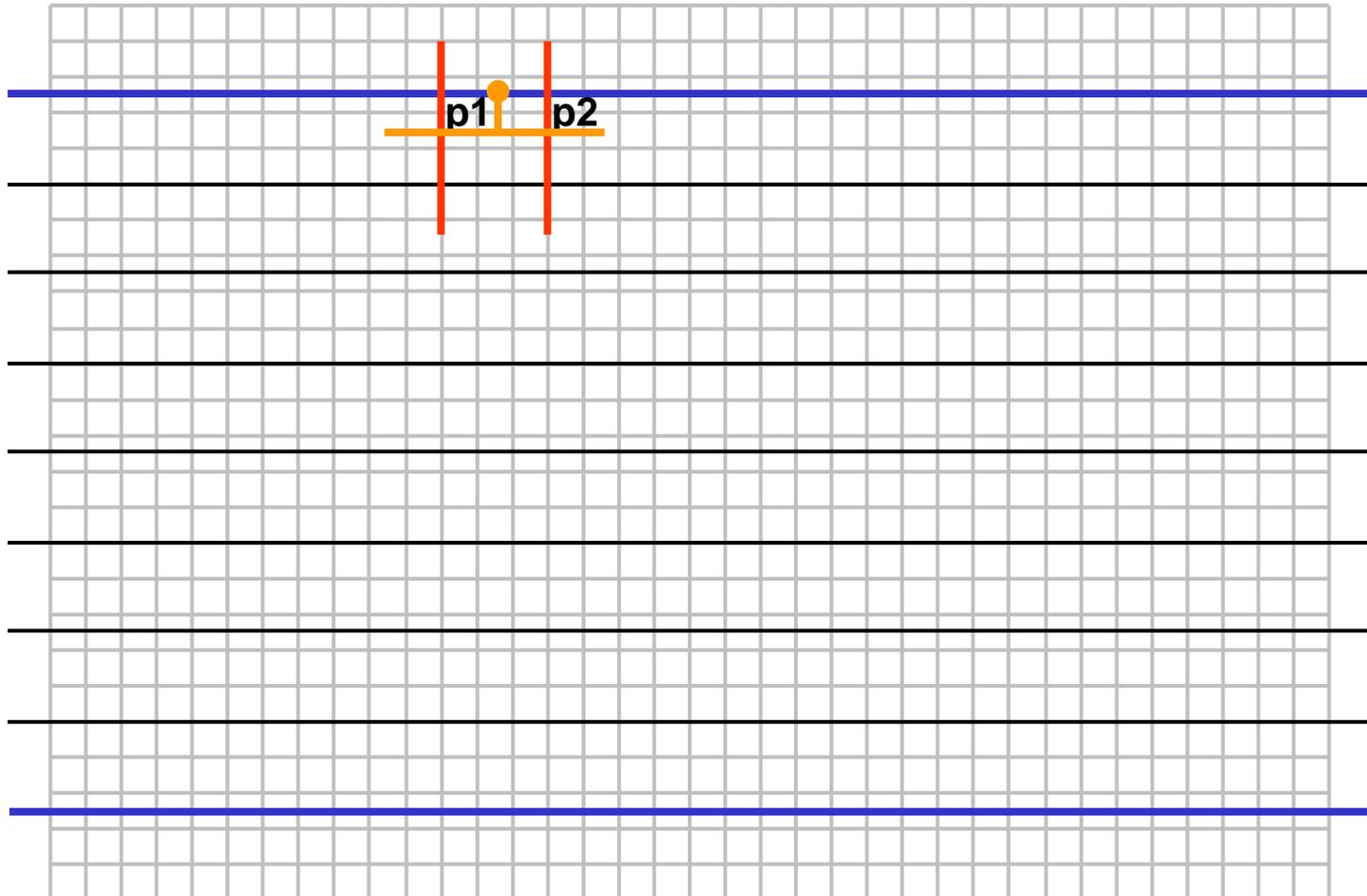
Dessinsurpapier

Sonvoisin



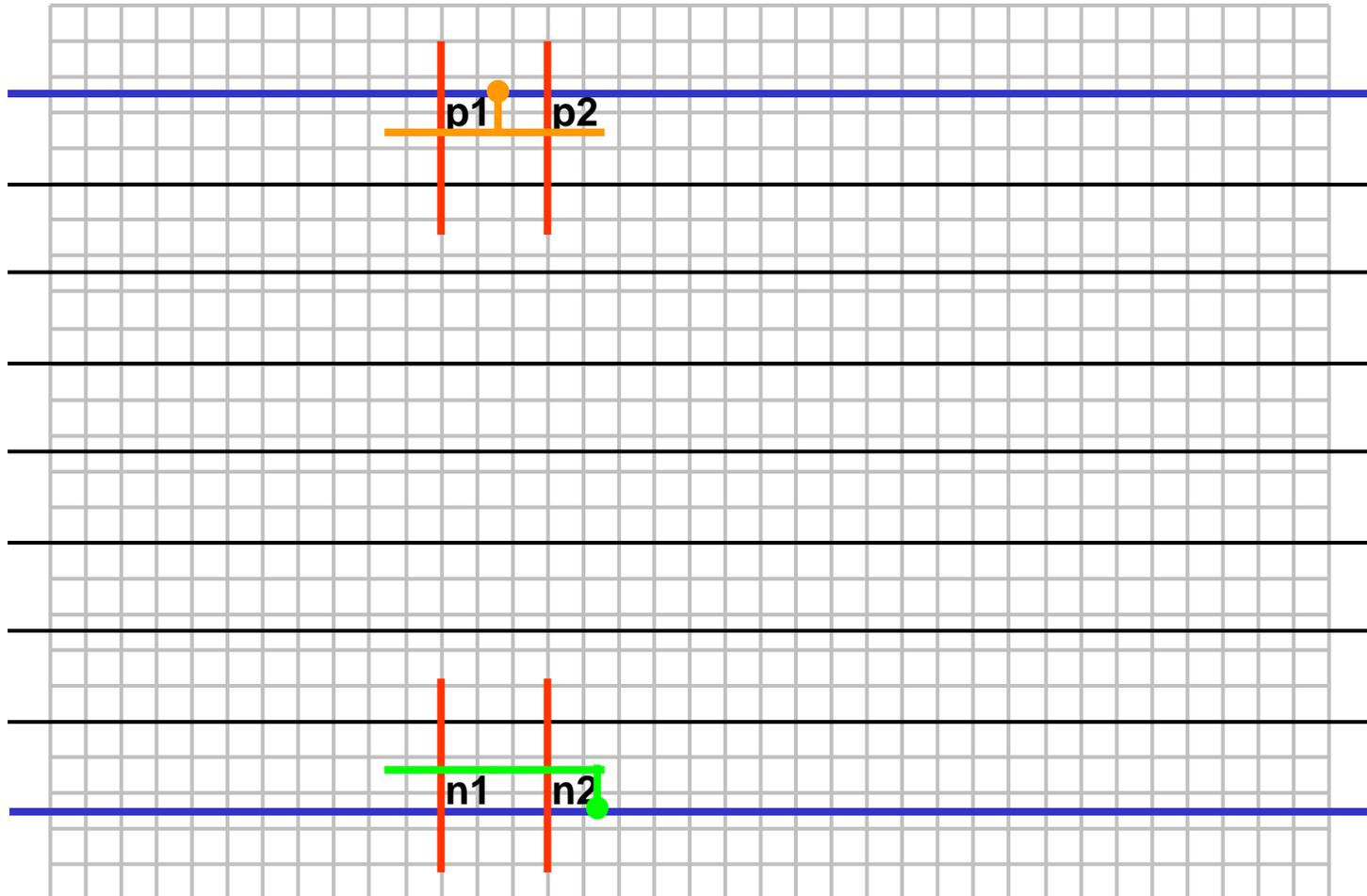
Dessinsurpapier

connexionà vdd



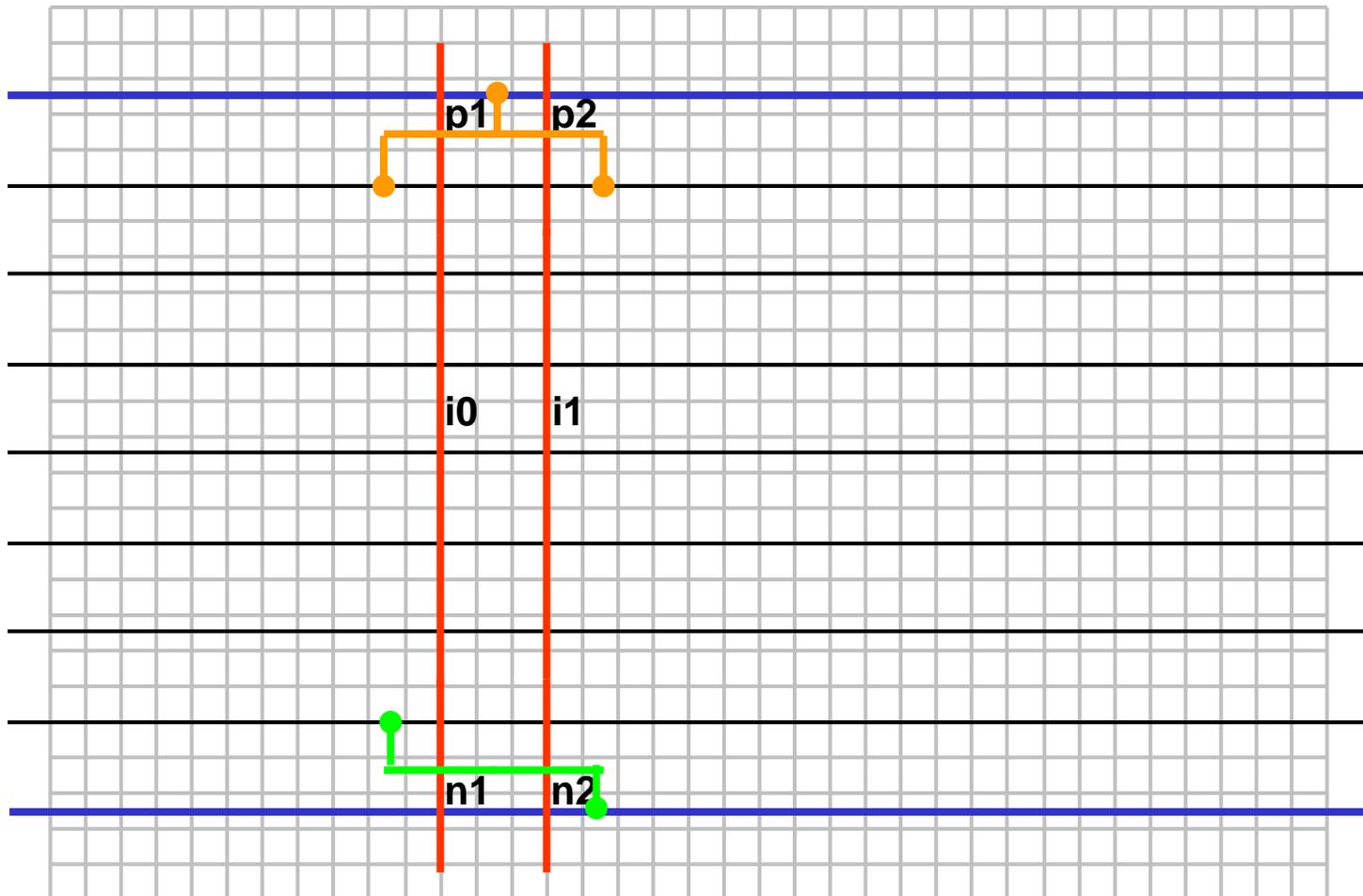
Dessinsurpapier

LestransistorsN



Dessinsurpapier

Connexionsurlapremièrepistelibre

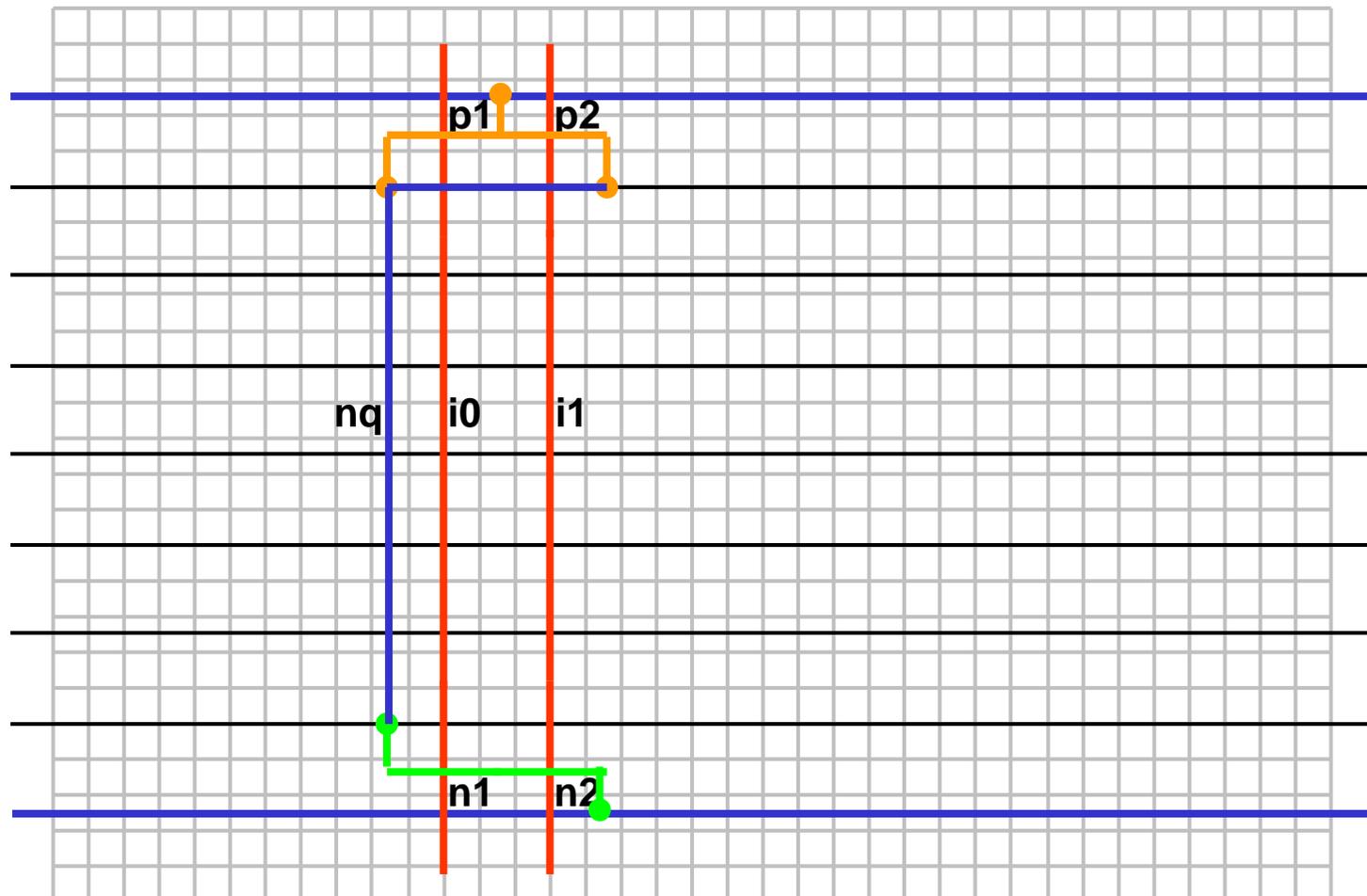


Dessinsurpapier

routagedumetal1

Tracerlestransistorscommesurleschémahorizontal

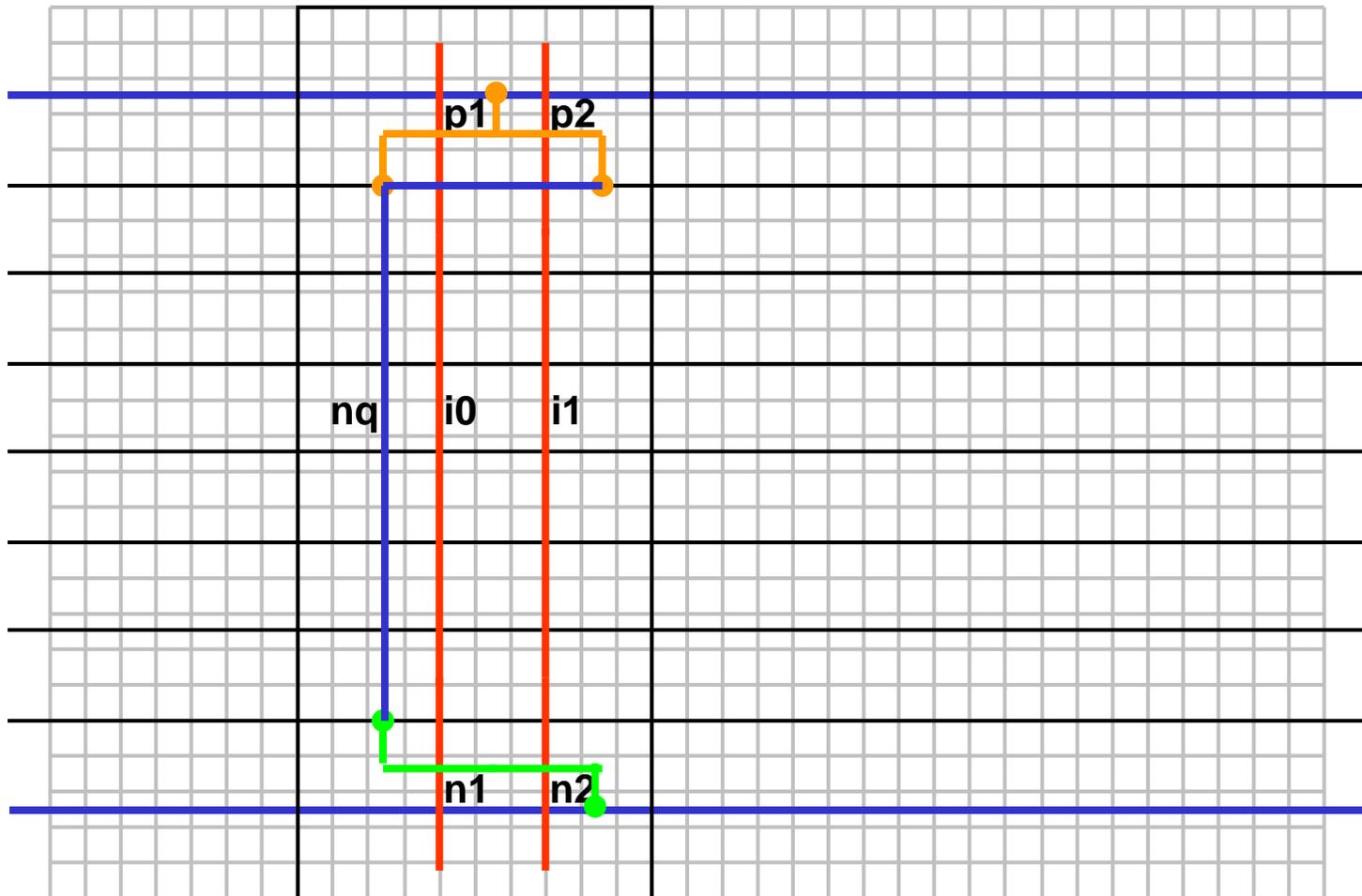
alenlesnommant.



Dessinsurpapier

On connaît la taille de la cellule

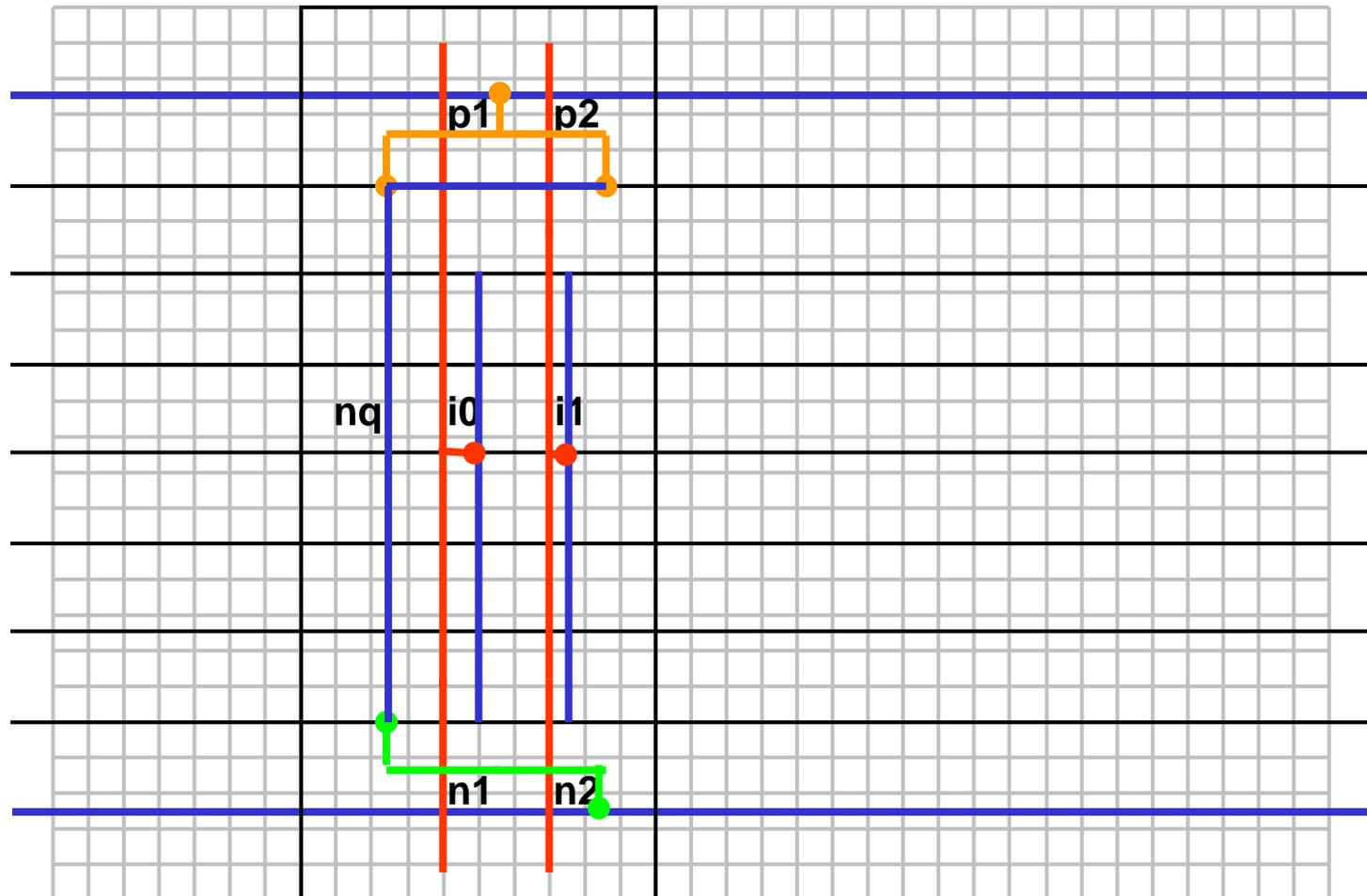
Tracer l'aboutement box en grandissant à un pitch le plus proche
en sachant qu'il va falloir positionner les connecteurs i_0, i_1, n_1, n_2 .



Dessinsurpapier

Onsaitqu'elleestfaisable

Tracerlesconnecteurssurlepitchderoutagevertical.

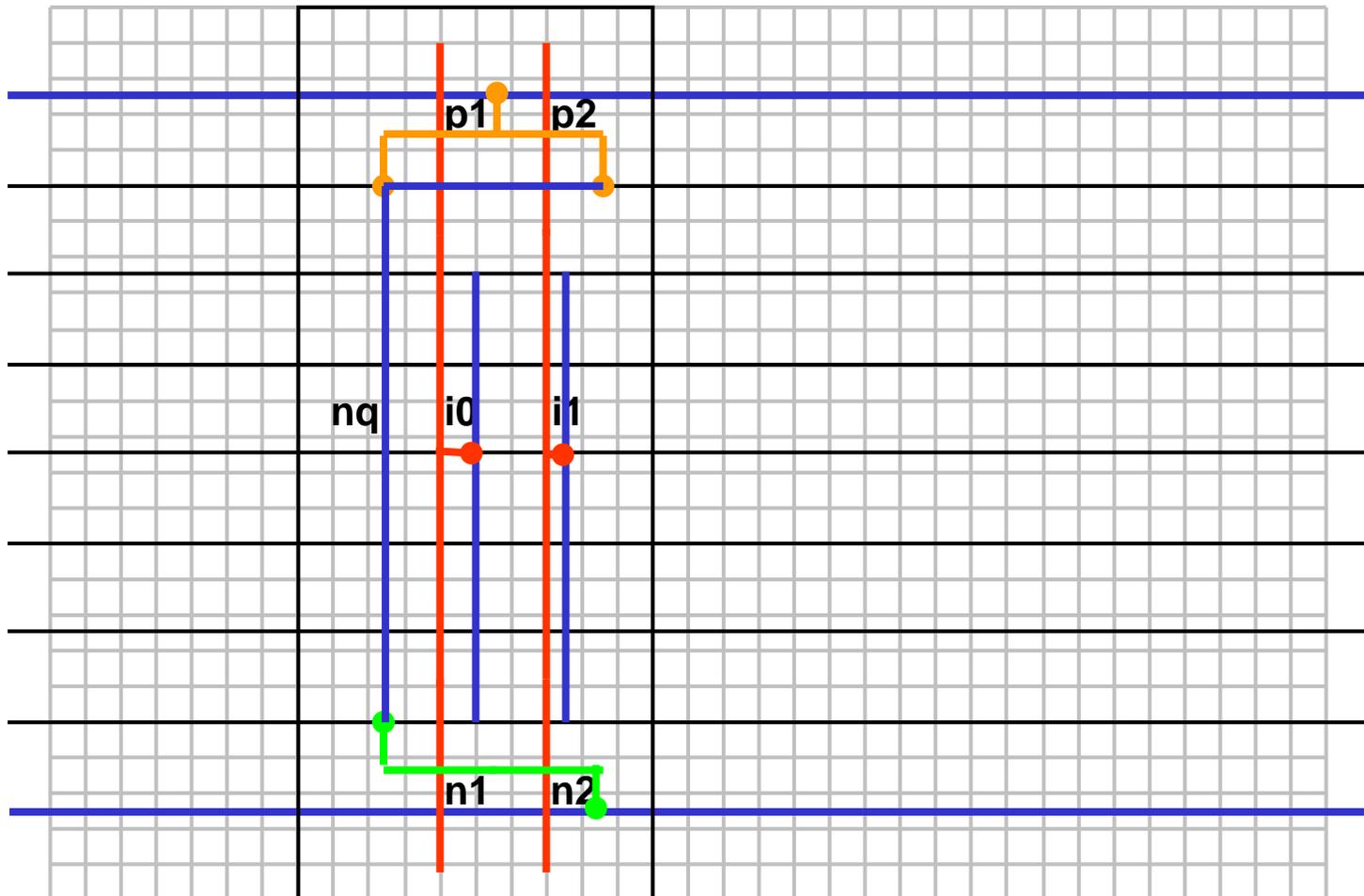


Dessinsurpapier

dimensionnement possible de transistors

La cellule est routable, on peut dimensionner les transistors. Ici le routage n'impose pas de limite. NetP peut aller jusqu'à

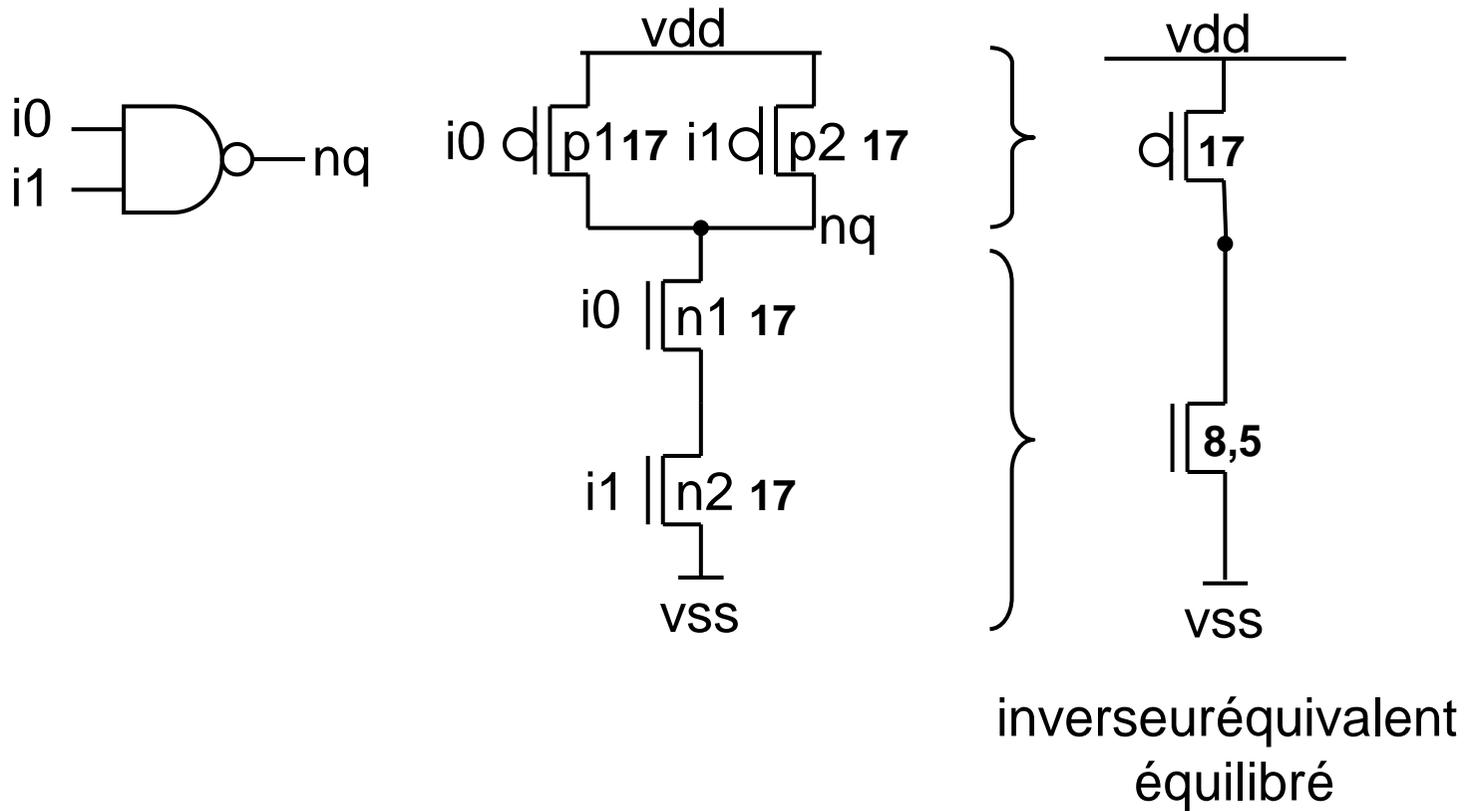
17 et 23 λ .



Dessinsurpapier

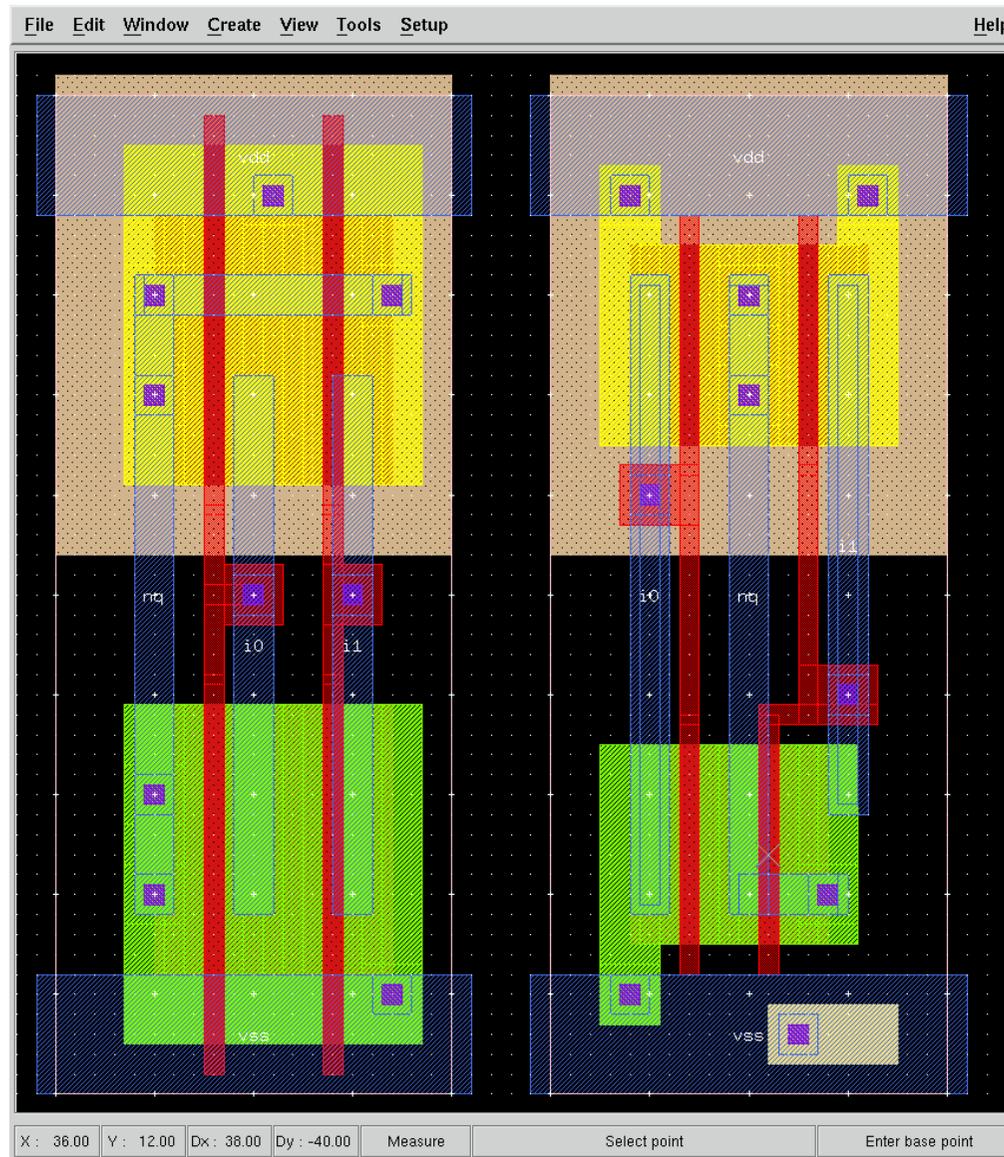
dimensionnementchoisi

schémad'unnand2dimensionné



Ledessinsousgraal

Deuxcellulesfonctionnellementidentiques



graal

Editeur dedessinsymbolique

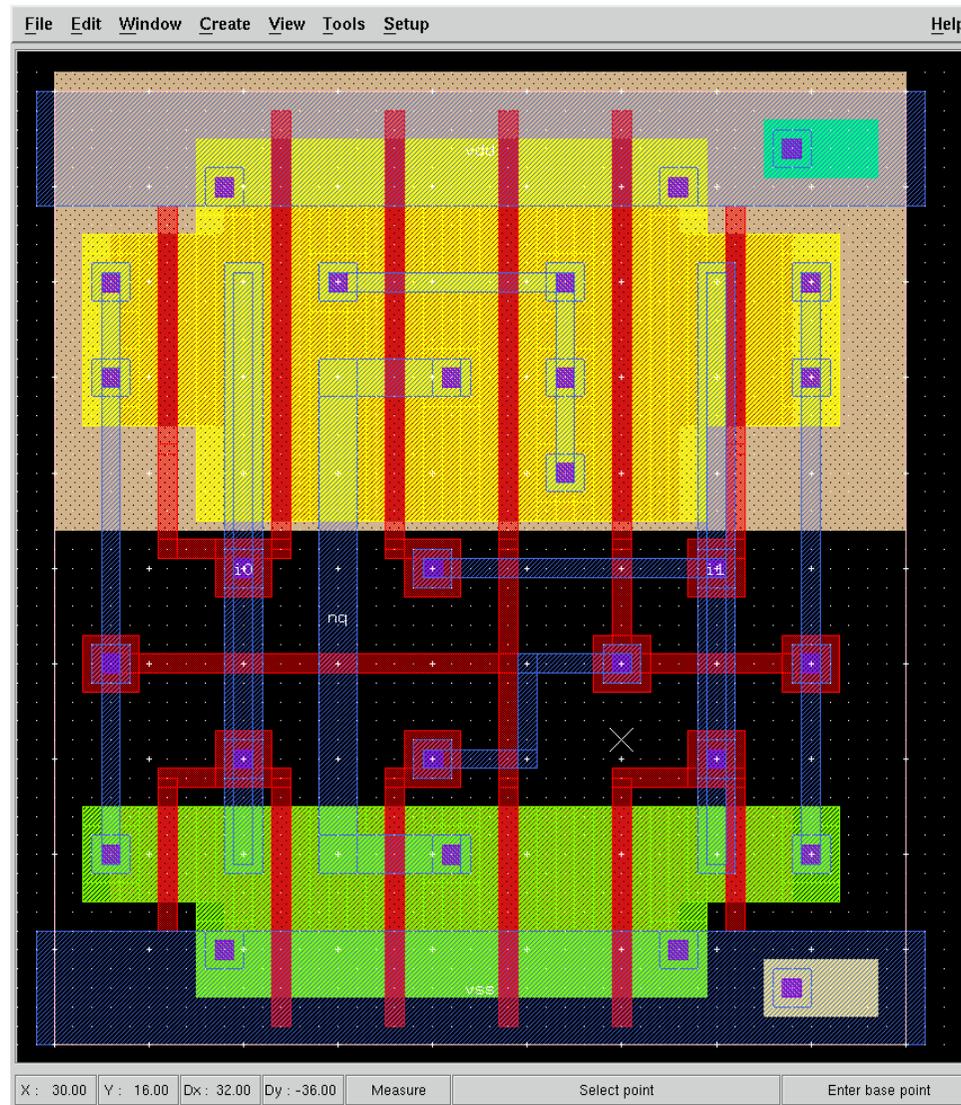
- graa est un éditeur dedessinsymbolique lambda.
 - édition decellule,
 - placement d'instances pour un dessin hiérarchique,
 - navigation à travers la hiérarchie,
 - tracé d'équipotentielle,
 - appel du vérificateur derègles dedessin et affichage séquentiel des erreurs,
 - copier l'écran.

`graal[-l<filename>]`

- Environnement
 - MBK_IN_PH, MBK_OUT_PH
 - RDS_IN, RDS_OUT
 - RDS_TECHNO_NAME

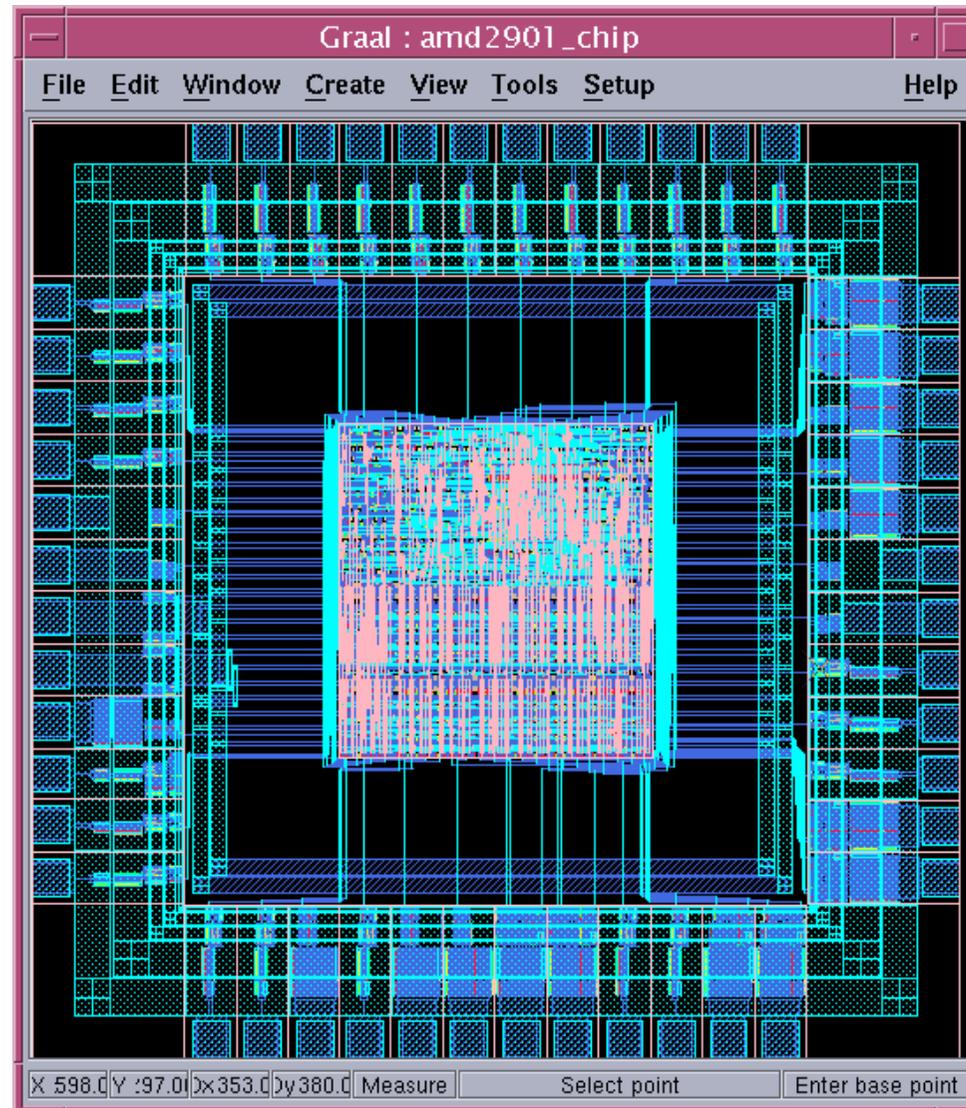
Finalemment...

... onpeutaussirouterenpolysilicium!



graal

Editeur de dessin symbolique



druc

vérificateur des règles de dessin

- druc permet de vérifier les règles de dessin définies dans le fichier \$RDS_TECHNO_NAME.
- druc peut être appelé par graal. Quand il est utilisé seul, il génère un fichier d'erreur avec les erreurs et les rectangles concernés et un fichier .cif chargeable par graal.

druc<file>

- Environnement
 - MBK_IN_PH, MBK_OUT_PH
 - RDS_IN, RDS_OUT
 - RDS_TECHNO_NAME

s2r

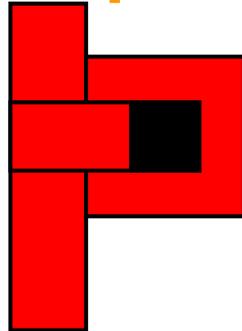
passagedusymboliqueauréel

- s2r permet de traduire un dessin symbolique en dessin réel respectant les règles d'un fondeur
- en entrée
 - le layout symbolique (possible ment hiérarchique)
 - les règles de transformation de chaque symbole:
1 symbole à l'échelle $\lambda \rightarrow n$ rectangles à l'échelle μm
- son travail
 - traduire individuellement chaque symbole
 - éliminer les notches créés par la traduction
 - remplacer certaines cellules symboliques par leur équivalent réel
 - sauvegarder la hiérarchie complète dans un format fondeur (.cif/.gdsII)

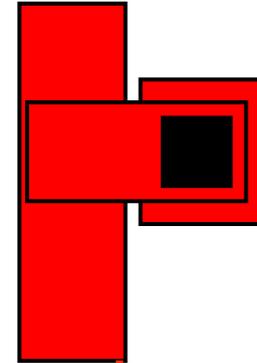
s2r

problème d'un notch

symbolique



réel



le problème vient de ce que l'on a subi un rétrécissement

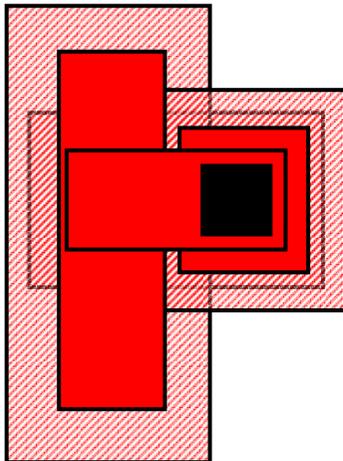
- La solution consiste à faire grossir tous les masques de la demi-distance $m - 1$ pas de grille physique
- puis d'unifier les rectangles qui se touchent
- puis de réduire tous les masques de la demi-distance $m - 1$ pas de grille

isement

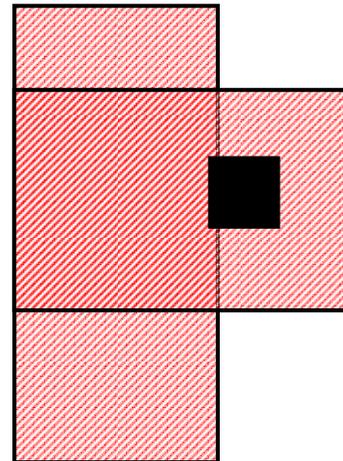
es

ce - 1 pas de grille

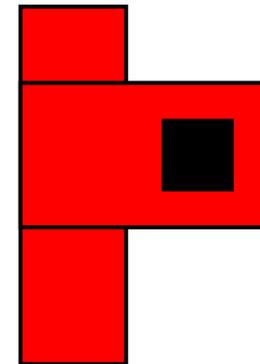
blot



unify



shrink



s2r

passagedusymboliqueauréel

s2r-tv<file>

- Option
 - t pasdegestiondenotch
 - v modeverbeux
- Environnement
 - MBK_IN_PH,MBK_OUT_PH
 - RDS_IN,RDS_OUT
 - RDS_TECHNO_NAME

dreal

Éditeur de dessin réel

dreal est un avatar de graal, mais pour l'édition de layout réel.

