

Langagedeplacement

stratus
flotdeconception

Université PierreetMarieCurie
MasterACSI
OutilspourlaConceptionVLSI

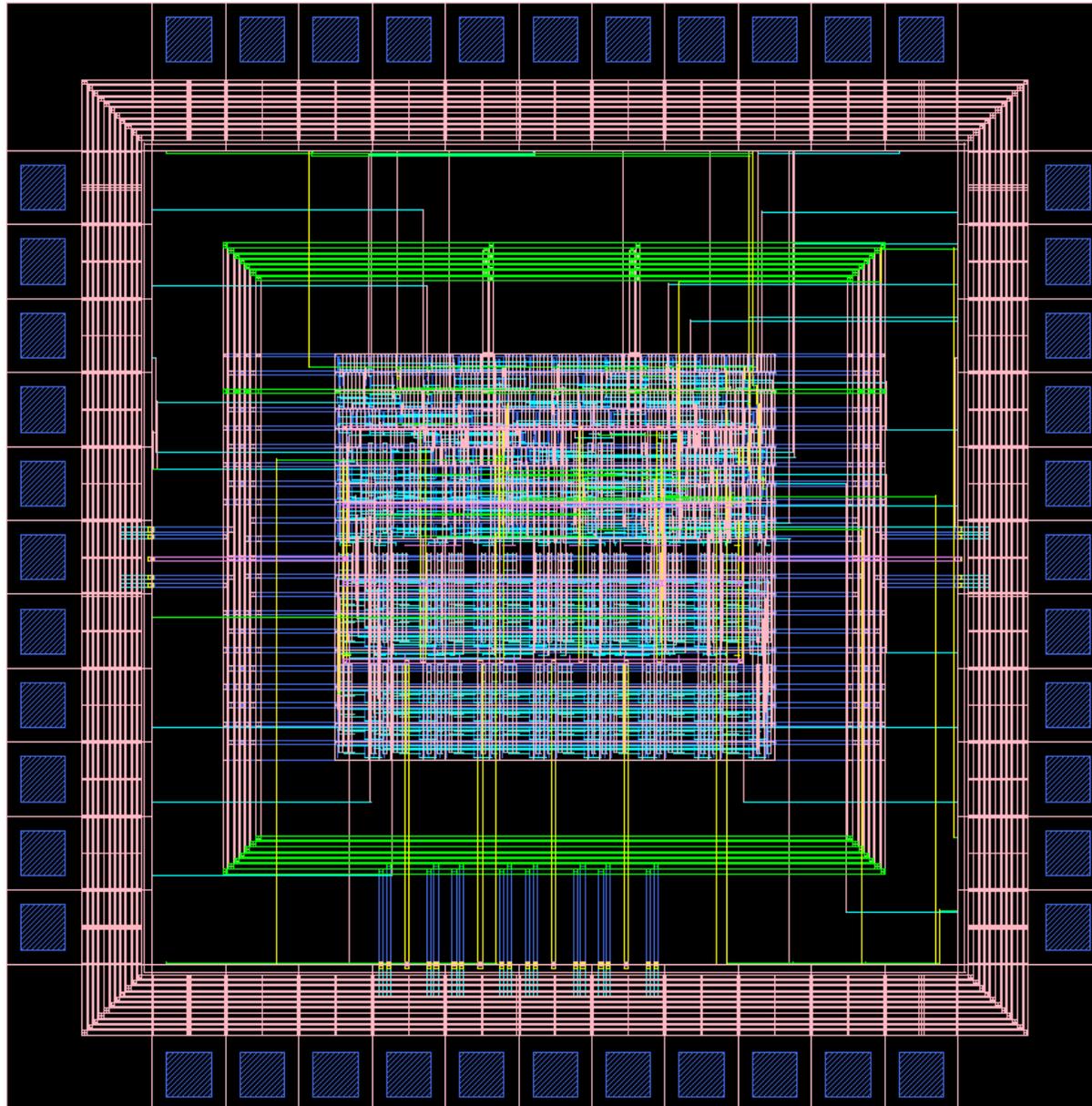
Description du flot de construction

- Stratus introduit une rupture dans la méthodologie de construction d'un circuit (netlist → layout)
 1. Labasededonnéessous-jacentereprésentantde manièreunifiéelavuelogique,physiqueet temporelle(hurricane)permetdeconstruirele circuitdansl'ordredécidé parleconcepteur. Cequipermet **entreautre** letop-down.
 2. L'usage d'un langage de haut-niveau interactif (python) permet la construction à vue et la définition d'algorithmes de construction.

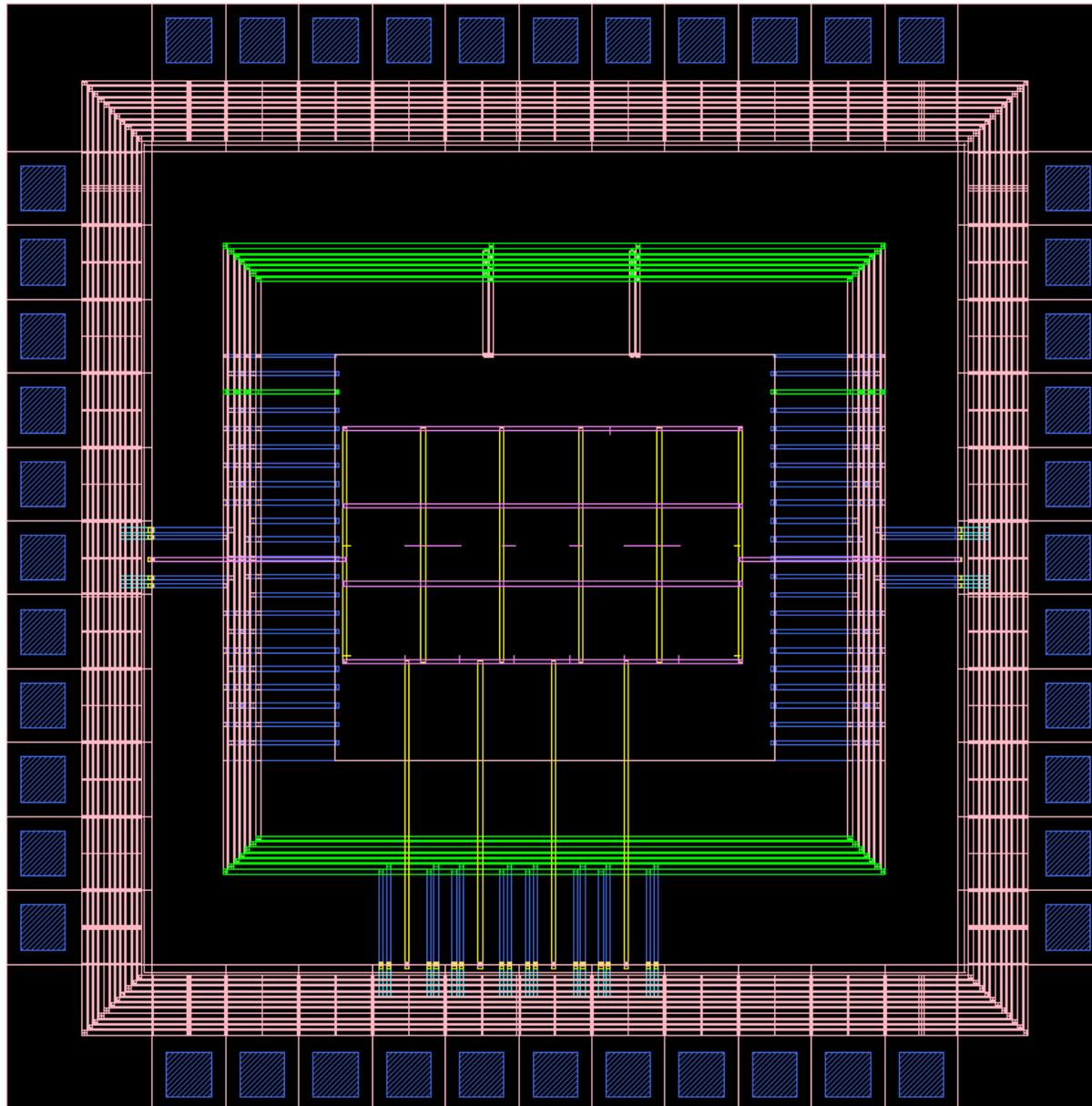
Travail à faire

- L'API permettant de décrire des netlists avec Stratusa déjà été présenté.
- Il reste à voir comment
 - décrire le placement des cellules et des blocs
 - décrire les étapes de routage de signaux spéciaux.
 - et le routage de l'ensemble du circuit

P&Ram2901



P&Ram2901



Méthode top-down

- le placement des plots en premier permet de savoir par quelle face arrivent ou partent les signaux du core
- Le placement des objets rigides (le chemin donné savoir comment il faudra alimenter le circuit et p ée permet de placer la glue).
- Le routage des alimentations permet de prévoir la placer restante pour la glue.
- Le placement de la glue tient compte de la position des signaux (plot et chemin donné).
- Le routage de l'horloge permet de savoir ce qu'il reste pour les signaux normaux.
- Le routage peut se faire toutes les contraintes du placement ayant été introduites. (actuellement le routage du core est externalisé).

Extrait du flot de conception

- Stratus est un langage qui permet à la fois de créer et de gérer des objets et d'invoquer des méthodes.

am2901_ctl.vst : am2901_ctl.vbe
outils de synthèse

am2901_chip.ap : execute_am2901_chip.py\
am2901_chip.py am2901_dpt.py am2901_core.py
stratus

am2901_chip_r.ap : am2901_chip.ap
nero

fichierspourl'am2901

- am2901_dpt.py
 - netlistduchemindedonnéesaveclesgénérateurs DPGEN
 - placementdescolonnes
- am2901_core.py
 - netlistentrelespartiescontrôleetchemindedonnée
 - placementdublocchemindedonnée+videpourle contrôle
 - routagedesalimentation
- am2901_chip.py
 - netlistentreleplotetlecore
 - placementdelacouronnedeplosetducoreauce ntre
 - routagedelacouronned'alim
 - placementdescellulesducontrôle
 - routagedel'horloge

API Stratus

Description of a layout

- Place
- PlaceTop
- PlaceBottom
- PlaceRight
- PlaceLeft
- SetRefIns
- DefAb
- ResizeAb

Place and Route

- PlaceSegment
- PlaceContact
- PlaceRef
- GetRefXY
- PlaceCentric
- PlaceGlu(e)
- FillCell
- PadNorth,...
- AlimVerticalRail,...
- AlimConnectors
- PowerRing
- RouteCk

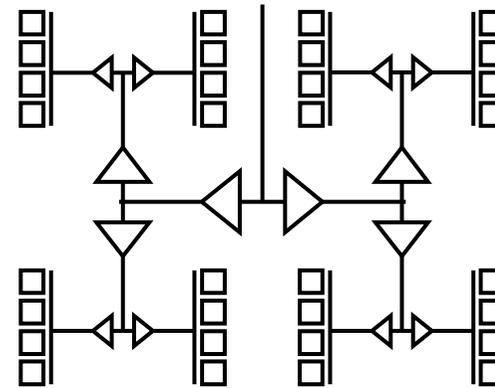
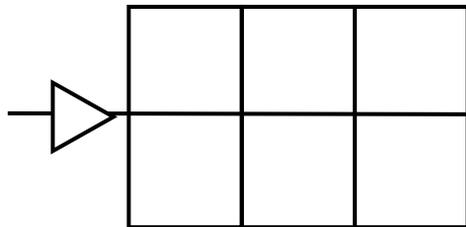
Virtual library

Instanciation facilities

- Buffer
- Multiplexor
- Shifter
- Register
- Constants
- Boolean operations
- Arithmetical operations
- Comparison operations

Routage horloge

- Problème:
 - acheminer le signal d'horloge devant chaque bascule en garantissant que le décalage temporel des fronts du signal par les bascules est borné et petit (skew).
- 2 solutions:
 - arbre équilibré d'amplificateurs
 - maillage



Plotshorloge

