

Examen de Tools

Franck Wajsburt

Master 2 ACSI

Version: 2006/11/14

Barème provisoire :	Exercice 1	3 points
	Exercice 2.1	5 points
	Exercice 2.2	7 points
	Exercice 2.3	5 points

Tous les réponses doivent être argumentez en particulier les questions de Réflexion. Il sera bien vu d'avoir un code commenté et indenté.

1 Décryptage d'une cellule (feuille annexe)

2 Problème

Le problème consiste à réaliser un sérialiseur : il fait la jonction entre un port parallèle et un port série. Le schéma 1, représente la vue structurelle du composant **serialiseur** que nous souhaitons réaliser.

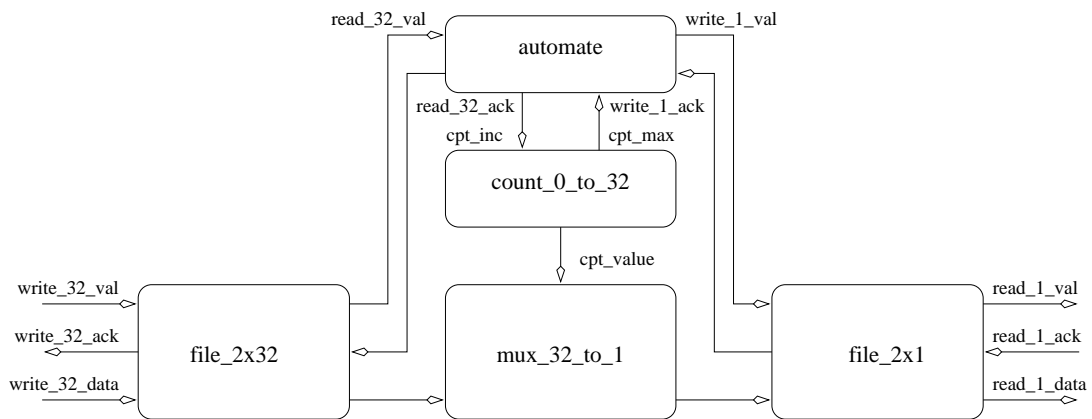


FIG. 1. Vue structurelle du sérialiseur

2.1 Automate d'état

1. A partir du graphe 2, Ecrivez l'automate au format syf.
2. **Réflexion** : Pourquoi l'algorithme *One Hot* est il le plus souvent un "bon" algorithme d'encodage des états. Dites en particulier les critères de comparaisons. D'après vous est ce le cas ici ?

2.2 Description comportementale et vecteurs de test

On se propose maintenant d'étudier le composant **file_2x32** . Il s'agit d'une fifo de profondeur 2 mots et de largeur 32 bits. On insère une donnée quand les ports **write_32_val** et **write_32_ack** valent 1, on retire une donnée quand les ports **read_32_val** et **read_32_ack** valent 1.

1. Ecrivez la vue comportementale (vbe) de ce composant (le choix de l'architecture interne est libre)
2. Remplissez les patterns données en annexes A.
3. **Réflexion** : Qu'est ce qui influence le choix de la profondeur des fifos **file_2x32** et **file_2x2**.

2.3 Vue structurelle

Nous allons maintenant intégrer l'automate (la partie contrôle), avec la **file_2x32** vu précédemment. Pour cet exercice, nous supposons l'existence des composants **counter_0_to_32**, **mux_32_to_1**, **file_2x1**, **file_2x32** et **automate**. De plus, nous supposons que chaque fichier vbe ou vst possède un fichier de test de même nom écrit au format pat.

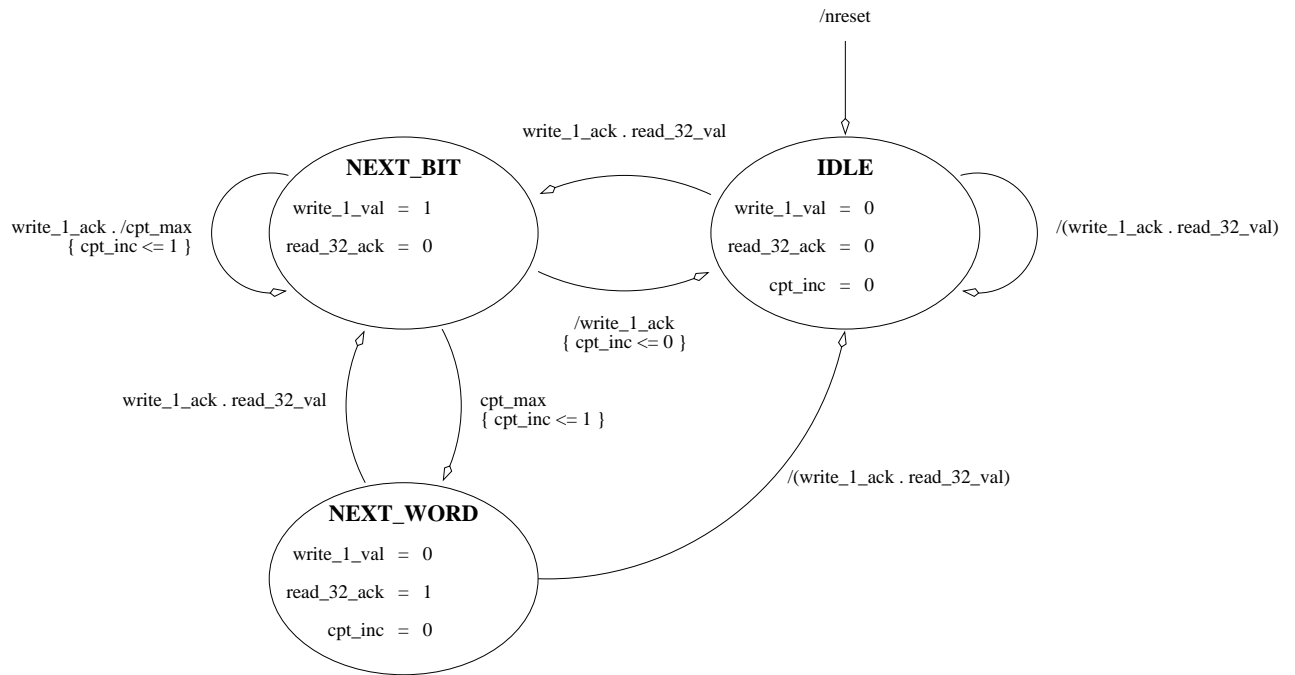


FIG. 2. Automate de la partie contrôle

1. Ecrivez la vue structurelle au format stratus du composant **serialiseur** instanciant les composants précédemment cités.
2. En tenant compte des remarques préliminaires, Ecrivez un Makefile qui permet d'obtenir une vue structurelle de tous les composants du **serialiseur** (et sera donc un point d'entrée pour le placeur *mistral*)
3. **Réflexion** : Quel test devrait t'on faire pour tester la fonctionnalité du sérialiseur.

Annexe A

```
in   clk                Bi
in   nreset             Biii

in   write_32_val       Bii
out  write_32_ack       Bii
in   write_32_data      (31 downto 0) Xiii

out  read_32_val        Bii
in   read_32_ack        Bii
out  read_32_data       (31 downto 0) Xiii

in   vdd                Bi
in   vss                Biii
```

```
begin
```

```
<0   ns>: 01 0 ?_ 00000000 ?_ 0 ?_____ 10;
<+50 ns>: 11 0 ?_ 00000000 ?_ 0 ?_____ 10;
<+25 ns>: 01 0 ?_ 00000000 ?_ 0 ?_____ 10;

<+25 ns>: 00 0 ?_ 00000000 ?_ 0 ?_____ 10;
<+50 ns>: 10 0 ?_ 00000000 ?_ 0 ?_____ 10;
<+25 ns>: 00 0 ?_ 00000000 ?_ 0 ?_____ 10;

<+25 ns>: 01 1 ?_ 11111111 ?_ 0 ?_____ 10;
<+50 ns>: 11 1 ?_ 11111111 ?_ 0 ?_____ 10;
<+25 ns>: 01 1 ?_ 11111111 ?_ 0 ?_____ 10;

<+25 ns>: 01 1 ?_ 22222222 ?_ 0 ?_____ 10;
<+50 ns>: 11 1 ?_ 22222222 ?_ 0 ?_____ 10;
<+25 ns>: 01 1 ?_ 22222222 ?_ 0 ?_____ 10;

<+25 ns>: 01 0 ?_ 33333333 ?_ 1 ?_____ 10;
<+50 ns>: 11 0 ?_ 33333333 ?_ 1 ?_____ 10;
<+25 ns>: 01 0 ?_ 33333333 ?_ 1 ?_____ 10;

<+25 ns>: 01 1 ?_ 33333333 ?_ 1 ?_____ 10;
<+50 ns>: 11 1 ?_ 33333333 ?_ 1 ?_____ 10;
<+25 ns>: 01 1 ?_ 33333333 ?_ 1 ?_____ 10;

<+25 ns>: 01 0 ?_ 44444444 ?_ 1 ?_____ 10;
<+50 ns>: 11 0 ?_ 44444444 ?_ 1 ?_____ 10;
<+25 ns>: 01 0 ?_ 44444444 ?_ 1 ?_____ 10;

<+25 ns>: 01 1 ?_ 55555555 ?_ 1 ?_____ 10;
<+50 ns>: 11 1 ?_ 55555555 ?_ 1 ?_____ 10;
<+25 ns>: 01 1 ?_ 55555555 ?_ 1 ?_____ 10;
end;
```