

# Transparents des cours

- Architecture interne de l'AM2901
- Outils de simulation logico-temporelle
- Outils de synthèse de bas niveau
- Langages de description de netlist
- Règles de dessin
- Dessin de cellule
- Langage de description de placement (incomplet)
- Outils de routage et de vérification

# Travaux Pratiques

- TP1 : Synthèse logique
- TP2 : Modélisation structurelle avec Stratus
- TP3 : Schéma de la partie contrôle du circuit l'AM2901
- TP4 : Schéma du chemin de données du circuit AM2901
- TP5 : Dessin de cellule précaractérisée
- TP6 : Routage "overcell" d'un opérateur de décodage
- TP7 : Placement/routage du circuit AM2901
- TP8 : Analyse de timing du circuit AM2901

# Annales (sans corrigé)

- Novembre 2006 (manque l'annexe sur le décryptage d'une cellule)