

Familles logiques CMOS et Analyse Temporelle

Analyse Temporelle

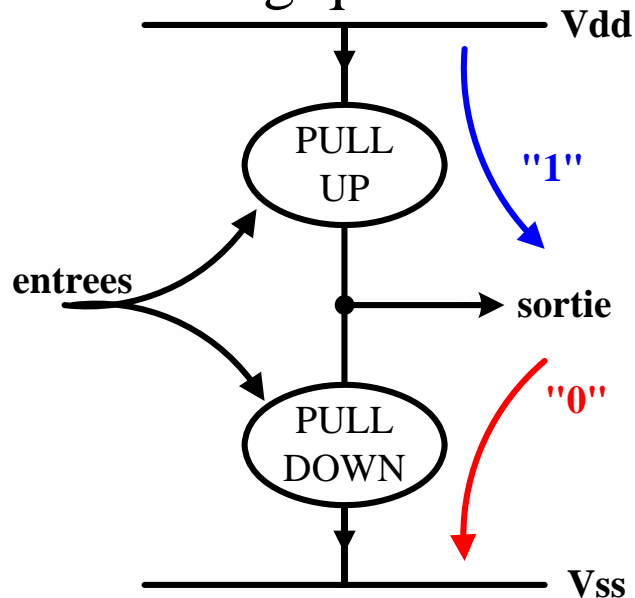
MASTER ACSI M2

Habib MEHREZ



Familles Logiques CMOS

Arbres logiques:

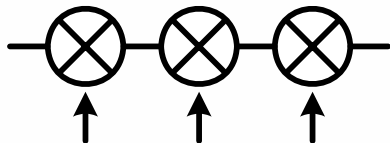


Etats de sortie

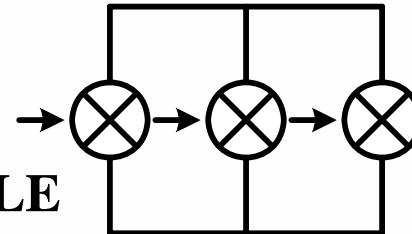
1. Rapport d'impédances entre les 2 réseaux
2. Réseaux complémentaires
3. Réseaux à précharge

Réseaux de transistors

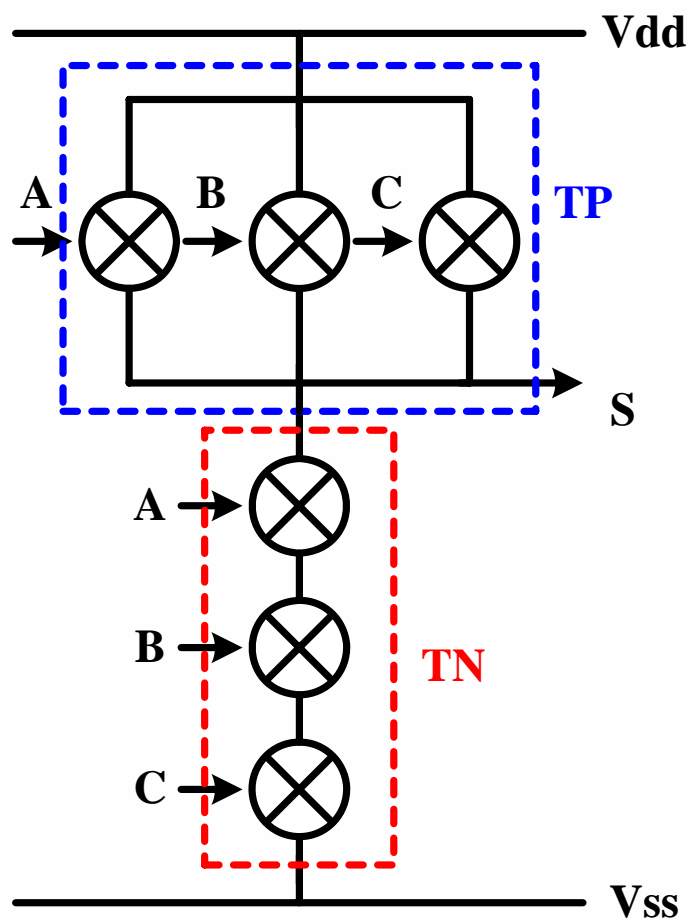
**ET
SERIE**



**OU
PARALLELE**



Famille CMOS Complémentaire



PORTE NAND:

$$S = \overline{A \cdot B \cdot C} = \overline{A} + \overline{B} + \overline{C}$$

- **Dimensionnement des Transistors:**

Si $L_n = L_p$ et $W_n = W_p$

$$\rightarrow R_p \approx 3R_n$$

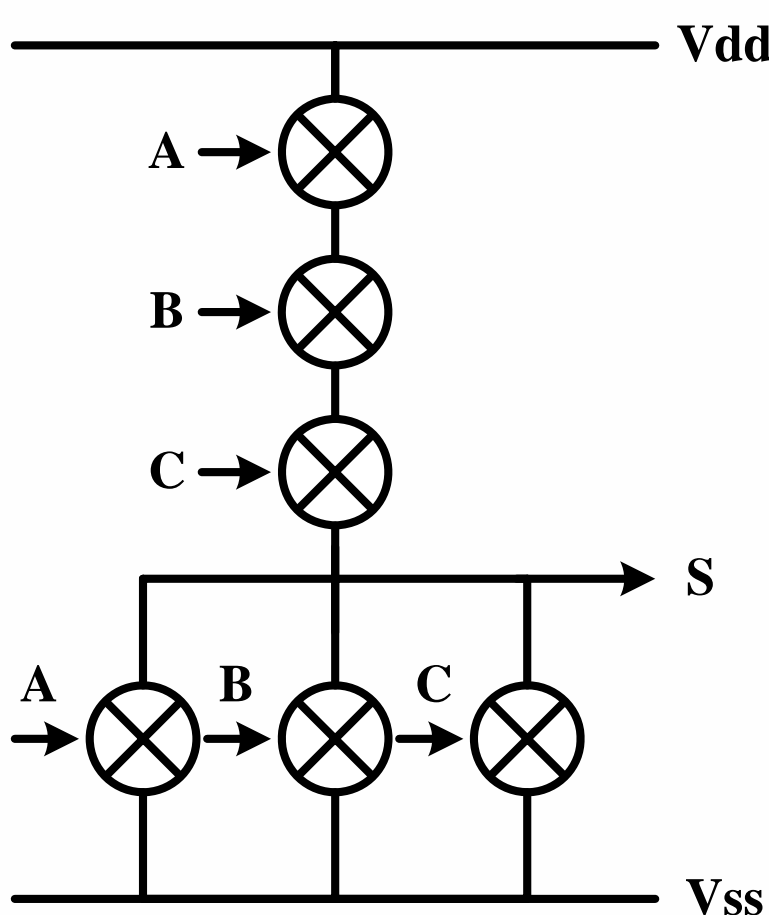
- **Equilibre Temps de montée et de descente:**

$$R_N = 3R_n$$

$$R_P = R_p \approx 3R_n$$



Famille CMOS Complémentaire



PORTE NOR:

$$S = \overline{A + B + C} = \overline{A} \cdot \overline{B} \cdot \overline{C}$$

• Dimensionnement des Transistors:

$$R_N \approx R_n$$

$$R_p \approx 3R_p \approx 9R_n$$

• Equilibre avec

$$L_n = L_p$$

$$W_p \approx 9W_n$$

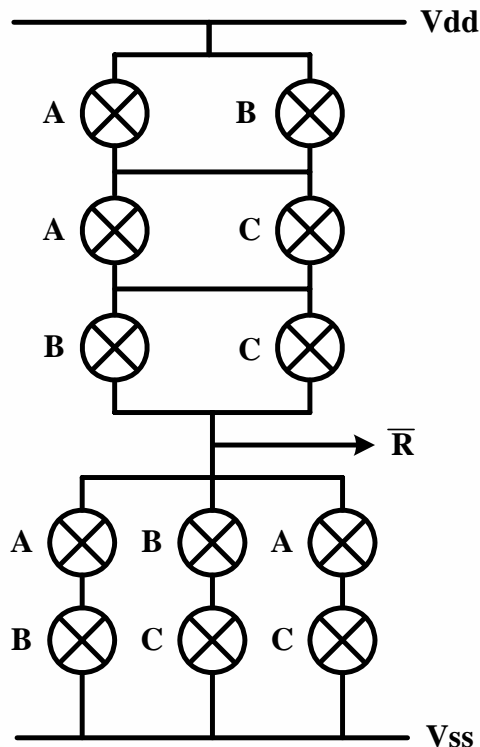


Porte Complexe

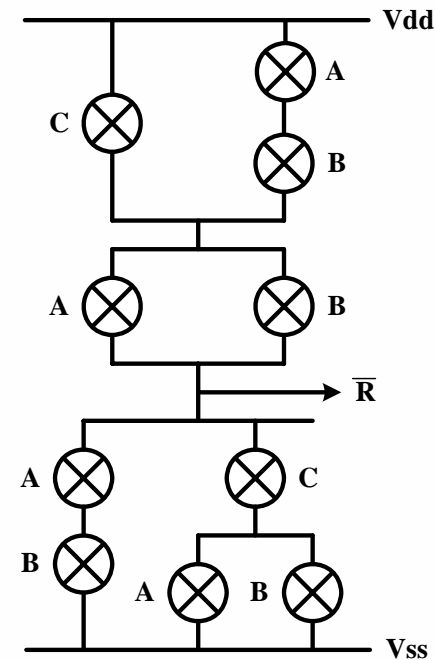
Formule de Shanon généralisée: $f(x, y, z, \dots, +, \bullet) = f(\bar{x}, \bar{y}, \bar{z}, \dots, \bullet, +)$

Exemple $\bar{R} = \overline{A \cdot B + B \cdot C + A \cdot C} = (\bar{A} + \bar{B})(\bar{B} + \bar{C})(\bar{A} + \bar{C})$

1^{ère} solution



2^{ème} solution

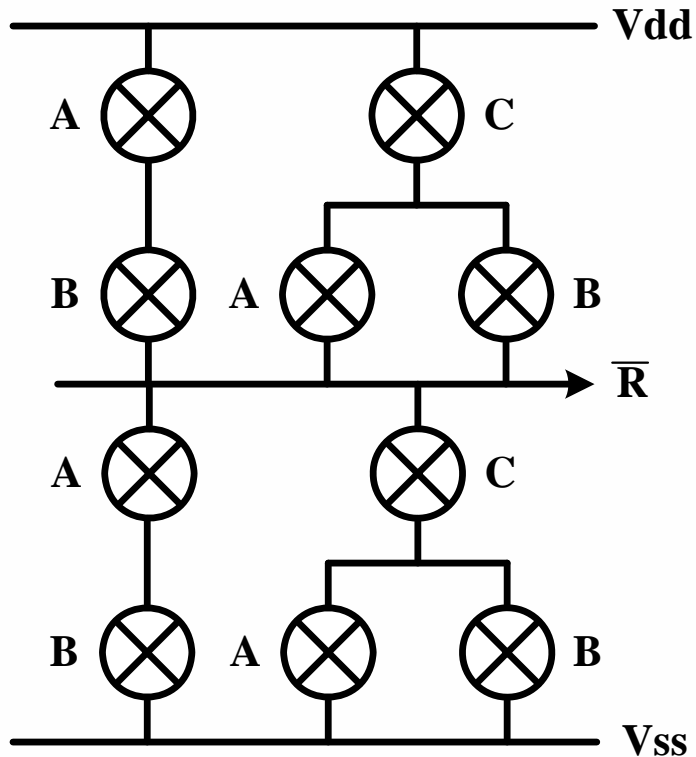


$$\begin{aligned} \bar{R} &= \overline{A \cdot B + C(A + B)} \\ &= (\bar{A} + \bar{B})(\bar{C} + \bar{A} \cdot \bar{B}) \end{aligned}$$

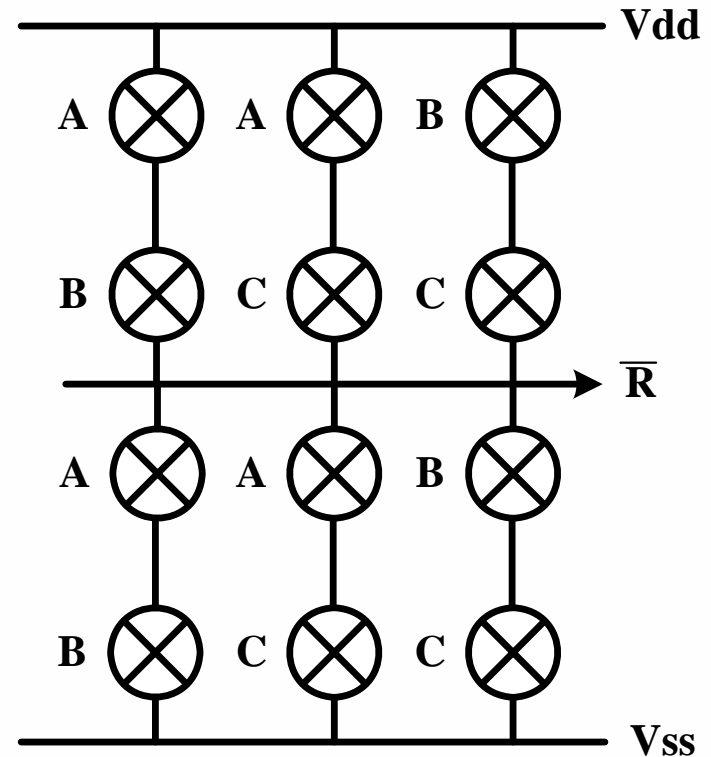


Porte Complexe

3^{ème} solution



4^{ème} solution

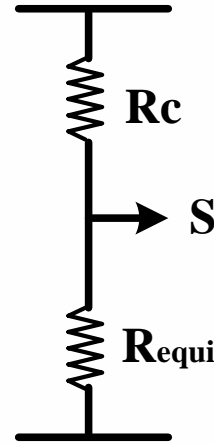
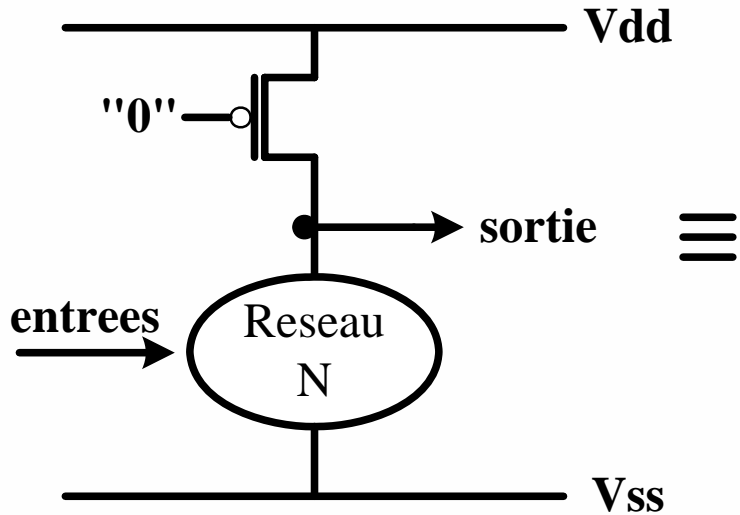


Tenir compte:

1. Complexité
2. Performances (dimensionnement des transistors)

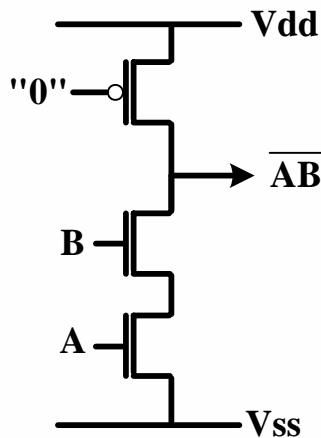


Famille Logique Pseudo-NMOS ou Pseudo-CMOS

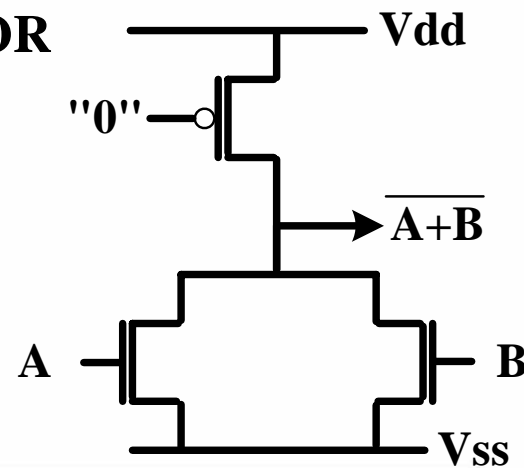


- Etat "1" en sortie:
Réseau N bloqué
- Etat "0" en sortie
Réseau N passant → CONSO
→ **Dimensionnent TR.**
R équivalente $\ll Rc$
Problème: temps \neq

NAND

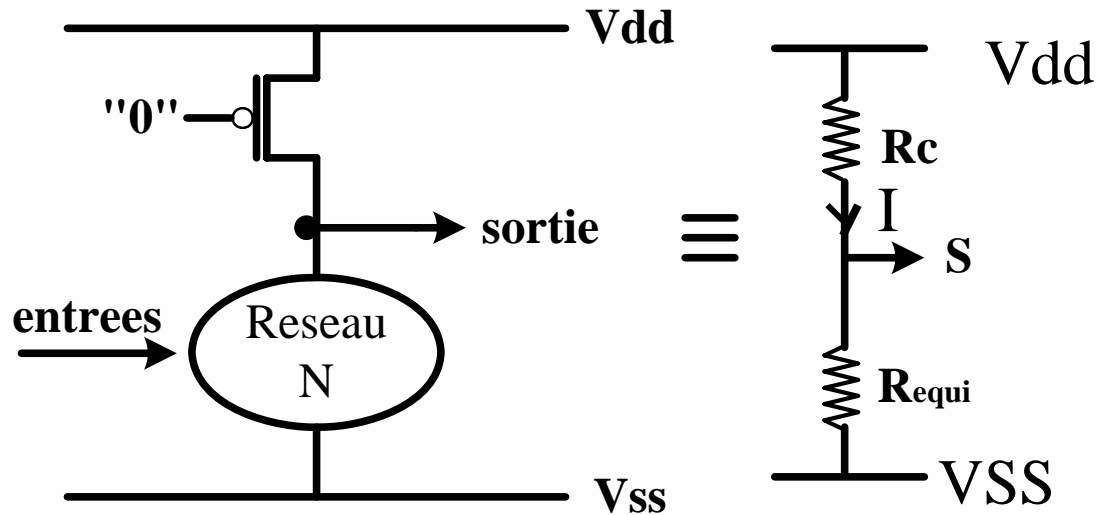


NOR



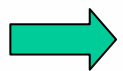
Famille Logique Pseudo-NMOS ou Pseudo-CMOS

Dimensionnement des transistors



$$S = \frac{R_{eq}}{R_{eq} + R_c} * V_{DD}$$

$$S < V_{tn} \sim V_{DD}/10$$



$$R_c > 9R_{eq}$$

Or $R_{eq} = R_{n0} \cdot L_n / W_n$ et $R_c = R_{p0} \cdot L_p / W_p$

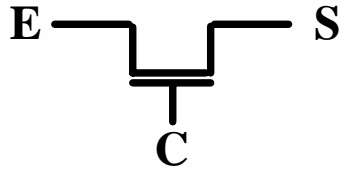
Avec $R_{p0} = \mu_n / \mu_p \cdot R_{n0}$



$$\mu_n / \mu_p \cdot L_p / W_p > 9 L_n / W_n$$

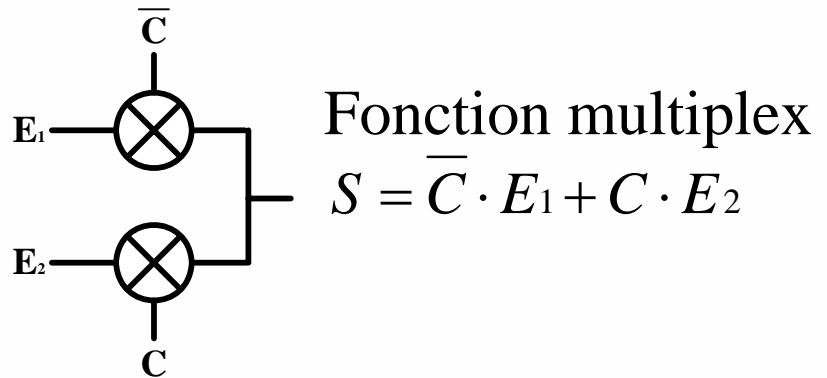


Logique à Transistors de Passage ou à Relais



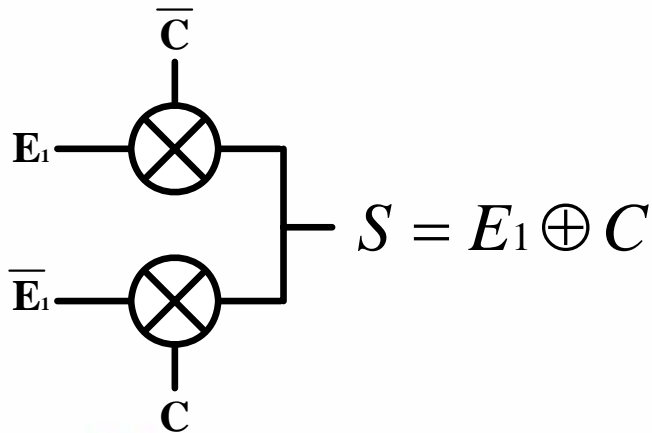
$$C = 1 \quad S = E$$

$C = 0$ S: H.Z(haute impédance)

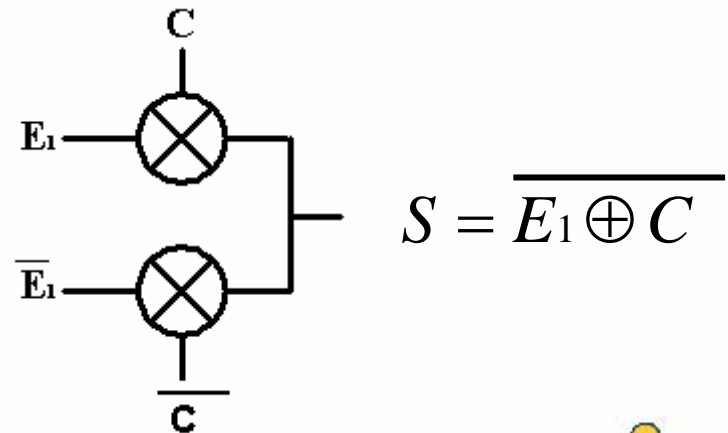


Commandes Exclusives

Ex: XOR $E_2 = \overline{E_1}$

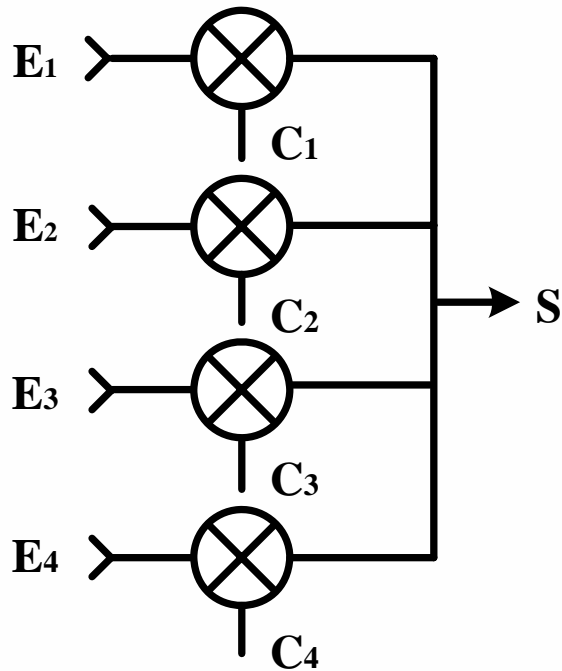


Ex: XNOR



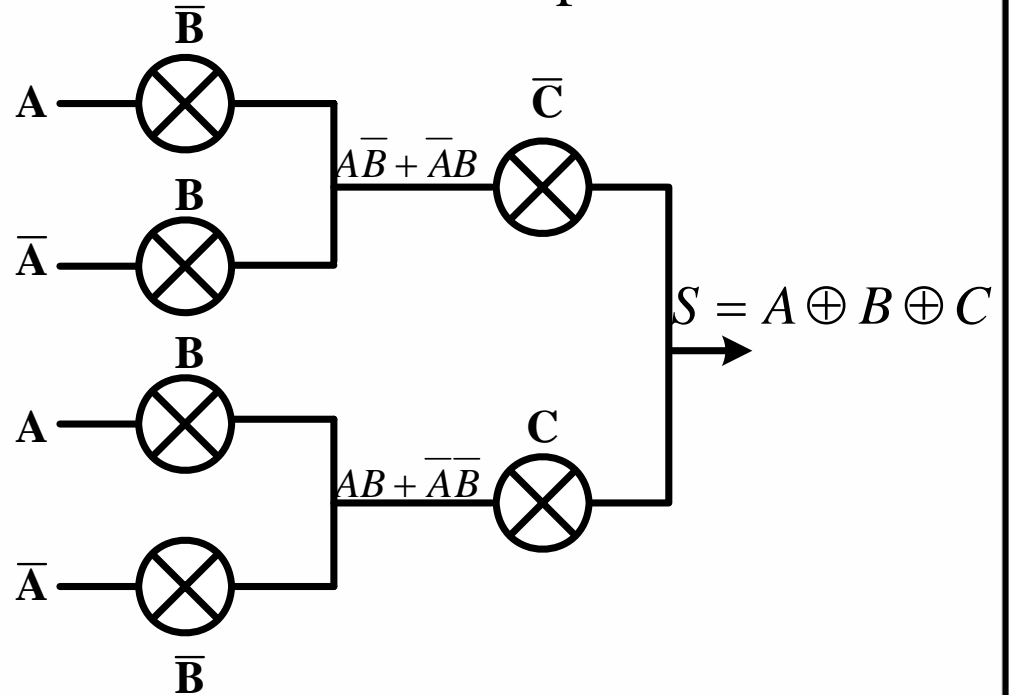
Exemples

1. Multiplexeurs



$$S = C_1 \cdot E_1 + C_2 \cdot E_2 + C_3 \cdot E_3 + C_4 \cdot E_4$$

2. Additionneur complet

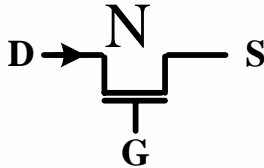


$$S = A \oplus B \oplus C = (\overline{AB} + B\overline{A}) \oplus C \\ = \overline{C}(\overline{AB} + B\overline{A}) + C(AB + \overline{A}\overline{B})$$



Logique à Transistors de Passage: dégradation des sorties

Transistor N

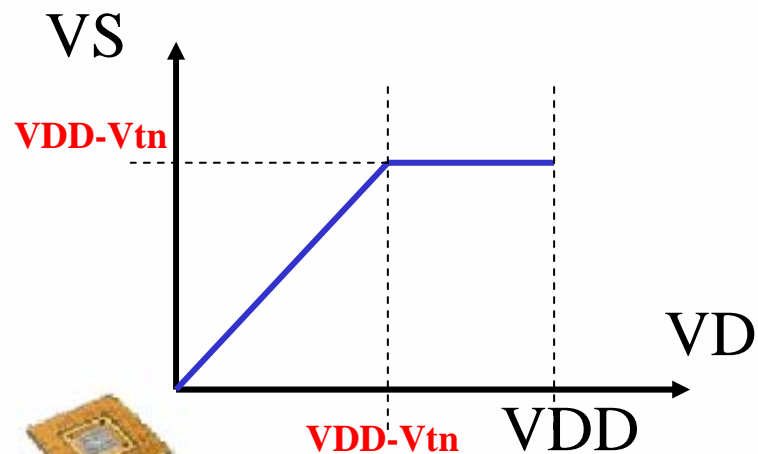


Transistor passant $V_{GS} > V_{tn}$

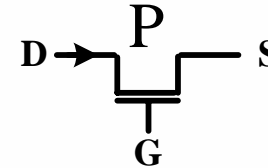
$$V_G - V_S > V_t \rightarrow$$

$$\text{Si } V_G = V_{DD} \rightarrow$$

$$V_S < V_{DD} - V_{tn}$$



Transistor P

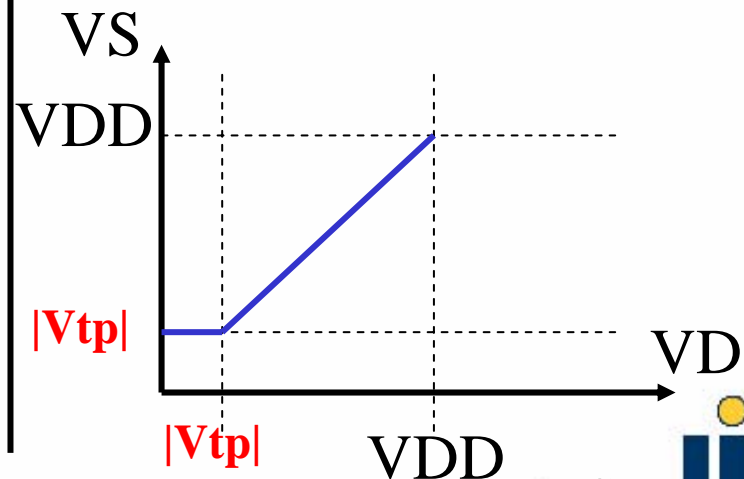


Transistor passant $V_{GS} < V_{tp}$

$$V_G - V_S < V_{tp} \rightarrow$$

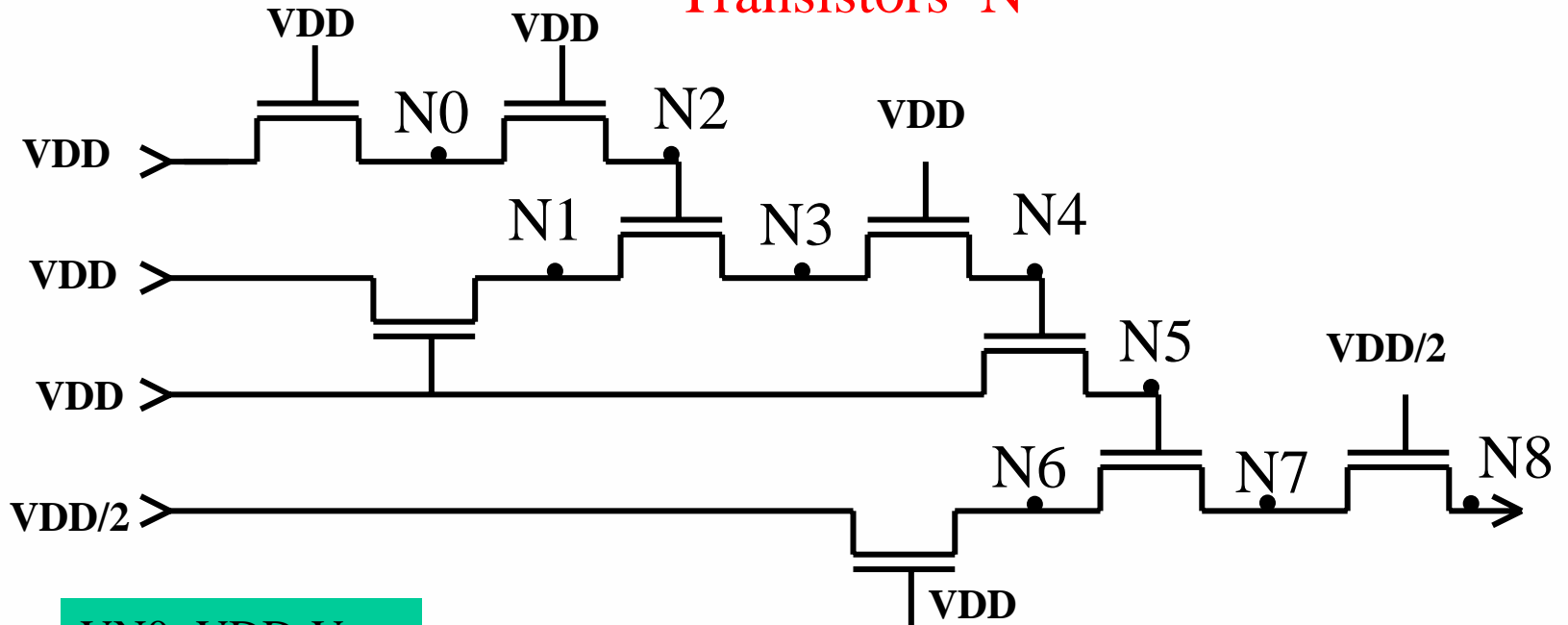
$$\text{Si } V_G = 0 \rightarrow$$

$$V_S > -V_{tp} \rightarrow V_S > |V_{tp}|$$



Logique à Transistors de Passage: dégradation des sorties

Transistors N

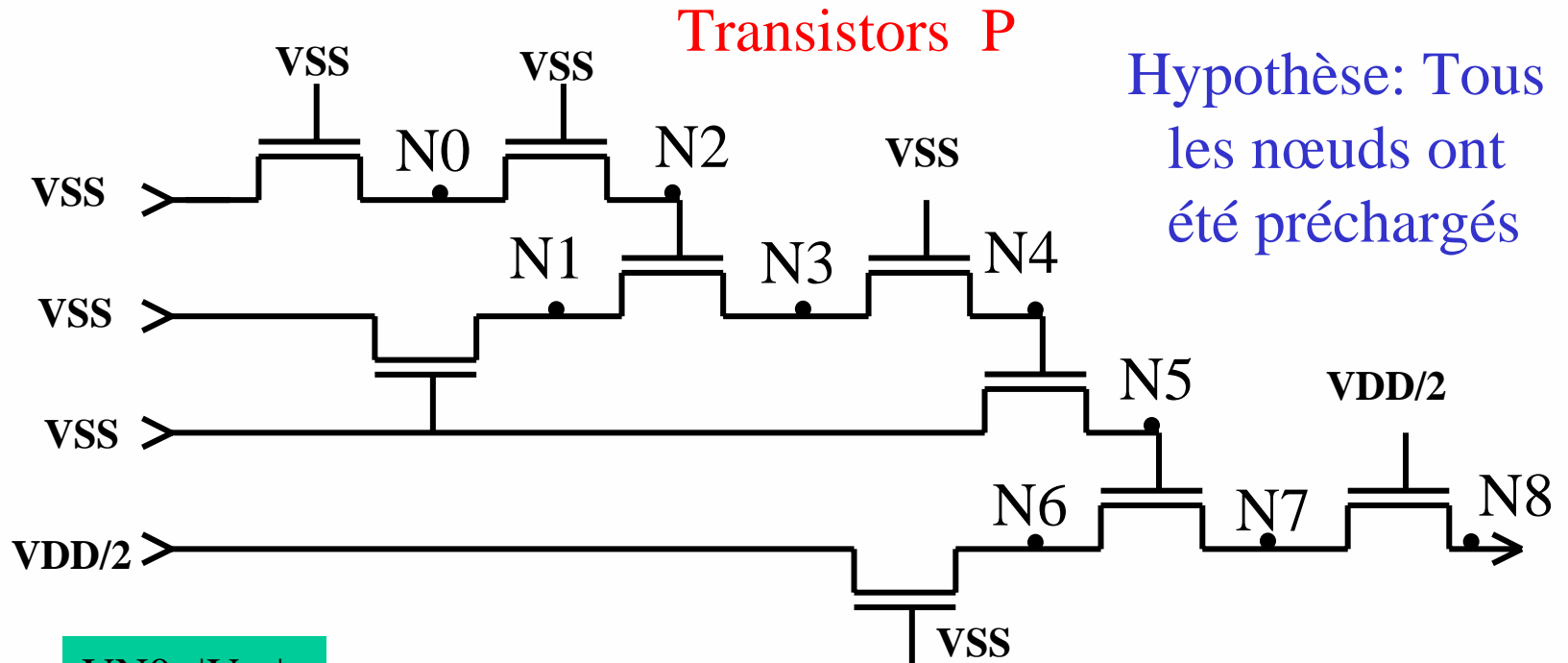


$$\begin{aligned} V_{N0} &= V_{DD} - V_{tn} \\ V_{N1} &= V_{DD} - V_{tn} \\ V_{N2} &= V_{DD} - V_{tn} \\ V_{N3} &= V_{DD} - 2V_{tn} \\ V_{N4} &= V_{DD} - 2V_{tn} \end{aligned}$$

$$\begin{aligned} V_{N5} &= V_{DD} - 3V_{tn} \\ V_{N6} &= V_{DD}/2 \\ V_{N7} &= \max(V_{DD} - 4V_{tn}, V_{DD}/2) \\ V_{N8} &= \max(V_{DD}/2 - V_{tn}, \max(V_{DD} - 4V_{tn}, V_{DD}/2)) \end{aligned}$$



Logique à Transistors de Passage: dégradation des sorties



$$\begin{aligned} VN0 &= |V_{tp}| \\ VN1 &= |V_{tp}| \\ VN2 &= |V_{tp}| \\ VN3 &= 2|V_{tp}| \\ VN4 &= 2|V_{tp}| \end{aligned}$$

$$\begin{aligned} VN5 &= 3|V_{tp}| \\ VN6 &= VDD/2 \\ VN7 &= \max(4|V_{tp}|, VDD/2) \\ VN8 &= \max(VDD/2 + |V_{tp}|, \max(4|V_{tp}|, VDD/2)) \end{aligned}$$



Familles CMOS à Précharge ou Dynamiques

2 phases:

(1) Phase précharge

$\phi = 0$ TP passant

TN bloqué

C_L se charge

→ sortie "1"

(2) Phase dévaluation

$\phi = 1$ TP bloqué

TN passant

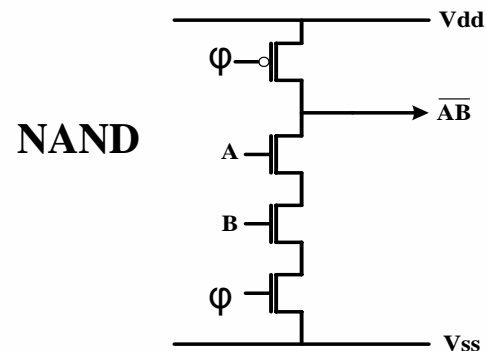
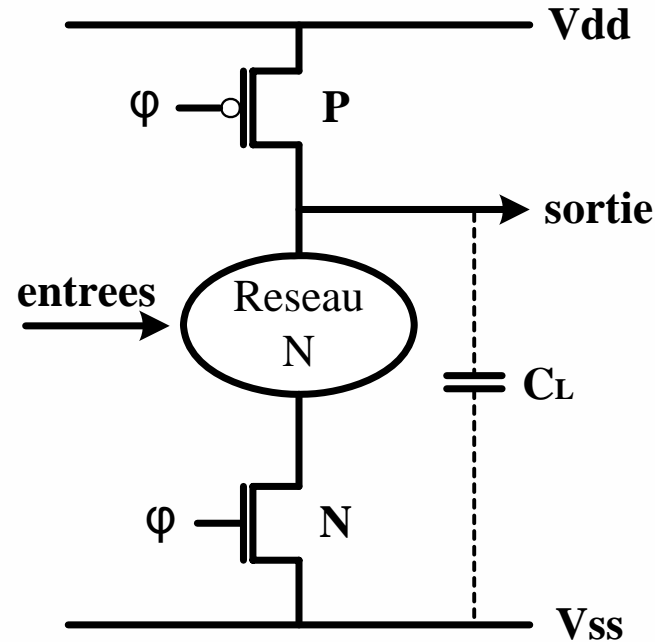
évaluation Réseau N

→ sortie = $f(E_i)$

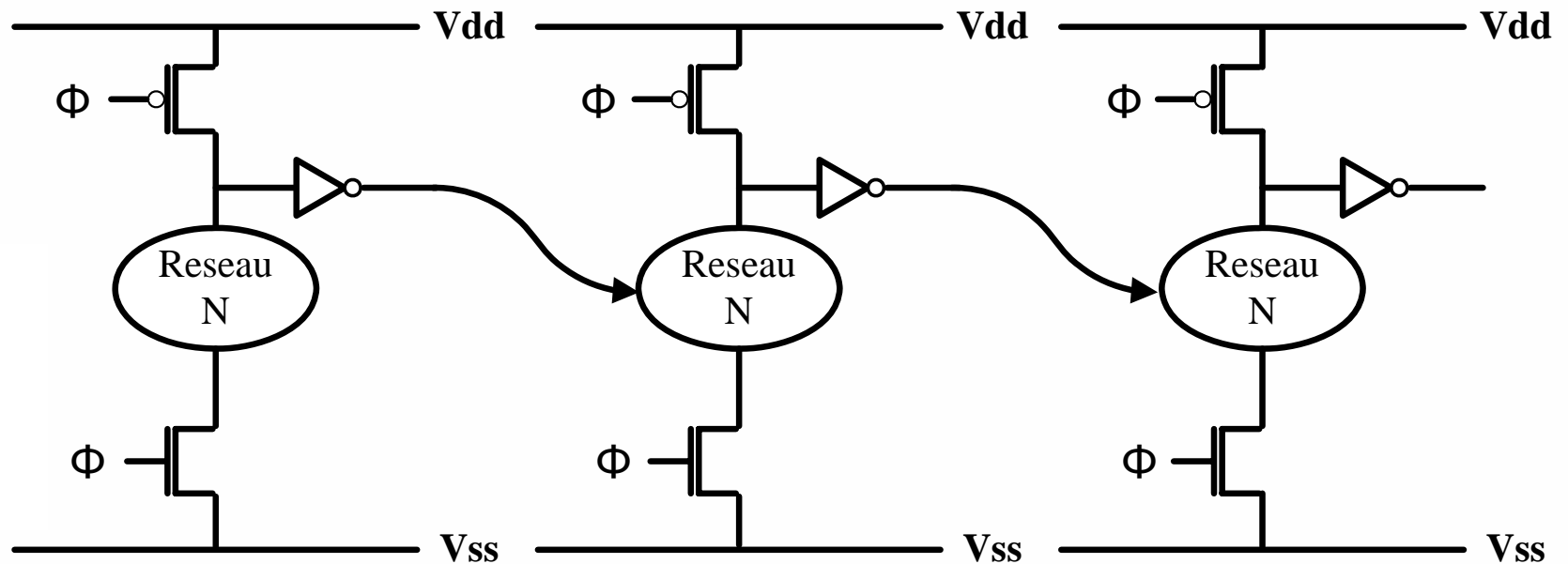
Pb: - partage de charges

- cascade bilité

- stabilité signaux



Logique à Précharge domino



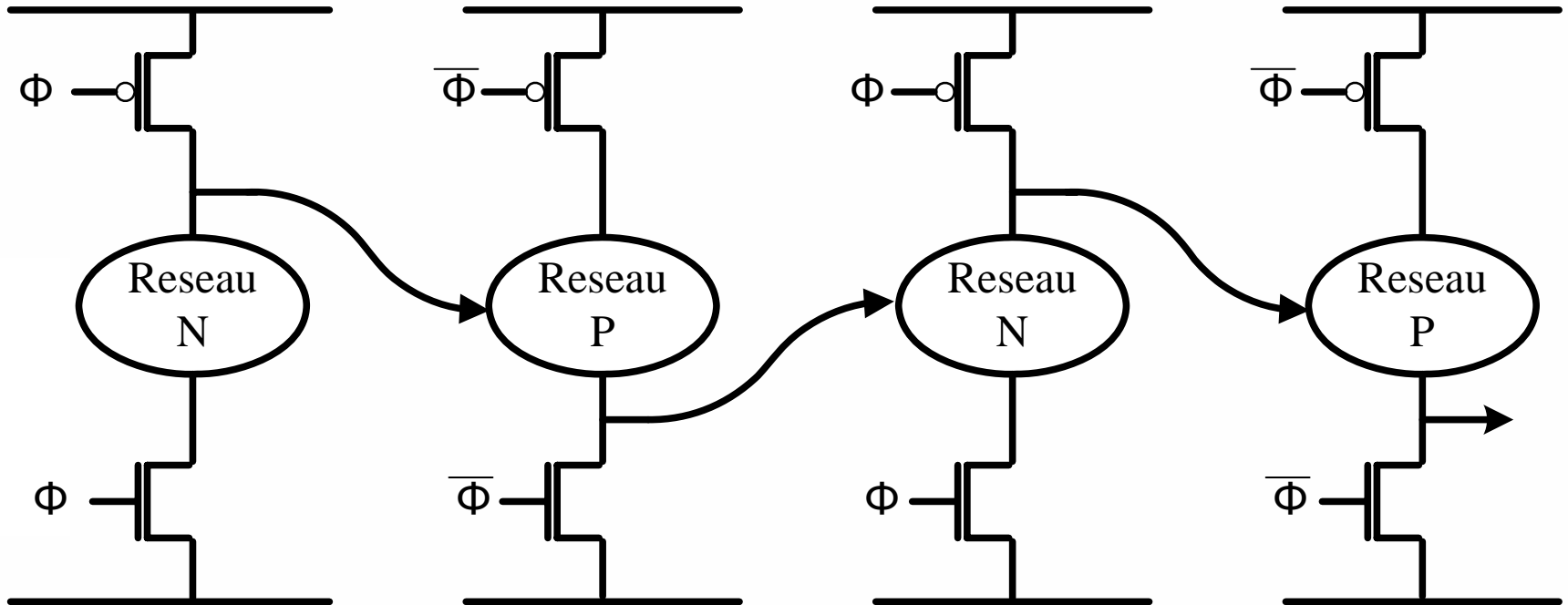
$\Phi = 0 \rightarrow$ précharge \rightarrow blocage réseau N

$\Phi = 1 \rightarrow$ évolution propagée

- Meilleure stabilité et cascabilité
- Mais problème partage de charge



Logique à Précharge NORA



(1) Précharge $\Phi = 0$

(2) Evaluation $\Phi = 1$

Réseaux N et P bloqués

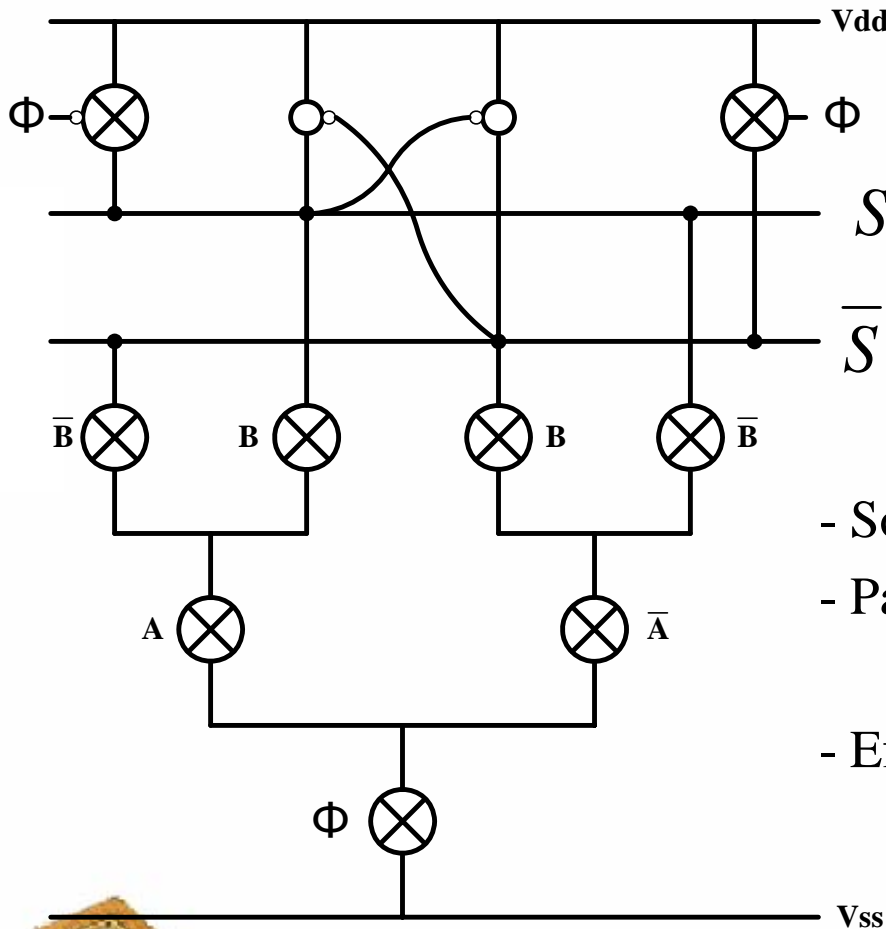
- stabilité meilleure

- problème résistivité réseaux P



Famille Logique DCVS

Differential Cascode Voltage Switch



Variables différentielles

$$S = A \oplus B$$

$$\bar{S} = \overline{A \oplus B}$$

- Sortie et sortie complémentaire
- Pas de pb de partage de charges
(pas de noeuds flottants)
- Efficace pour les opérateurs arithmétiques
etc...



Structures Régulières Combinatoires

Structure PLA(Programmable logic Array)

Réalisation de plusieurs fonctions par des structures régulières

Ex:
$$S = a \oplus b \oplus c = (\overline{ab} + a\overline{b})\overline{c} + (ab + \overline{a}\overline{b})c$$
$$= \overline{a}\overline{b}c + \overline{a}b\overline{c} + a\overline{b}\overline{c} + ab\overline{c}$$

$$R = ab + ac + bc$$

$$M_1 = \overline{a}\overline{b}c = \overline{\overline{a + b + c}}$$

$$M_2 = \overline{a}\overline{b}\overline{c} = \overline{\overline{a + b + c}}$$

$$M_3 = \overline{a}b\overline{c} = \overline{\overline{a + b + c}}$$

$$M_4 = \overline{a}bc = \overline{\overline{a + b + c}}$$

$$M_5 = ab = \overline{\overline{a + b}}$$

$$M_6 = ac = \overline{\overline{a + c}}$$

$$M_7 = bc = \overline{\overline{b + c}}$$

$$S = M_1 + M_2 + M_3 + M_4$$

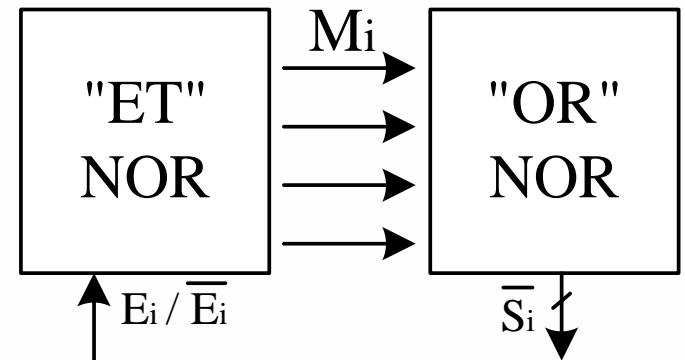
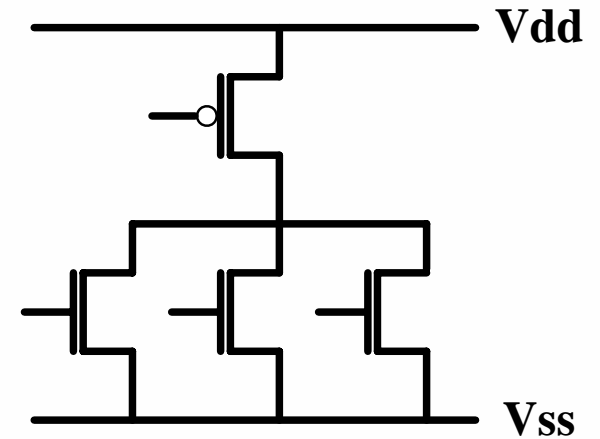
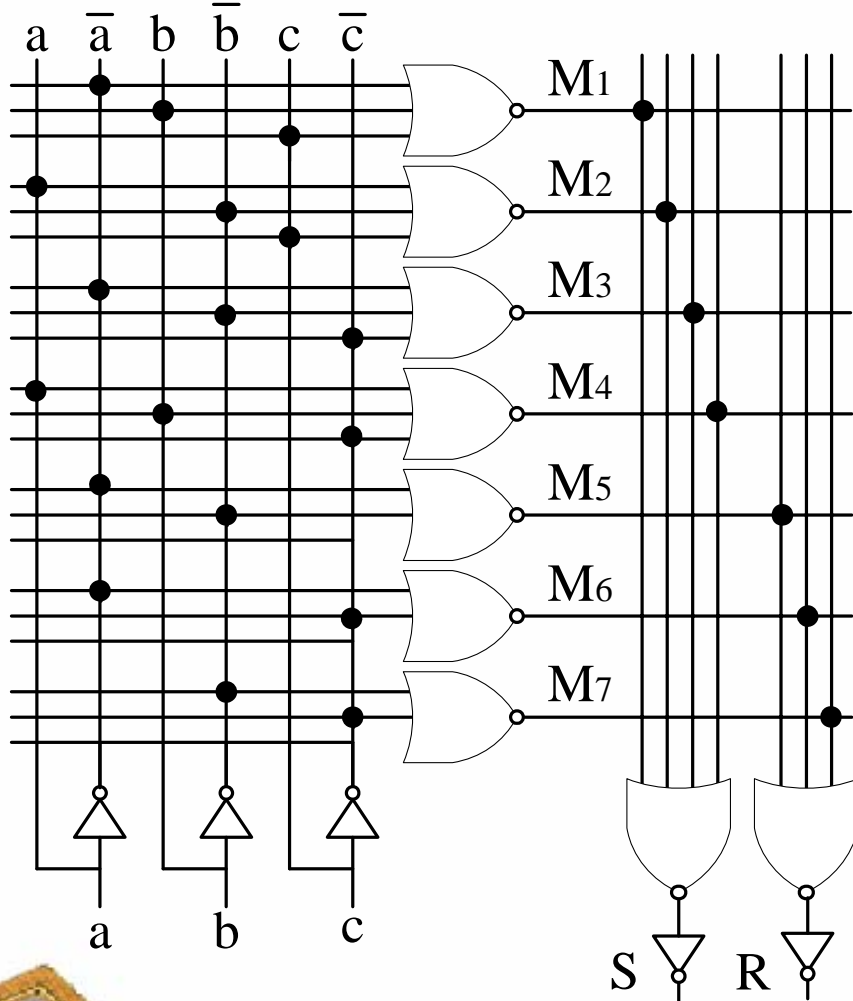
$$\overline{S} = \overline{M_1 + M_2 + M_3 + M_4}$$

$$R = M_5 + M_6 + M_7$$

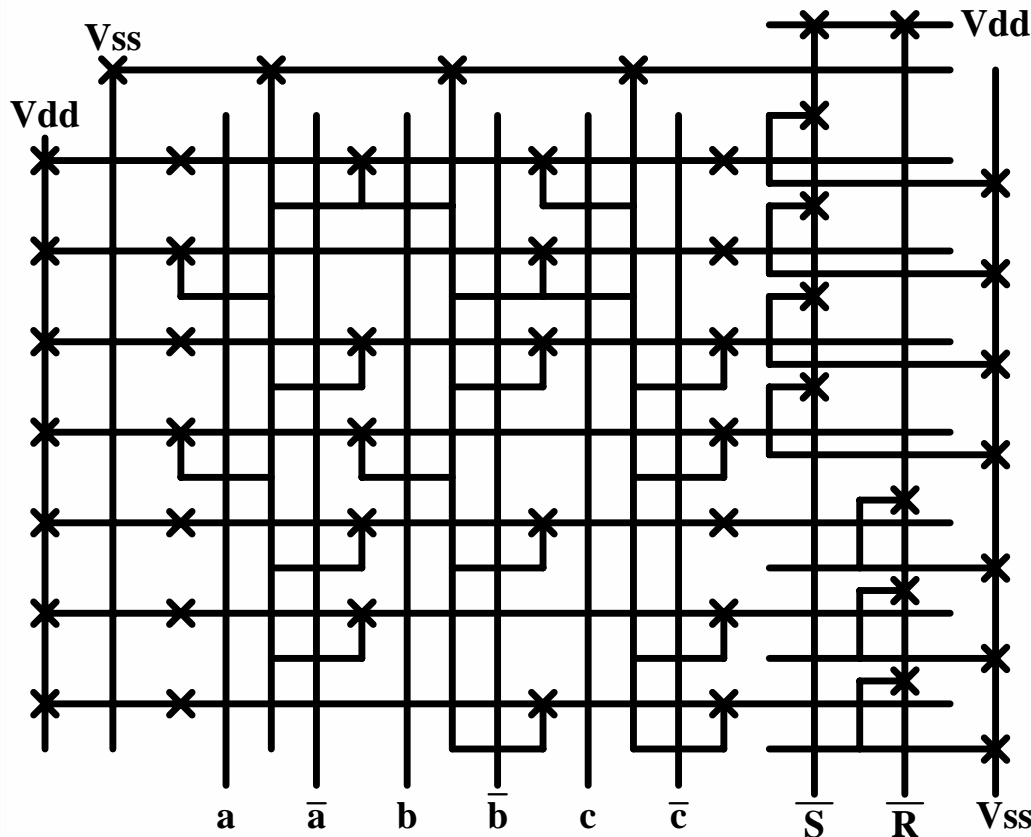
$$\overline{R} = \overline{M_5 + M_6 + M_7}$$



Structures Régulières Combinatoires



Structures Régulières Combinatoires



Complexité

➤ Matrice ET:

$$\text{Nb TN} = \underbrace{2 \times \text{Nb de var.}}_{\text{largeur}} \times \underbrace{\text{Nb de minterms}}_{\text{hauteur}}$$

$$\text{Nb TP} = \text{Nb de minterms}$$

➤ Matrice OU:

$$\text{Nb TN} = \text{Nb de sorties} \times \text{Nb de minterms}$$

$$\text{Nb TP} = \text{Nb de sorties}$$



Résumé: Les étapes de réalisation d'un PLA

1. Décomposer les fonctions en "ou" de minterms faisant intervenir de var.

$$x_j / \overline{x_j} \Rightarrow \overline{f_i}$$

2. Transformer les minterms en "NOR"

3. Réaliser la matrice "ET"

4. Réaliser la matrice "OU"

5. Inverser les sorties $\overline{f_i} \Rightarrow f_i$

Autres possibilités de réalisation d'un PLA

Arbres dynamiques (Par précharge)

