

# Eléments Séquentiels en CMOS

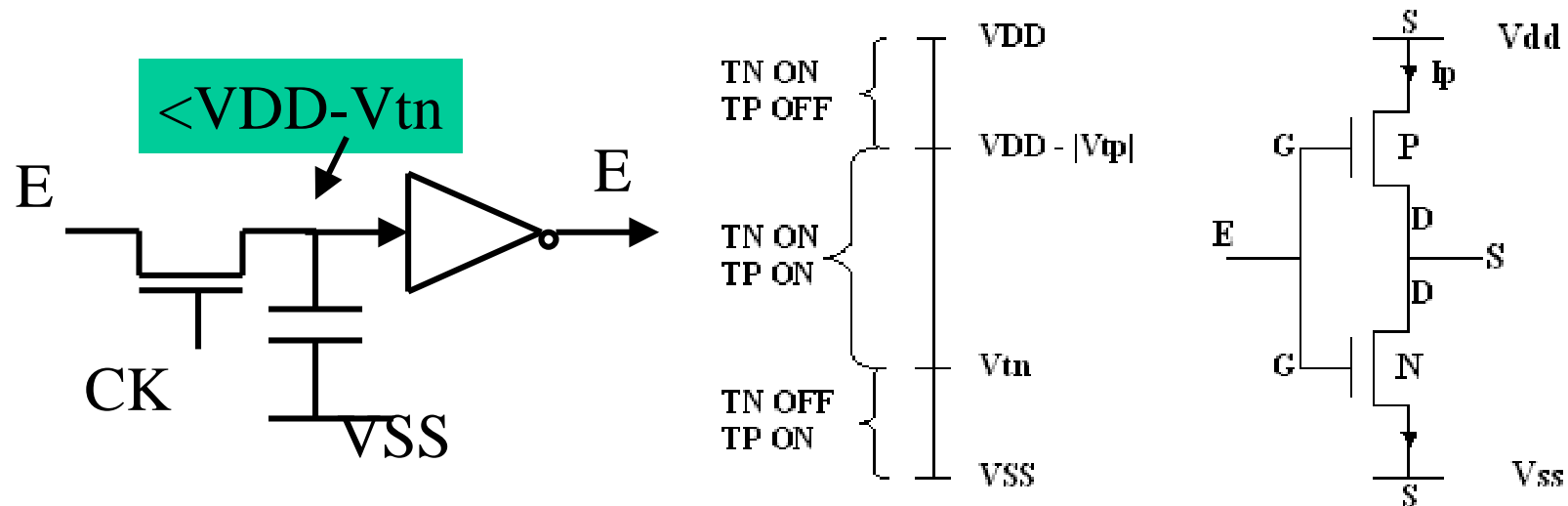
**Analyse Temporelle**

MASTER ACSI M2

**Habib MEHREZ**



# Latch Dynamique N

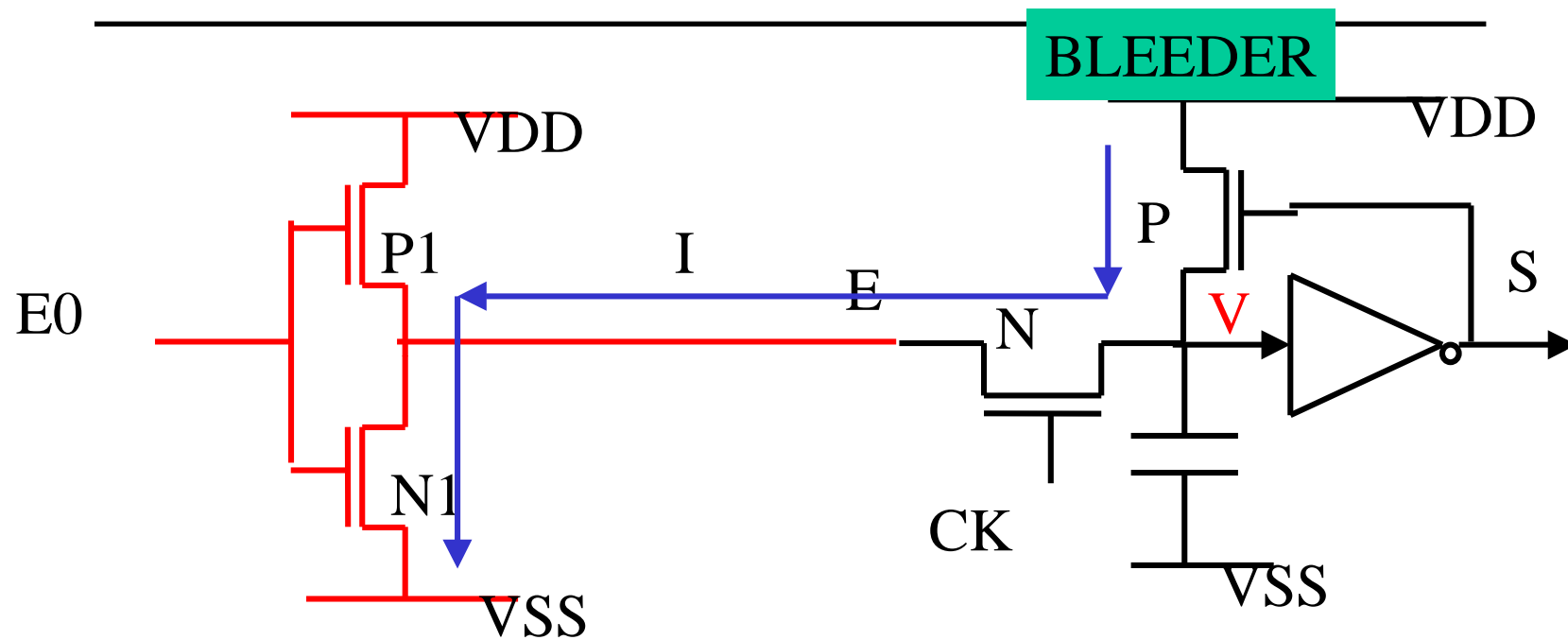


Problème niveau haut

Risque de Consommation statique



# Latch Dynamique N



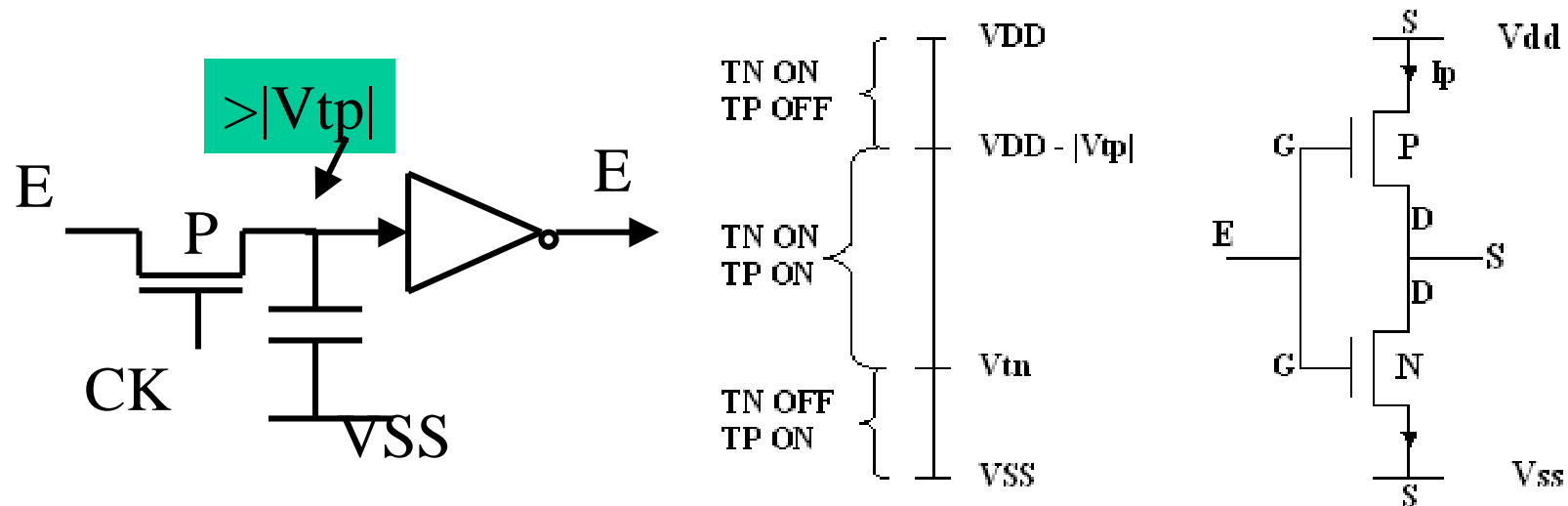
$$V = (R_N + R_{N1}) / (R_N + R_{N1} + R_P) * V_{DD} < V_{tn} \sim V_{DD} / 10$$

$$\rightarrow \text{RP} > 9 (R_N + R_{N1}) \rightarrow$$

$$\mu_n / \mu_p \cdot L_p / W_p > 9 (L_N / W_N + L_{N1} / W_{N1})$$



# Latch Dynamique P

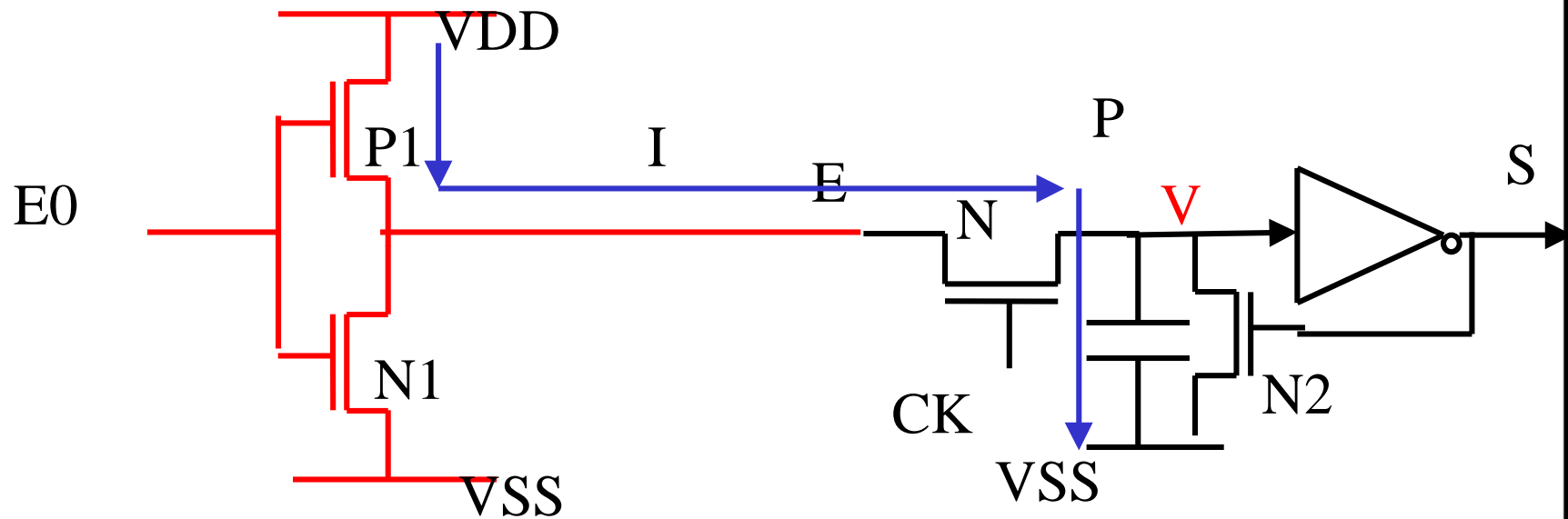


Problème niveau bas

Risque de Consommation statique



# Latch Dynamique P



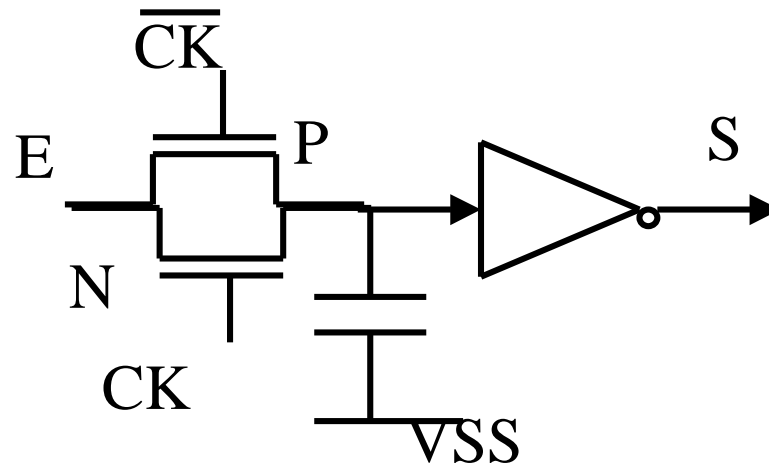
$$V = \frac{RN2}{RP1 + RN + RN2} * VDD > VDD - |V_{tp}| \sim 9/10 * VDD$$

$$\rightarrow RN2 > 9 (RP1 + RN) \rightarrow$$

$$LN2 / WN2 > 9 (\mu_n / \mu_p * L_{p1} / W_{p1} + LN / WN)$$



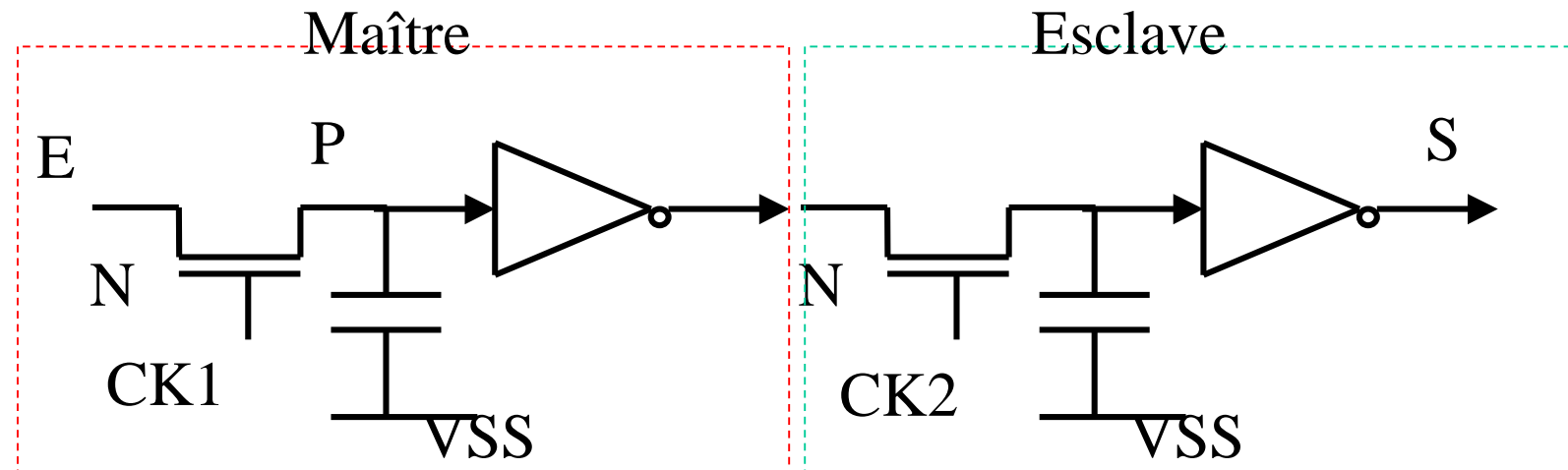
# Latch Dynamique N et P



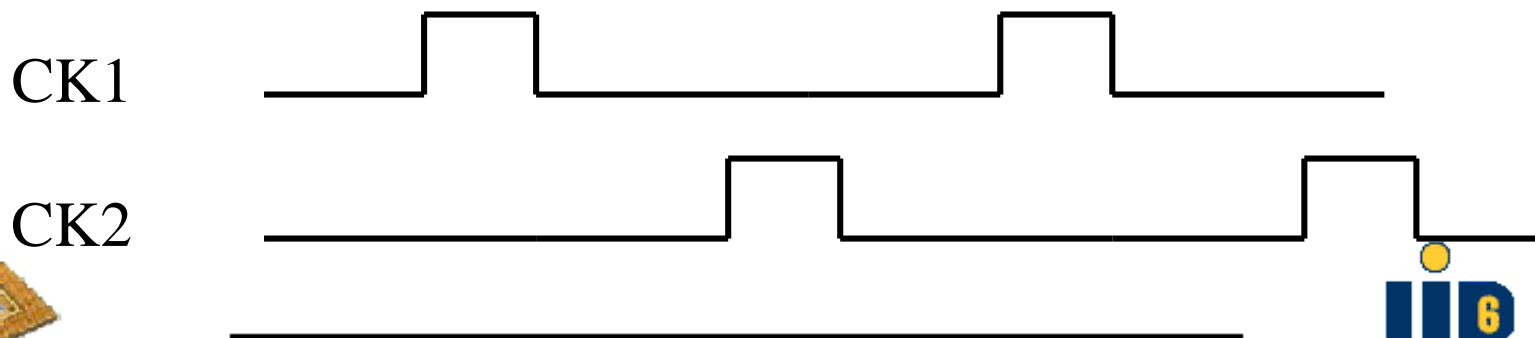
Bons niveaux haut et bas  
Pas de consommation statique  
Complexité



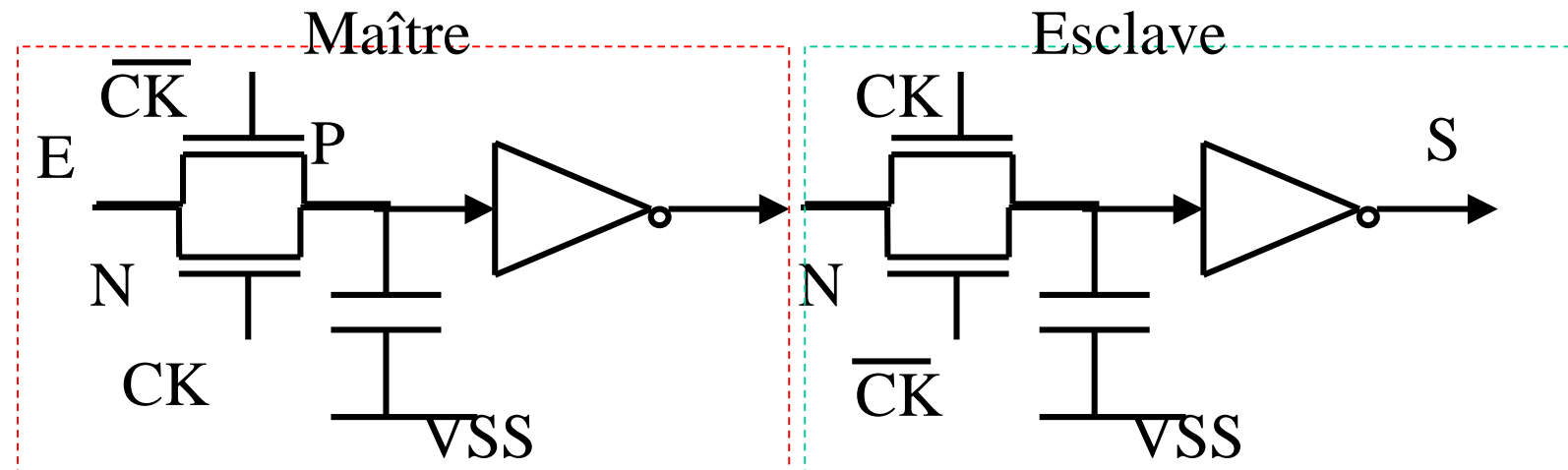
# Registre Maître esclave



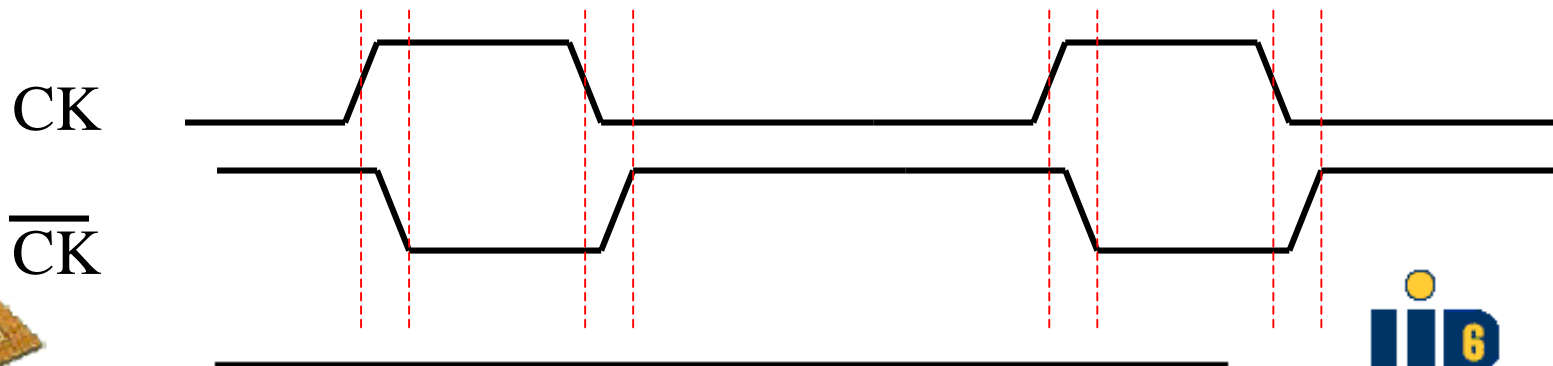
Horloges non recouvrantes



# Registre Maître esclave

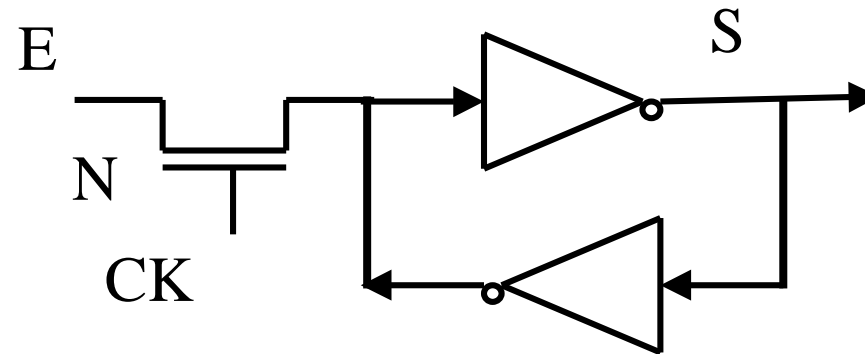


Attention skew Horloges non complémentaires





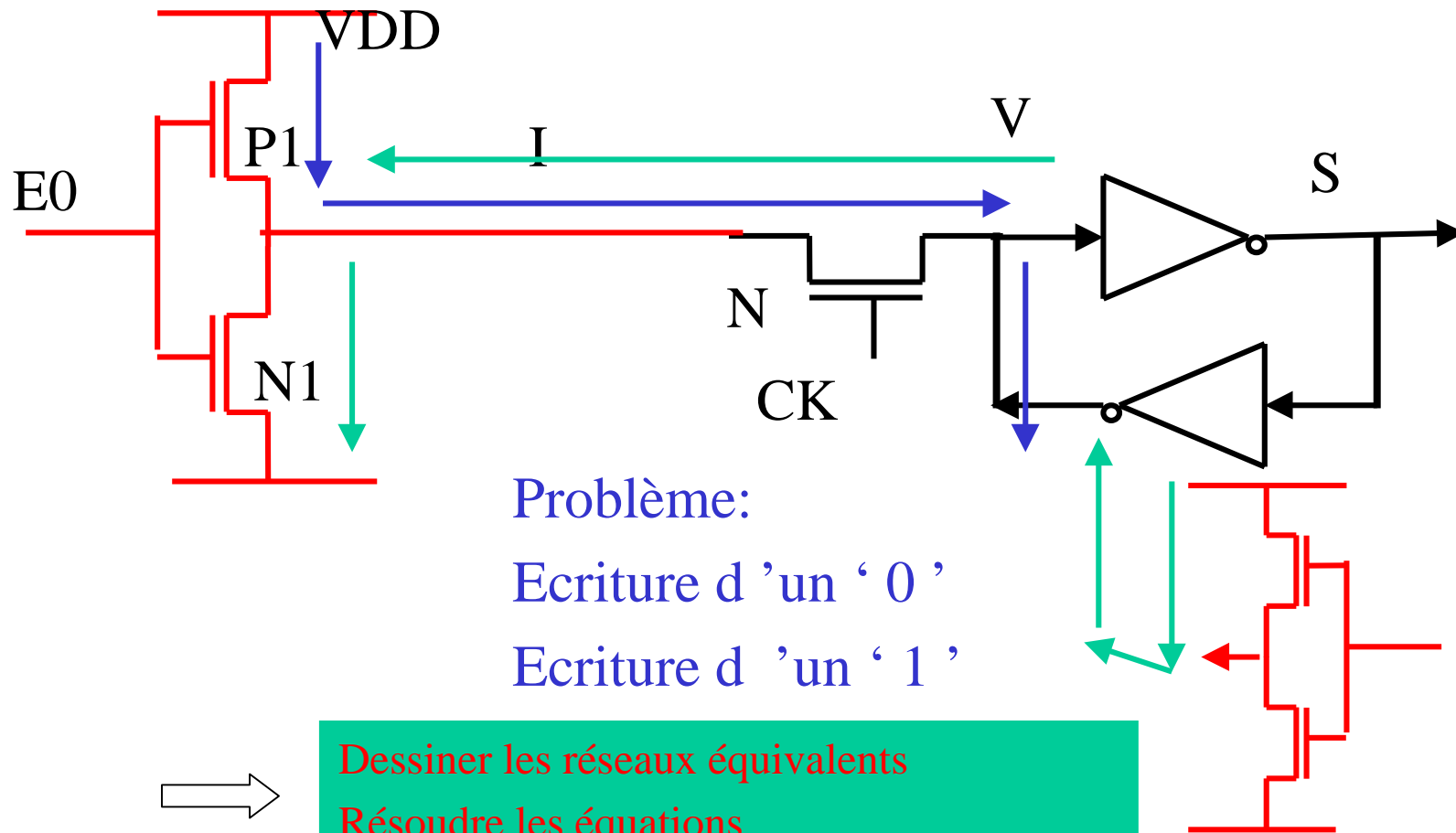
# Latch statique



Bons niveaux haut et bas  
Pas de consommation statique



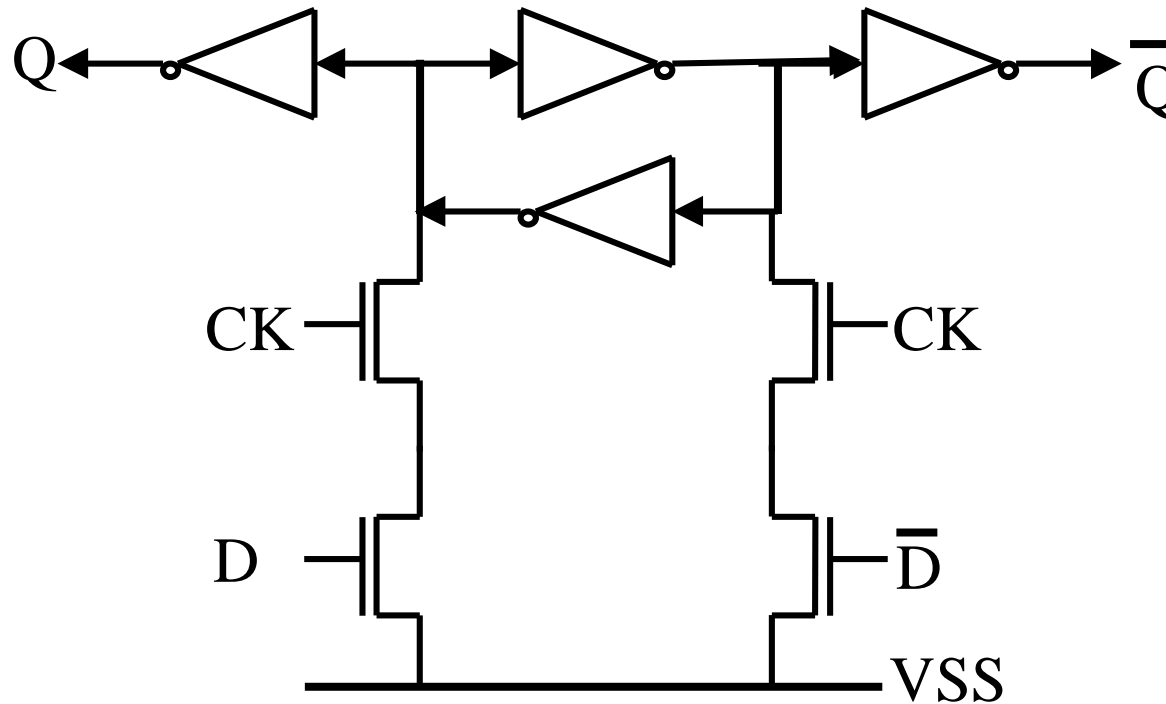
# Latch statique



Dessiner les réseaux équivalents  
Résoudre les équations  
En déduire les conditions sur les dimensions



# Latch Statique Symétrique



Dessiner les réseaux équivalents

Résoudre les équations

En déduire les conditions sur les dimensions

