

## TP4-3 : Vérification temporelle

### 3.1 Introduction

Ce TP aborde les contraintes de stabilité de type **setup time** et **hold time** à respecter sur les entrées externes d'un petit circuit avec un point mémorisant.

Le but de ce TP est de présenter les différences qu'il y a entre un simulateur électrique (précision, travail avec des stimuli, lenteur) et un analyseur temporel (moins précis, pas de stimuli, rapidité).

### 3.2 Etude de stabilité

On cherche à déterminer les contraintes **setup time** et **hold time** sur les entrées dans le cas du schéma fourni ci-dessous, où on a introduit un mécanisme de conditionnement sur l'horloge CK. Pour interdire l'écriture dans la bascule, le signal C et donc le signal Z doivent rester à l'état haut. Ceci signifie que le signal Z doit rester stable pendant tout l'état bas de CK. Par ailleurs l'entrée D de la bascule doit être stable sur le front montant du signal C.

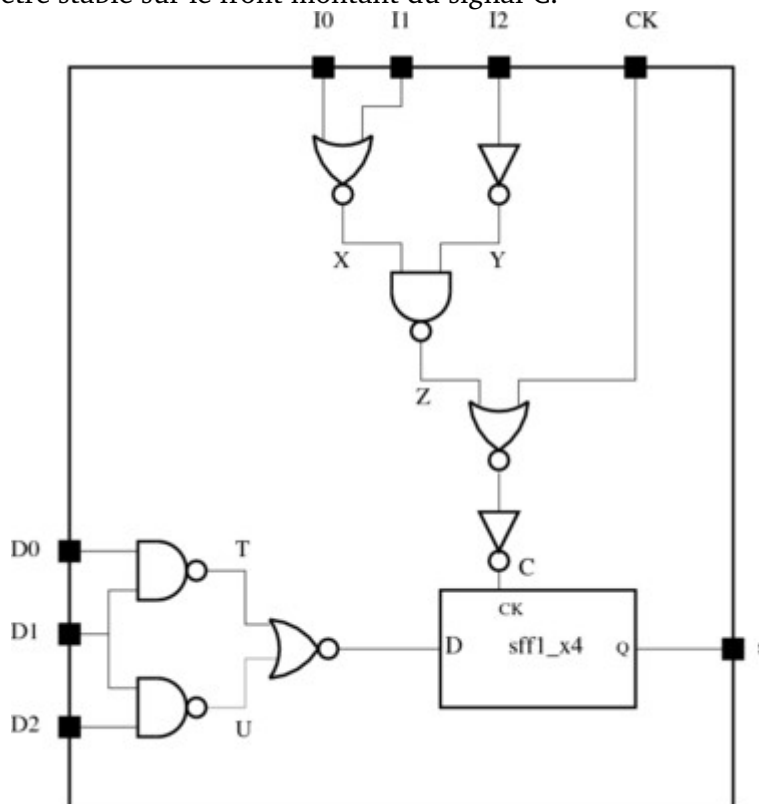


Figure 3.1 – Exemple.

#### 3.2.1 Contraintes sur les données

En faisant des hypothèses sur les temps de propagation entre les signaux D0,D1,D2 et le signal D, donner l'expression des temps de **setup** et de **hold** des données D0,D1,D2 par rapport au front montant de l'horloge CK.

#### 3.2.2 Contraintes sur les commandes

En faisant des hypothèses sur les temps de propagation entre I0,I1,I2 et Z, donner l'expression des temps de **setup** et de **hold** des commandes I0,I1,I2 autorisant l'écriture par rapport au front montant et au front descendant de l'horloge CK.

### 3.3 Etude avec eldo

D'après le schéma du circuit ci-dessus, déterminer par simulation sous **ELDO** (dans les conditions *pire cas*, c'est-à-dire  $VDD = 3.3\text{ V}$  et le fichier de paramètres de modèles `.wc`), les temps de propagation des 8 portes externes à la bascule SFF1. Pour toutes les entrées, en déduire, au moyen des équations obtenues en 3.2.1 et 3.2.2, les contraintes de **setup-time** et de **hold-time**.

Les fichiers fournis : `/users/enseig/trncomun/TIME/TP3/students_files/`

### 3.4 Etude avec TAS

**TAS** est un analyseur temporel. Il permet d'obtenir les temps de propagation minimaux et maximaux entre les points de référence (c'est à dire les connecteurs externes et les points mémorisants) d'un circuit. **TAS** travaille sans stimuli, c'est pourquoi il donne des délais *pire cas* pour les chaînes longues. Vous pouvez réaliser l'analyse de timing en utilisant les outils de la société Avertec. Pour pouvoir utiliser ces outils, vous devez exécuter le script fourni :

```
source /soc/tasyagl/etc/avtenv.sh
```

Vous devez dans un premier temps devoir compléter le fichier `.spi` obtenu en 3.3 en insérant au début du fichier le contenu du fichier « `header_spice.spi` » fournit. Cette manip permet de d'inclure les modèles des transistors utilisés ainsi que quelques directives nécessaires à l'analyse de timing.

Puis lancer l'analyse de timing en utilisant le script `tcl` fournit `db`.

#### 3.4.1 Chaines longues

Vous allez pouvoir maintenant utiliser le visualiseur de chemins **xtas**. Donner les chaînes longues entre les points de référence du circuit, et leur temps.

#### 3.4.2 Détail d'une chaîne

A l'aide de **xtas**, donner le détail de la chaîne la plus longue, pour chaque couple de points d'arrêt (sortie, point mémorisant).

### 3.5 Comparaison entre TAS et ELDO

Si on considère que les commandes I0, I1, I2 et les données D0, D1, D2 peuvent être confondues sous le terme plus général d'entrées, donner les temps de **setup** et de **hold** des entrées par rapport au front descendant de `ck`. A l'aide des résultats fournis par **TAS**, donner numériquement les temps de **setup** et de **hold** pour le circuit étudié. Comparer ces résultats avec ceux donnés par la simulation sous **ELDO**.

### 3.6 Conclusion

Ce TP vous a permis de passer par la plupart des étapes nécessaires à l'analyse et la validation temporelle d'un circuit numérique. Le compte-rendu du TP doit comporter :

- Vos logins, vos noms et prénoms, et vos répertoires de travail pour ce TP (laissez libre accès à vos répertoires en lecture !).
- Une description exacte de la méthodologie employée, incluant les éventuels problèmes rencontrés.
- L'analyse des résultats concernant le transistor et l'inverseur.
- Les mesures commentées des temps caractéristiques de la bascule.
- Les chaînes longues du circuit mémorisant donnés par **TAS**, l'analyse avec **ELDO**, votre interprétation de la comparaison.