

# COURS H. MEHREZ

## COURS "Time"

Janvier 2005

### DUREE 3H- TOUS DOCUMENTS AUTORISES

#### Exercice I (Caractéristiques temporelles) :

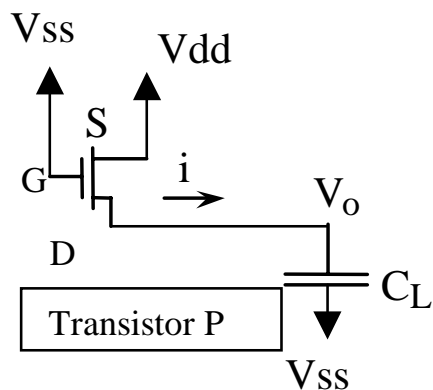
On s'intéresse à la charge d'une capacité par un transistor MOS P (figure suivante). A l'état initial, la tension

$V_O = V_{SS}$  et  $V_{GS}$  passe instantanément de  $V_{DD}$  à  $V_{SS}$ .

Pour quelle valeur de la tension  $V_O$  le transistor change-t-il d'état ?

Donnez, alors, l'expression du courant  $i$  :

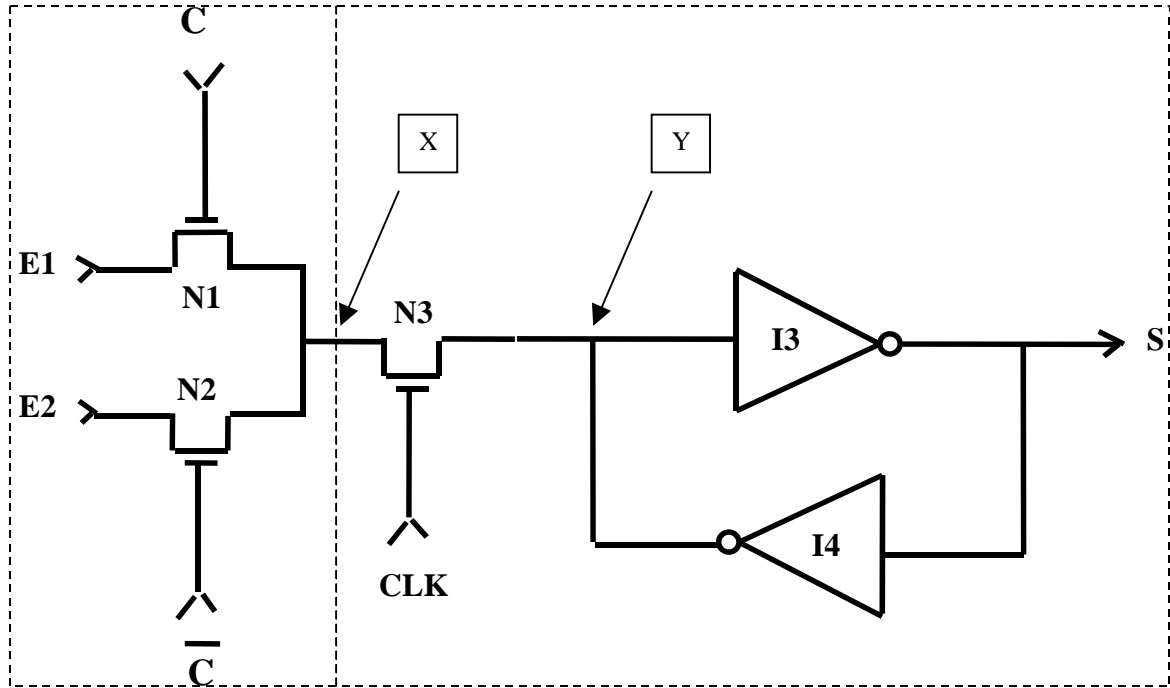
- en fonction de la variation de  $V_O$  aux bornes de la capacité  $C_L$
- passant par le transistor à l'état saturé
- passant par le transistor à l'état ohmique.



A votre avis et sans le démontrer, de quels facteurs dépendra le temps de charge de cette capacité ?

## Exercice II : (Réseau combinatoire et séquentiel)

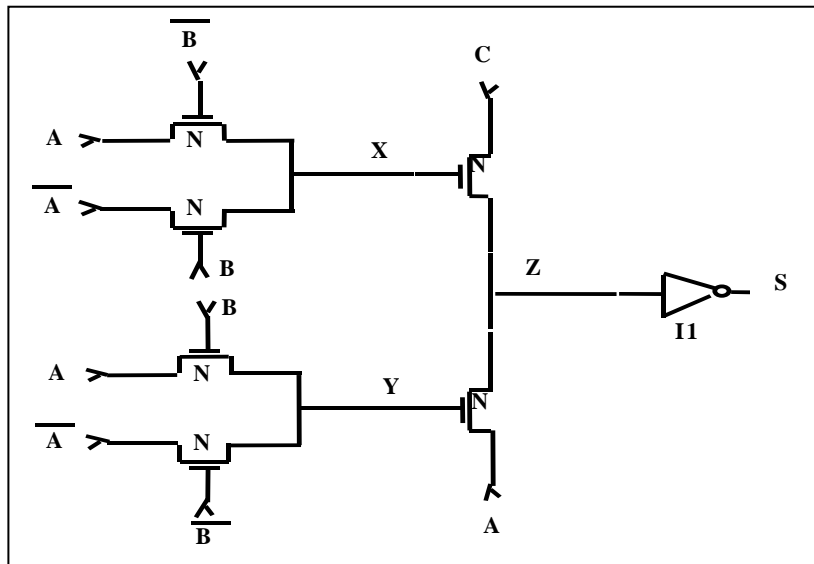
On se propose de dimensionner correctement le réseau combinatoire et séquentiel suivant :



- Déterminer la fonction réalisée par ce réseau. Ce qui revient à définir le signal X en fonction des entrées de ce réseau.
- Quelles sont les tensions extrêmes que peut avoir le signal X. Justifier votre réponse ?
- En considérant l'inexistence de l'inverseur I4, déterminer les tensions extrêmes que peut avoir le signal Y. Justifier votre réponse.
- Le réseau séquentiel est ici un élément de mémorisation statique simple. Expliquer son fonctionnement. Déterminer pour quel(s) état(s) logique(s) le réseau risque de ne pas fonctionner correctement.
- En considérant que les entrées E1 et E2 sont les sorties S1 et S2 de deux inverseurs de modèles identiques I1 et I2, donner les conditions de dimensionnement du réseau pour lui garantir un fonctionnement correct.
- c) Le dimensionnement du réseau dépend des réseaux (en amont) attaquant les entrées E1 et E2. Que pouvez vous suggérer comme modifications à apporter à ce réseau pour rendre son fonctionnement indépendant des autres ?

### Exercice III : (Réseaux combinatoires)

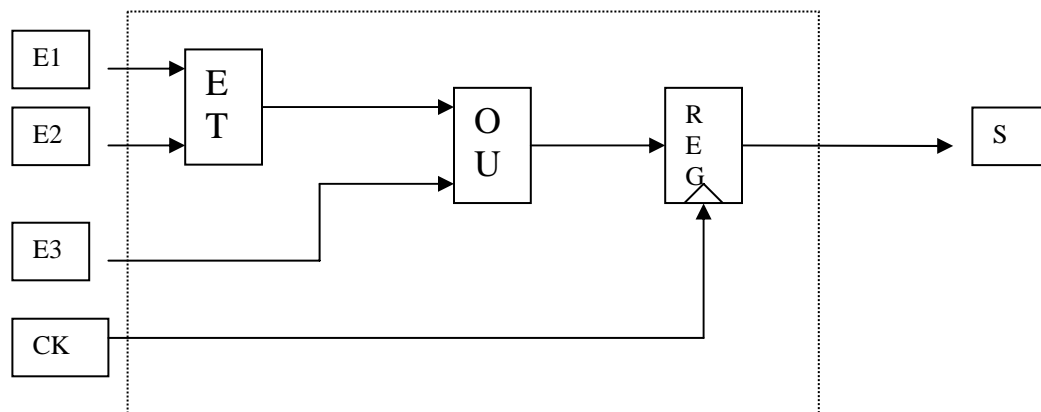
Soit le réseau logique suivant :



- Déterminer la fonction logique réalisée par ce réseau combinatoire utilisant des transistors de passage. Ce qui revient à définir le signal S en fonction des entrées A, B et C.
- Le signal Z peut-il se mettre en état de haute impédance. Justifier votre réponse.
- Proposer le schéma électrique implantant directement (sans simplification) cette fonction combinatoire dans la famille CMOS duale (ou complémentaire).
- Proposer un schéma simplifié de ce réseau en CMOS duale.
- Déterminer alors les conditions d'équilibre des réseaux N et P en fonction des dimensions des transistors les constituant.

### Exercice IV : (Contraintes de stabilité)

A) soit le réseau suivant :



Dans ce réseau, on utilise un registre à échantillonnage sur front montant dont les caractéristiques temporelles sont:

$$T_{su} = 1 \text{ ns (temps de pré-établissement)}$$

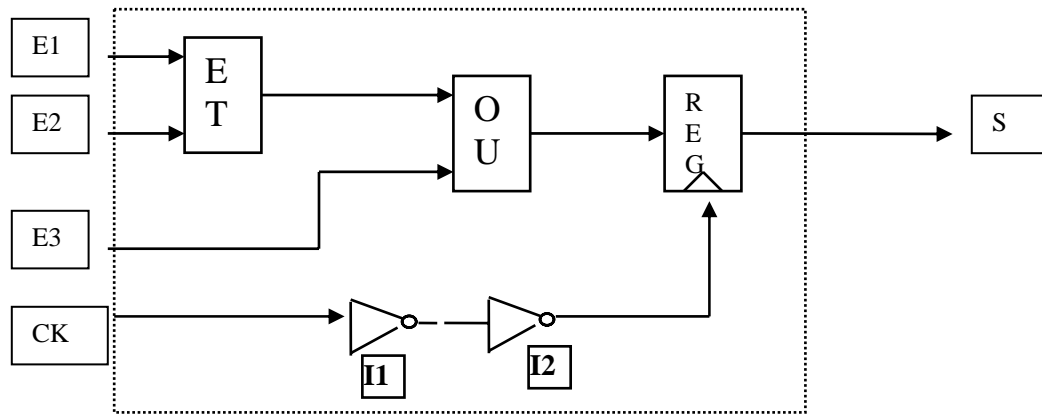
$$T_h = 0,5 \text{ ns (temps de maintien)}$$

$T_a = 2 \text{ ns}$  (temps d'accès).

Pour simplifier, on admet que tous les blocs combinatoires ont des temps de propagation compris entre  $T_{pmin} = 1 \text{ ns}$  et  $T_{pmax} = 2 \text{ ns}$ .

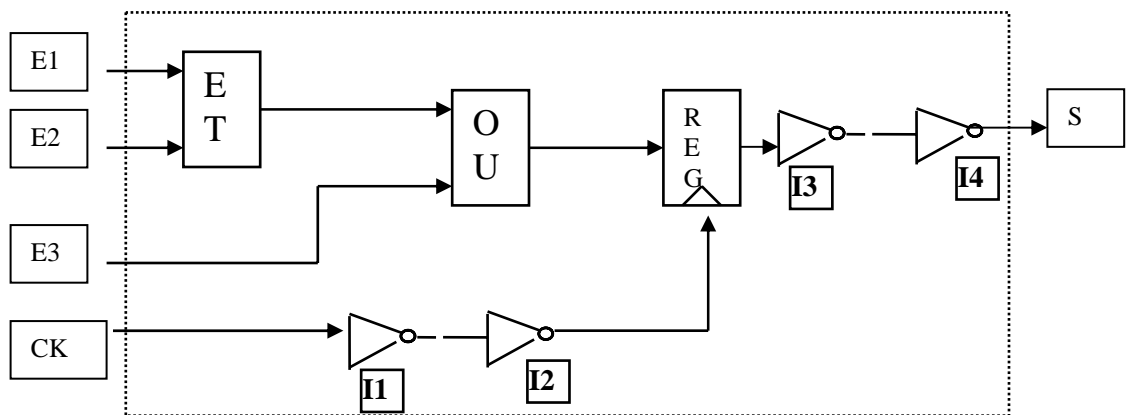
Déterminer les temps de pré-établissement et de maintien des entrées E1, E2 et E3 ainsi que le temps d'accès de S par rapport au front montant de l'horloge CK.

B) On tient compte maintenant d'un retard éventuel sur l'horloge CK, illustré par le schéma suivant:



En considérant les mêmes hypothèses que la question précédente, déterminer alors les temps de pré-établissement et de maintien des entrées E1, E2 et E3 ainsi que le temps d'accès de S par rapport au front montant de l'horloge CK.

C) On tient compte, finalement, d'un retard éventuel sur la sortie S, illustré par le schéma suivant:



En considérant les mêmes hypothèses que la question précédente, déterminer alors les temps de pré-établissement et de maintien des entrées E1, E2 et E3 ainsi que le temps d'accès de S par rapport au front montant de l'horloge CK.