

COURS H. MEHREZ

COURS "Time"

NOVEMBRE 2002

DUREE 2H- TOUS DOCUMENTS AUTORISES

Exercice

Multiplexeur 1 parmi N avec des portes TRISTATES

Soit le réseau combinatoire R_i de la figure 1, avec E_i représentant une entrée de donnée, C_i une entrée de commande et S_i la sortie.

a) Donner les états possibles de la sortie S_i en fonction de E_i et C_i . Montrer qu'on pourra utiliser ce type de réseau pour réaliser un multiplexeur 1 parmi N.

Donner alors les conditions sur les commandes C_i pour réaliser le multiplexeur avec deux états logiques bas et haut. Dire quels risques de conflits électriques graves peut-on rencontrer si on ne respecte pas ces conditions. Illustrer la démonstration sur l'exemple d'un multiplexeur 1 parmi 2.

b) Donner les conditions d'un dimensionnement correct des transistors d'un réseau R_i pour un nombre N quelconque. Quelles particularités

électriques et géométriques peut-on en déduire ?

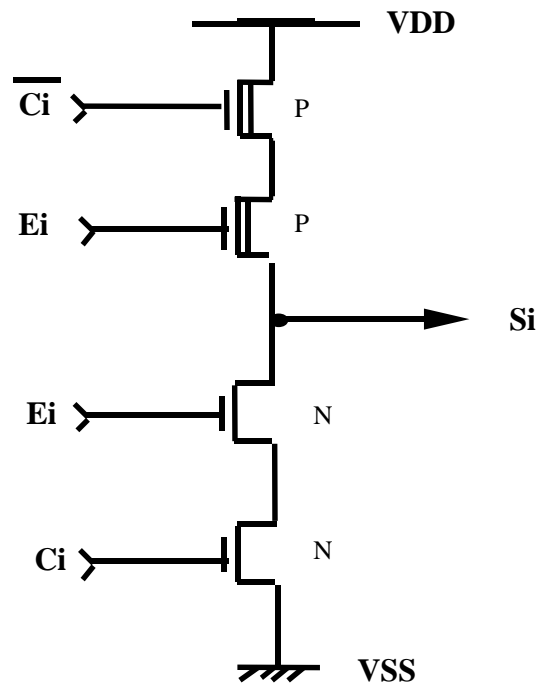


Fig. 1

Problème:

Soit le réseau combinatoire de la figure 2.

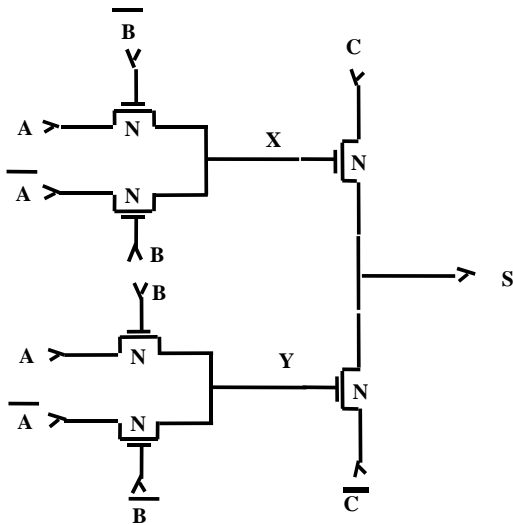


Fig.2

- Déterminer l'équation logique implantée par ce réseau.
- La sortie S peut-elle être mise à l'état de haute impédance. Justifier votre réponse.
- En considérant que les états des entrées sont corrects (c.à.d avec une tension VSS à l'état bas et VDD à l'état haut), déterminer les tensions minimales et maximales des nœuds X, Y et S. Que peut-on en déduire ?
- On admet l'existence de certaines dégradations de niveau du nœud S et on se propose de régler le problème en modifiant le schéma comme le décrit la figure 3.

Expliquer le problème posé et le remède apporté.

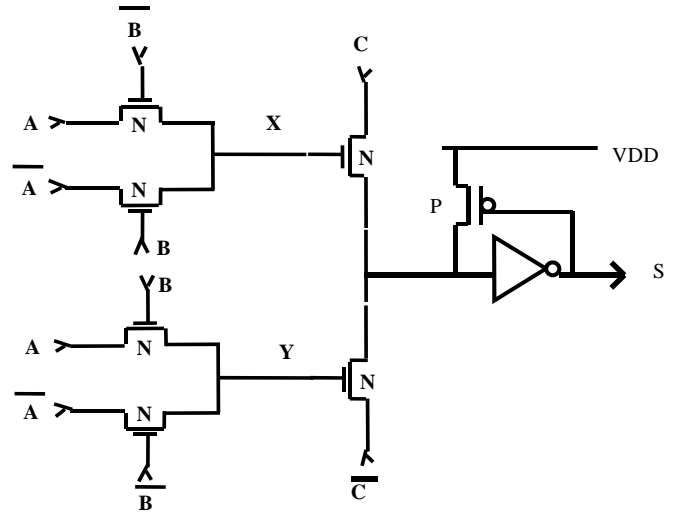


Fig. 3

e) On admettra que la solution apportée ne pourra marcher que sous certaines conditions.

Dire lesquelles. Préciser, en particulier quel est l'état qui risque de ne pas fonctionner, quels sont les transistors concernés et donc quels sens doivent évoluer leurs rapports de dimensions respectives.

f) Le réseau combinatoire de la figure 3 est réalisé à partir de transistors de passage. Réaliser la même fonction logique $S=f(A,B,C)$ en utilisant la famille CMOS complémentaire (appelée également CMOS duale). Donner alors le rapport de complexité, en termes de nombre de transistors, par rapport à la solution précédente.

NB: on supposera qu'on disposera des signaux d'entrée A, B et C ainsi que de leurs complémentaires.

g) On souhaiterait équilibrer les temps de montée et de descente de la porte logique construite en CMOS complémentaire. Donner le principe général d'équilibrage des réseaux N et P. Donner les conditions sur les dimensions des transistors des deux réseaux de manière à atteindre cet équilibre.