Tests du circuit CHU150 :

Cet exemple est tiré de l'article [SKCLYN02]. La spécification STG du contrôleur est décrite dans la figure 1.

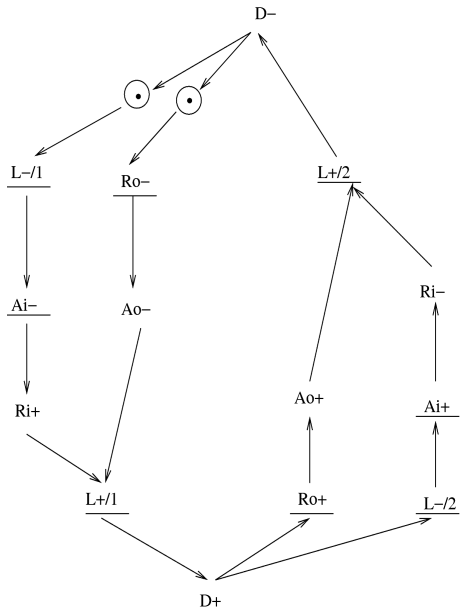

Figure 1 : la spécification STG du contrôleur *chu150*.

Le circuit qui implémente cette spécification est décrit sous forme d'un programme VHDL dont le code est donné ci-dessous :

```
ENTITY chu150 IS
  PORT (
         D      : out   BIT;
         Ao     : out   BIT;
         Ri     : out   BIT;
         Ai     : in    BIT;
         Ro     : in    BIT;
         L      : in    BIT
  );
END chu150;

ARCHITECTURE RTL OF chu150 IS
  signal t0 : BIT;
  signal t1 : BIT;
  signal t2 : BIT;
  signal t3 : BIT;
BEGIN
 t0 <= not L and Ai;
  t1 <= not Ai and not L ;
  t2 <= (L and not Ai) and Ri;
  t3 <= (L and Ai) and not Ri;
  D <= ( D and not t3) or t2;
  Ao <= Ro;
  Ri <= ( Ri and not t0) or t1;
END;
```

Nous avons effectué un test (l'analyse instanciée) sur l'environnement décrit ci-dessous. Les délais de traversée des portes du circuit sont tous définis à 1.

```
Ai : 20 down, 50 up;
Ro : 10 down, 40 up;
L  : 10 down, 30 up, 40 down, 60 up;
```

Analyse instanciée avec UPPAAL

Nous avons effectué l'analyse par model-checking en utilisant l'outil UPPAAL sur la description générée (à partir des descriptions d'entrée) avec l'outil VHDL2TA afin de vérifier que tous les comportements du modèle d'automates sont conformes à la spécification décrite par le graphe STG de la figure 1.

La description en Uppaal générée est caractérisée par :

- 7 automates associés aux portes du circuit + les automates d'environnement associés aux comportements des signaux d'entrée *L*, *Ai* et *Ro*.
- 7 horloges locales correspondant aux automates + l'horloge globale.
- 3+7 variables discrètes associées aux signaux du circuit.
- 4 x 7 paramètres associés aux délais des fronts montants et descendants des signaux du circuit.
- 3 x 7 locations des automates associés aux portes du circuit + les locations associées aux automates d'environnement.

La commande employée pour générer cette description est mentionnée ci-dessous :

```
vhdl2ta chu150.vhd -t delay.tmp 2 -e env1.env -m ta -o chu150.ta -taf
upl
```

Les propriétés TCTL qui expriment le comportement des trois signaux de sortie (*Ri*, *Ao* et *D*) attendu sont données comme suit.

```
- AG (((t>11 & t<41) => Ao = 0) & (((t>0 & t<11) or t>41) => Ao = 1)).
  ao: 11 down, 41 up;

- AG (((t>22 & t<52) => Ri = 1) & (((t>0 & t<22) or t>52) => Ri = 0)).
  ri: 22 up, 52 down;

- AG (((t>32 & t<62) => D = 0) & (((t>0 & t<32) or t>62) => D = 1)).
  d: 32 up, 62 down;
```

L'analyse avec UPPAAL vérifie bien ces trois propriétés. Donc, le comportement de chacun de ces trois signaux de sortie est conforme à la spécification STG comme le montre la figure 2.

Le graphe d'atteignabilité construit par simulation est décrit dans la figure 3. La séquence d'évènements d'apparition des fronts des signaux est bien conforme à la spécification STG présentée dans la figure 1 ; et les instants d'apparition des fronts de ces signaux du circuit sont bien indiqués.

Nous avons constaté que le temps de vérification de chacune de ces trois propriétés est inférieur à 0,1 sec ; et le temps de génération de la description en Uppaal est inférieur à 0,1 sec aussi.

Analyse d'accessibilité avec IMITATOR-2

L'analyse d'accessibilité a été bien effectuée sur la description en IMITATOR-2 générée par l'outil VHDL2TA. Le graphe d'atteignabilité (accessibilité) produit par l'outil IMITATOR-2 lors l'analyse d'accessibilité du modèle décrit dans la description est exactement le même que celui présenté dans la figure 3. Ce graphe est donné dans la partie de jeu de tests (de ce circuit) de la page web de l'outil VHDL2TA.

La commande employée pour générer la description en IMITATOR-2 est donnée comme suit :

```
vhdl2ta chu150.vhd -t delay.tmp 2 -e env1.env -m ta -o chu150.imi
-taf imi2
```

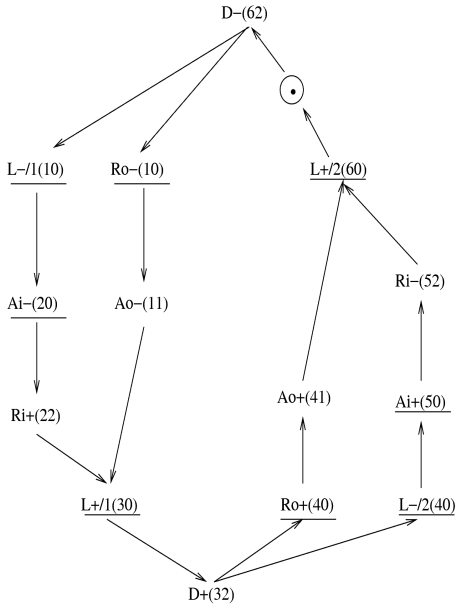

Figure 2 : les temps d'apparition des fronts des signaux d'entrée/sortie dans la spécification STG du circuit *chu150*.

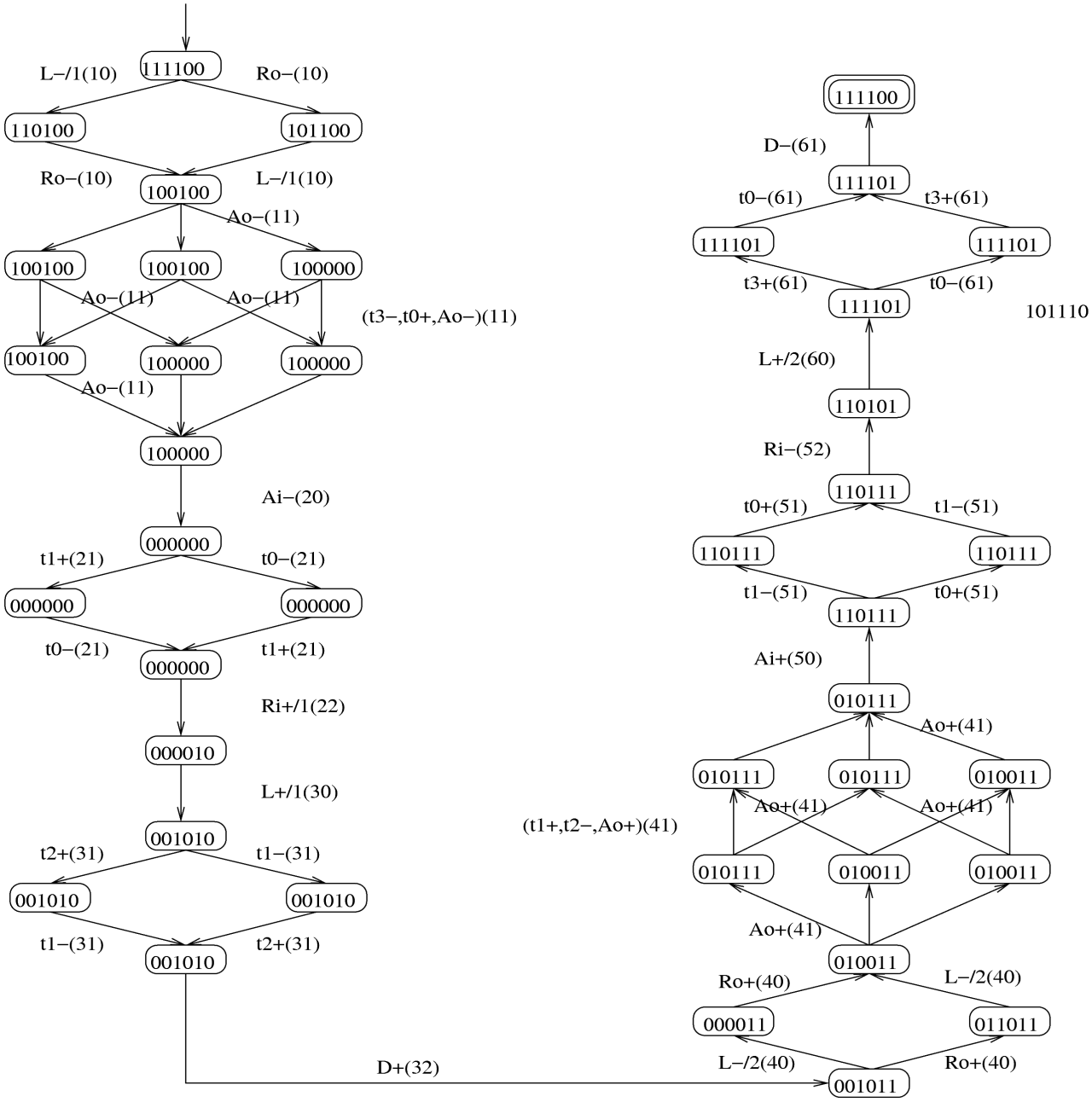

Figure 3 : le graphe d'atteignabilité construit par simulation.

Bibliographie

[SKCLYN02] Hiroshi Saito, Alex Kondratyev, Jordi Cortadella, Luciano Lavagno, Alex Yakovlev, and Takashi Nanya, *Design of Asynchronous Controllers with Delay Insensitive Interface*, IEICE transaction, vol.E85-A, no.12, pp.2577-2585, December 2002.