

**SYNTHÈSE DES RÉSUMÉS DE THÈSES
ENCADRÉES ET SOUTENUES**

ENTRE 1990 et 2015

(30 THESES SOUTENUES)

VISIBLES SUR [HTTP://WWW.SUDOC.ABES.FR/](http://www.sudoc.abes.fr/)

THESE 1, ANNEE 1990

Numéro de notice : 044079109

Titre : [CONCEPTION D'UN PROCESSEUR FLOTTANT 32 BITS, MULTI-FORMATS EN TECHNOLOGIE CMOS \(ALGORITHMES ET ARCHITECTURE\)](#) / KEYVAN-REZA SHAMSA ; SOUS LA DIRECTION DE HABIB MEHREZ

Mémoire ou thèse (version d'origine)

Auteur(s) : [SHAMSA, KEYVAN-REZA](#). Auteur
[MEHREZ, HABIB](#). Directeur de thèse

Date(s) : 1990

Langue(s) : Français

Pays : France

Editeur(s) : [S.I.] : [s.n.], 1990

Num. national de thèse : 1990PA066323

Thèse : [Thèse Doctorat](#) : [SCIENCES APPLIQUEES](#) : [Paris 6](#) : [1990](#)

Annexes : 53 REF

Résumé : CETTE THESE DECRIT L'ARCHITECTURE ET LA REALISATION D'UN PROCESSEUR FLOTTANT 32 BITS ENTIEREMENT TESTABLE. CE PROCESSEUR REALISE DES OPERATIONS FLOTTANTES SUR 32 BITS SELON LES FORMATS IEEE-P745 10.0, DEC-VAX ET LE COMPLEMENT A DEUX. IL INCLUT UNE RAM INTERNE DE 16 MOTS DE 32 BITS PERMETTANT LA SAUVEGARDE INTERNE DES DONNEES. IL EFFECTUE EN PLUS DES OPERATIONS ARITHMETIQUES (ADDITION, SOUSTRACTION ET MULTIPLICATION), LES OPERATIONS DE CONVERSION ENTIER-FLOTTANT AINSI QUE LES OPERATIONS DE CONVERSION INTER-FORMATS. L'INTEGRATION DE 3 ELEMENTS: UN ADDITIONNEUR/SOUSTRACTEUR COMBINATOIRE, UN MULTIPLIEUR COMBINATOIRE ET UNE MEMOIRE VIVE (RAM), FAIT LA DIFFERENCE ENTRE NOTRE PROCESSEUR FLOTTANT ET LES AUTRES PROCESSEURS IMPLANTES. EN COMBINANT CES 3 FONCTIONS NOUS AVONS CHERCHE A RESOUDRE LE PROBLEME DU TRAITEMENT RAPIDE DES OPERATIONS FLOTTANTES, MAIS AUSSI CELUI NON MOINS IMPORTANT DE TRANSFERT EFFICACE DES OPERANDES. CETTE ARCHITECTURE PERMET DE REALISER AISEMENT LES SEQUENCES ARITHMETIQUES REPETITIVES COMME LA MULTIPLICATION-ACCUMULATION ET LA DIVISION PAR L'ALGORITHME DE NEWTON-RAPHSON. LA CONCEPTION ET L'ARCHITECTURE DE CE CIRCUIT TIENNENT COMPTE D'UNE TESTABILITE TOTALE DE 100%. EN EFFET, CONSIDERANT L'ACCESSIBILITE ET L'OBSERVABILITE, 10000 VECTEURS DE TEST ONT ETE GENERES

Autre(s) titre(s) : DESIGN OF A 32-BITS, MULTI-FORMAT, FLOATING POINT PROCESSOR IN CMOS TECHNOLOGY (ALGORITHMS AND

ARCHITECTURE)

Sujets :

SCIENCES APPLIQUEES : ELECTRONIQUE
PROCESSEUR FLOTTANT/ARITHMETIQUE FLOTTANTE/TEST A
LA CONCEPTION/TECHNOLOGIE CMOS/ARCHITECTURE
VLSI/OPERATEURS ARITHMETIQUES/VECTEURS DE
TEST/ZERO DEFAUT

THESE 2, ANNEE 1990

Numéro de notice : 044076843

Titre : [PROCESSEUR 32 BITS EN VIRGULE FLOTTANTE](#) : TECHNIQUES DE VALIDATION FONCTIONNELLE, ELECTRIQUE ET TEST A LA CONCEPTION / CHARLES MANGA EBONGUE ; SOUS LA DIRECTION DE HABIB MEHREZ

Mémoire ou thèse (version d'origine)

Auteur(s) : [MANGA EBONGUE, CHARLES](#). Auteur
[MEHREZ, HABIB](#). Directeur de thèse

Date(s) : 1990

Langue(s) : français

Pays : France

Editeur(s) : [\[S.I.\]](#) : [s.n.], 1990

Num. national de thèse : 1990PA066224

Thèse : [Thèse Doctorat](#) : [SCIENCES APPLIQUEES](#) : [Paris 6](#) : [1990](#)

Annexes : 63 REF

Résumé : CETTE THESE DEVELOPPE DEUX ASPECTS DE LA CONCEPTION DES CIRCUITS INTEGRES: 1) LE PREMIER ASPECT CORRESPOND A LA METHODOLOGIE D'IMPLANTATION DU PROCESSEUR DE CALCUL EN VIRGULE FLOTTANTE DEVELOPPE AU LABORATOIRE MASI PAR L'EQUIPE DE CAO & VLSI DE L'UNIVERSITE PIERRE ET MARIE CURIE, 2) LE DEUXIEME ASPECT PRESENTE LES TRAVAUX CONCERNANT UNE METHODOLOGIE DE TEST A LA CONCEPTION CONDUISANT AUSSI BIEN A LA VALIDATION FONCTIONNELLE ET ELECTRIQUE AU COURS DE LA CONCEPTION QU'A LA TESTABILITE APRES FABRICATION. LE PREMIER ASPECT A DES IMPLICATIONS A DIFFERENTS NIVEAUX: 1) AU NIVEAU ASSEMBLAGE PAR L'INTRODUCTION D'UNE METHODOLOGIE DE CONCEPTION SPECIFIQUE AU CIRCUIT, 2) AU NIVEAU ELECTRIQUE POUR LE CHOIX ET LA CONCEPTION D'UNE BIBLIOTHEQUE DE CELLULES STANDARDS QUI TIEN COMPTE DES CARACTERISTIQUES DYNAMIQUES DES SIGNAUX SUR CHAQUE NUD DU CIRCUIT. LE DEUXIEME ASPECT A POUR RESULTAT L'INTRODUCTION D'UNE TECHNIQUE ORIGINALE DE RECHERCHE DE VECTEURS DE TEST. DE MEME, LA VALIDATION FONCTIONNELLE DE CE CIRCUIT SERA INVOQUEE EN RESOLVANT LES PRINCIPAUX PROBLEMES DE COHERENCE ENTRE LES MASQUES DESSINES ET LA LISTE DES INTERCONNEXIONS

Autre(s) titre(s) : 32-BITS FLOATING POINT PROCESSOR: FUNCTIONAL, ELECTRICAL VALIDATION AND DESIGN TEST

Sujets : [SCIENCES APPLIQUEES](#) : [ELECTRONIQUE ARITHMETIQUE FLOTTANTE/BIBLIOTHEQUE](#) DE [CELLULES](#)

STANDARDS/OPERATEURS ARITHMETIQUES/ARCHITECTURES
DE PROCESSEUR VLSI/TEST A LA CONCEPTION/VALIDATION
FONCTIONNELLE/VALIDATION ELECTRIQUE/METHODOLOGIE
DE CONCEPTION VLSI

THESE 3, ANNEE 1992

Numéro de notice :

044086253

Titre :

[F-RISC](#) : MACHINE RISC MODULAIRE INTEGRANT UNE UNITE FLOTTANTE.
METHODOLOGIE DE CONCEPTION DU JEU D'INSTRUCTIONS AUX DESSINS DES MASQ
/ JEAN-ARNAUD FRANCOIS ; SOUS LA DIRECTION DE HABIB MEHREZ
Mémoire ou thèse (version d'origine)

Auteur(s) :

[FRANCOIS, JEAN-ARNAUD](#). Auteur
[MEHREZ, HABIB](#). Directeur de thèse

Date(s) :

1992

Langue(s) :

français

Pays :

France

Editeur(s) :

[S.I.] : [s.n.], 1992

Description :

206 P.

Num. national de thèse :

1992PA066482

Thèse :

[Thèse de doctorat](#) : [SCIENCES APPLIQUEES](#) : [Paris 6](#) : [1992](#)

Annexes :

65 REF.

Résumé :

CETTE THESE DEVELOPPE LES DIFFERENTS ASPECTS DE LA CONCEPTION ET DE L'IMPLANTATION D'UN PROCESSEUR RISC 32 BITS INCLUANT UNE UNITE EN VIRGULE FLOTTANTE. NOTRE ETUDE PORTE SUR LES POINTS SUIVANTS: LA DEFINITION D'UNE METHODOLOGIE DE CONCEPTION ADAPTEE, L'IMPLANTATION D'UNE ARCHITECTURE RISC, ET LE DEVELOPPEMENT DE GENERATEURS STANDARDS-CELL D'OPERATEURS FLOTTANTS. LA CONCEPTION D'UN CIRCUIT INTEGRE VLSI DEBUTE TRADITIONNELLEMENT PAR UNE ETUDE DE FAISABILITE ET PAR LA DEFINITION D'UNE METHODOLOGIE DE CONCEPTION ET D'IMPLANTATION. LE CHOIX DE LA METHODOLOGIE EST CONDITIONNE PAR LA DEFINITION DES SPECIFICATIONS FONCTIONNELLES DU CIRCUIT ET IMPLIQUE UN CHOIX PARMIS LES OUTILS DE CONCEPTION DISPONIBLES. UNE ATTENTION TOUTE PARTICULIERE EST APPORTEE A LA GESTION DES DONNEES AINSI QU'AU CONTROLE DE LA METHODOLOGIE DE CONCEPTION POUR ATTEINDRE LE ZERO DEFAUT. LES ARCHITECTURES RISC ONT PROUVE DEPUIS UNE DIZAINE D'ANNEES AU TRAVERS DE NOMBREUSES IMPLANTATIONS LEUR EFFICACITE. UNE PHASE DELICATE MAIS TRES CREATIVE CONSISTE A TRANSFORMER LES SPECIFICATIONS FONCTIONNELLES EN UNE ARCHITECTURE DONNEE. L'OBTENTION D'UNE UNITE OPERATIVE ET D'UNE UNITE DE CONTROLE MET EN UVRE DIFFERENTES TECHNIQUES D'IMPLANTATION ET DE VALIDATION POUR ABOUTIR, DANS NOTRE CAS AU PROCESSEUR F-RISC D'UNE COMPLEXITE DE 210000 TRANSISTORS. LES GENERATEURS DE BLOCS S'IMPOSENT COMME ETANT UNE REponse PLUS QUE SATISFAISANTE A LA GENERATION DE STRUCTURES REGULIERES COMME LES CHEMINS DE DONNEES. LES APPLICATIONS NUMERIQUES S'ARTICULENT AUTOUR DE MODULES DE BASE COMME DES UNITES ENTIERES CLASSIQUES MAIS EGALEMENT DES UNITES SPECIALISEES EN VIRGULE FLOTTANTE. UNE APPROCHE STANDARD-CELL APPORTE LA FLEXIBILITE A L'IMPLANTATION EFFICACE DE TELS BLOCS. ELLE FOURNIT EGALEMENT LA PORTABILITE NECESSAIRE A LEUR UTILISATION AUTOUR DE DIFFERENTS ENVIRONNEMENTS DE CONCEPTION

Autre(s) titre(s) : F-RISC: A RISC MODULARY MACHINE INCLUDING A FLOATING POINT UNIT. DESIGN METHODOLOGY FROM INSTRUCTION SET TO VLSI IMPLEMENTATION

Sujets :

[SCIENCES APPLIQUEES : ELECTRONIQUE](#)
[CIRCUIT INTEGRE/CIRCUIT VLSI/PROCESSEUR 32 BITS/VIRGULE](#)
[FLOTTANTE/CONCEPTION/IMPLEMENTATION/METHODOLOGIE/PROCESSEUR RISC/CD](#)
[INTEGRATED CIRCUIT/VLSI CIRCUIT/32 BITS PROCESSOR/32 BITS PROCESSOR/FLOAT](#)
[POINT/DESIGN/IMPLEMENTATION/METHODOLOGY/RISC PROCESSOR/CD](#)

THESE 4, ANNEE 1992

Numéro de notice : 044071345

Titre : [PRINCIPE, MODELE ET REALISATION D'UN SERVEUR DE COHERENCE DANS UN ENVIRONNEMENT DE CONCEPTION VLSI MULTI-UTILISATEURS ET MULTI-MACHINES](#) / FRANCOIS PECHEUX; SOUS LA DIRECTION DE HABIB **MEHREZ**
Mémoire ou thèse (version d'origine)

Auteur(s) : [Pêcheux, François](#). Auteur
[MEHREZ, HABIB](#). Directeur de thèse

Date(s) : 1992

Langue(s) : français

Pays : France

Editeur(s) : [\[S.I.\]](#) : [s.n.], 1992

Num. national de thèse : 1992PA066288

Thèse : [Thèse Doctorat](#) : [SCIENCES APPLIQUEES](#) : [Paris 6](#) : [1992](#)

Annexes : 123 REF

Résumé : CETTE THESE PRESENTE LES PRINCIPES, LE MODELE ET LA REALISATION D'UN SERVEUR DE COHERENCE DANS UN ENVIRONNEMENT DE CONCEPTION D'OBJETS PRODUITS VLSI MULTI-CONCEPTEURS ET MULTI-MACHINES. NOTRE ETUDE PORTE SUR TROIS PROBLEMES: QU'EST-CE QUE LA COHERENCE EN CONCEPTION VLSI? COMMENT MODELISER LA COHERENCE? COMMENT PARAMETRER NOTRE MODELE POUR UNE SITUATION PARTICULIERE ET COMMENT L'APPLIQUER A DES ENVIRONNEMENTS DE CONCEPTION QUELCONQUES? LE MODELE DE COHERENCE REPOSE SUR LA DEFINITION D'UNE METHODE, ENCHAINEMENT RAISONNE DE MOYENS EN VUE D'UNE FIN, ET SUR UN OUTIL METHODOLOGIQUE DE GESTION DE METHODES, QUI PERMET LE CODAGE INFORMATIQUE HIERARCHIQUE DE CETTE METHODE EN VUE DE SON EXPLOITATION ULTERIEURE. UN SERVEUR DE COHERENCE EST DEFINI, QUI ASSOCIE DES META-INFORMATIONS AUX OBJETS (OBJETS PRODUITS, OUTILS ET METHODES) ET QUI GERE LES REQUETES CONCURRENTES DES CONCEPTEURS. CES META-INFORMATIONS FORMENT ENSEMBLE UN GRAPHE DE CONTRAINTES D'INTEGRITE QUI PEUT ETRE PARCOURU ET EXPLOITE POUR CONSTRUIRE DE MANIERE VALIDE LES OBJETS. LA REALISATION DE CE MODELE POUR LA CONCEPTION DE VLSI, LE SYSTEME CADIX, PASSE PAR LA DEFINITION DE QUATRE COUCHES DE PROGRAMMATION: LA COUCHE DOMAINE D'APPLICATION VLSI, RASSEMBLANT LES PRIMITIVES DE GENERATION PROCEDURALE, LA COUCHE GESTION DE LA COHERENCE, QUI GERE LES TRANSACTIONS CONCURRENTES DES CONCEPTEURS, LA COUCHE RESEAU DE

CONTRAINTES, QUI GERE LE GRAPHE DES CONTRAINTES D'INTEGRITE, ET LA COUCHE RESEAU, QUI GERE LE BON FONCTIONNEMENT REPARTI DU SERVEUR ET DES CLIENTS. UN EXEMPLE EST PRESENTE QUI INDIQUE UNE UTILISATION POSSIBLE DU SYSTEME CADIX. LA PARAMETRISATION DU MODELE DE COHERENCE POUR UNE SITUATION PARTICULIERE SE FAIT EN IDENTIFIANT LE SERVEUR DE COHERENCE A UN SYSTEME DE PRODUCTION

Autre(s) titre(s) : PRINCIPLE, MODEL AND IMPLEMENTATION OF A CONSISTENCY SERVER IN A MULTI-USERS AND MULTI-PLATFORMS VLSI CAD SYSTEM

Sujets : [SCIENCES APPLIQUEES : ELECTRONIQUE](#)
[CIRCUIT INTEGRE/CIRCUIT VLSI/CONCEPTION](#)
[ASSISTEE/COHERENCE/TACHE](#)
[CONCURRENTE/METHODOLOGIE/GESTION PROJET/SYSTEME](#)
[REPARTI/MODELE CLIENT SERVEUR/ENVIRONNEMENT](#)
[CONCEPTION](#)
[INTEGRATED CIRCUIT/VLSI CIRCUIT/COMPUTER AIDED](#)
[DESIGN/COHERENCE/CONCURRENT](#)
[TASK/METHODOLOGY/PROJECT MANAGEMENT/DISTRIBUTED](#)
[SYSTEM](#)

THESE 5, ANNEE 1994

Numéro de notice : 04399945X

Titre : [LE MICROPROCESSEUR F-RISC](#) : ARCHITECTURE HAUT NIVEAU ET ENVIRONNEMENT DE PROGRAMMATION / VINCENT DELORME ; SOUS LA DIRECTION DE H. MEHREZ

Mémoire ou thèse (version d'origine)

Auteur(s) : [DELORME, VINCENT](#). Auteur
[MEHREZ, H.](#). Directeur de thèse

Date(s) : 1994

Langue(s) : français

Pays : France

Editeur(s) : [S.I.] : [s.n.], 1994

Description : 134 P.

Num. national de thèse : 1994PA066547

Thèse : [Thèse de doctorat](#) : [SCIENCES APPLIQUEES](#) : [Paris 6](#) : [1994](#)

Annexes : 42 REF.

Résumé : UNE NOUVELLE ARCHITECTURE MODULAIRE DE TYPE RISC EST DEVELOPPEE SUR LA BASE D'UN JEU D'INSTRUCTIONS A FAIBLE CONTENU SEMANTIQUE. LES SPECIFICATIONS D'UN PREMIER MICROPROCESSEUR ISSU DE CETTE ARCHITECTURE ET DESTINE AUX APPLICATIONS EMBARQUEES CONDUISENT A LA CONCEPTION D'UN CIRCUIT DE COMPLEXITE MODEREE. CE PROCESSEUR D'ARCHITECTURE EXTERNE DE TYPE HARVARD SE COMPOSE EN INTERNE D'UNE UNITE CENTRALE COUPLEE A UN PROCESSEUR FLOTTANT SIMPLE PRECISION PAR L'INTERMEDIAIRE D'UN BUS NORMALISE. LE CUR DE TYPE RISC 32 BITS MUNI D'UN PIPELINE D'INSTRUCTIONS A TROIS ETAGES OFFRE UNE ARCHITECTURE INTERNE A PILES COMPRENANT PLUSIEURS REGISTRES. L'ETUDE DE FAISABILITE DEBUTE PAR LA TRADUCTION DES SPECIFICATIONS DANS UN LANGAGE DE DESCRIPTION HARDWARE. SOUS CETTE FORME, LES SPECIFICATIONS SERVENT DE REFERENCE FONCTIONNELLE POUR LE RESTE DU PROCESSUS DE CONCEPTION. ELLES PERMETTENT D'OBTENIR DIRECTEMENT UN SIMULATEUR COMPORTEMENTAL DONT L'UTILISATION POUR AFFINER L'ARCHITECTURE INTERNE SE REVELE PRIMORDIALE. UN AUTRE SIMULATEUR, ARCHITECTURAL, PLUS RAPIDE ET DESTINE AU DEVELOPPEMENT D'OUTILS LOGICIELS EST ECRIT EN LANGAGE C. IL REGROUPE UNE BIBLIOTHEQUE ET DES PROGRAMMES D'INTERFACE DONT CERTAINS FONT APPEL AU SYSTEME DE FENETRAGE X WINDOW POUR RENDRE PLUS CONVIVIAL LE DIALOGUE HOMME MACHINE. DEVELOPPES EN PARALLELE, LES OUTILS DE DEVELOPPEMENT LOGICIEL COMPRENNENT UN ASSEMBLEUR MUNI D'UNE CAPACITE LIMITEE D'OPTIMISATION, UN COMPILATEUR C DE CONCEPTION CLASSIQUE, UN NOYAU FORTH DESTINE A LA REALISATION DE PETITS SYSTEMES INFORMATIQUES AUTOUR DU

PROCESSEUR

Autre(s) titre(s) : THE F-RISC MICROPROCESSOR: HIGH LEVEL ARCHITECTURE AND PROGRAMMING ENVIRONMENT

Sujets : [SCIENCES APPLIQUEES : INFORMATIQUE, AUTOMATIQUE THEORIQUE, SYSTEMES/ELECTRONIQUE CONCEPTION/SIMULATEUR/PROCESSEUR/COMPILATEUR/LANGAGE C/LANGAGE DESCRIPTION/MATERIEL\(INFORMATIQUE\)/LOGICIEL/ARCHITECTURE RISC/CD/PROCESSEUR RISC/CD DESIGN/SIMULATOR/PROCESSOR/COMPILER/C LANGUAGE/DESCRIPTION LANGUAGE/COMPUTER HARDWARE/SOFTWARE/RISC ARCHITECTURE/CD/PROCESSEUR RISC/CD](#)

THESE 6, ANNEE 1994

Numéro de notice : 04393854X

Titre : [TAUMMI](#) : UN SYSTEME DE GENERATION DE VECTEURS, DE SIMULATION DE FAUTES ET DE COMPILATION EN VUE DU TEST UTILISANT UNE METHODE LOCALEMENT EXHAUSTIVE / PHILIPPE DEBAUD ; SOUS LA DIRECTION DE H. **MEHREZ**
Mémoire ou thèse (version d'origine)

Auteur(s) : [DEBAUD, PHILIPPE](#). Auteur
[MEHREZ, H.](#). Directeur de thèse

Date(s) : 1994

Langue(s) : français

Pays : France

Editeur(s) : [\[S.I.\]](#) : [s.n.], 1994

Description : 294 P.

Num. national de thèse : 1994PA066348

Thèse : [Thèse de doctorat](#) : [SCIENCES APPLIQUEES](#) : [Paris 6](#) : [1994](#)

Annexes : 71 REF.

Résumé : NOUS PRESENTONS LES MODELES DE FAUTES LES PLUS COURAMMENT UTILISES ET RAPPELONS AU LECTEUR LES DIFFERENTS DEFAUTS PHYSIQUES POUVANT SURVENIR DANS UN CIRCUIT VLSI. NOUS SOULIGNONS LES PROBLEMES DE REPRESENTATION ET DECRIVONS LA TECHNIQUE UTILISEE AINSI QUE SON EXTENSION. UNE ETUDE COMPARATIVE NOUS PERMET DE CARACTERISER CES DIFFERENTS MODELES ET D'EN EVALUER LES INTERETS. LE PROBLEME DE L'AIDE A LA CONCEPTION EN VUE DU TEST EST EXTREMEMENT VASTE. NOUS FIXONS LES OBJECTIFS VISES ET DETAILLONS LE FONCTIONNEMENT DES ALGORITHMES PROPOSES A L'AIDE D'EXEMPLES PRECIS. NOUS ENVISAGEONS LES DIFFERENTES TECHNIQUES POUVANT ETRE UTILISEES, EXPOSONS LES METHODES CHOISIES ET METTONS EN EVIDENCE LEURS QUALITES ET LEURS DEFAUTS. LES SOLUTIONS RETENUES NOUS PERMETTENT D'OBTENIR DES CIRCUITS 100% TESTABLES SELON LE MODELE DES COLLAGES OU LA METHODE DES MINTERMES. AFIN DE VALIDER LES ALGORITHMES PROPOSES ET D'EN EVALUER LEURS PERFORMANCES NOUS AVONS DEVELOPPE UNE APPLICATION COMPLETE PERMETTANT D'EXPLOITER LES METHODES ET LES TECHNIQUES DECRITES DANS CE MEMOIRE. NOUS DETAILLONS L'ARCHITECTURE ET LES POSSIBILITES DU LOGICIEL, SOULIGNONS SES QUALITES ET SES DEFAUTS ET SUGGERONS CERTAINES AMELIORATIONS SUSCEPTIBLES D'ACCROITRE LES PERFORMANCES DE L'ENSEMBLE. ENFIN, NOUS COMPARONS LES RESULTATS OBTENUS A CEUX

FOURNI PAR UN OUTIL INDUSTRIEL EN UTILISANT POUR
CELA LES CIRCUITS DE TEST ISCAS 85 ET ISCAS 89

Autre(s) titre(s) : TAUMMI: A TEST PATTERN GENERATOR, A FAULT
SIMULATOR AND A SILICON COMPILER, USING A LOCALY
EXHAUSTIVE METHOD

Sujets : [SCIENCES APPLIQUEES : INFORMATIQUE, AUTOMATIQUE
THEORIQUE, SYSTEMES/ELECTRONIQUE
ALGORITHME/SIMULATION NUMERIQUE/CONCEPTION
ASSISTEE/CIRCUIT
VLSI/DEFAUT/VERIFICATION/ESSAI/VECTEUR TEST/SEAN
PATH/ATPG/GENERATION AUTOMATIQUE/CD
ALGORITHM/NUMERICAL SIMULATION/COMPUTER AIDED
DESIGN/VLSI
CIRCUIT/DEFECT/VERIFICATION/TEST/AUTOMATIC
GENERATION/CD](#)

THESE 7, ANNEE 1997

Numéro de notice : 043711332

Titre : [EVALUATION DE CIRCUITS VLSI AUTOCONTROLES PRENANT EN COMPTE UN MODELE DE FAUTES MULTIPLES](#) / CYRIL QUENNESSON ; SOUS LA DIRECTION DE HABIB MEHREZ
Mémoire ou thèse (version d'origine)

Auteur(s) : [QUENNESSON, CYRIL](#). Auteur
[MEHREZ, HABIB](#). Directeur de thèse

Date(s) : 1997

Langue(s) : français

Pays : France

Editeur(s) : [S.I.] : [s.n.], 1997

Description : 193 P.

Num. national de thèse : 1997PA066163

Thèse : [Thèse de doctorat : SCIENCES APPLIQUEES : Paris 6 : 1997](#)

Annexes : 72 REF.

Résumé : DEVANT LA NECESSITE DE CIRCONVENIR LES CONSEQUENCES DE PHENOMENES PHYSIQUES (FLASH IONISANT, FOUDRE, COURANTS DE COMMUTATION, ...) GENERANT DE FORTES PERTURBATIONS TRANSITOIRES AU SEIN DES CIRCUITS INTEGRES, NOUS NOUS SOMMES FIXE POUR OBJECTIF DE MONTRER LA FAISABILITE DE SYSTEMES EFFICACES DE TEST EN LIGNE, DANS LE CAS DE FAUTES MULTIPLES PRESENTES DANS LE CIRCUIT. LES METHODES ACTUELLES DEMONTRENT, DE FACON FORMELLE, L'EFFICACITE D'UN AUTOCONTROLE, MAIS NE PEUVENT ETRE APPLIQUEES SI L'ON ADOPTE UN MODELE DE FAUTES MULTIPLES. NOUS AVONS DONC DEVELOPPE UNE METHODE DE MESURE DE TAUX D'INTEGRITE UTILISANT UN TEL MODELE. CETTE METHODE, ORIGINALE, REPOSE SUR LA SIMULATION ET L'INTRODUCTION DE DEFECTUOSITES DANS LES CIRCUITS TESTES. ELLE FOURNIT UNE MESURE STATISTIQUE DE L'EFFICACITE DES SYSTEMES IMPLANTES. L'APPROCHE EST INTERESSANTE CAR ELLE PERMET DE REALISER SIMPLEMENT UNE ANALYSE APPROFONDIE DE N'IMPORTE QUEL TYPE D'AUTOCONTROLE. EN OUTRE, SES FONDEMENTS SONT TRES GENERAUX ET AUTORISENT TOUT MODELE DE FAUTE. NOUS AVONS DEVELOPPE CATI (CALCUL DE TAUX D'INTEGRITE), OUTIL DE CAO CORRESPONDANT. GRACE A PLUSIEURS ETUDES REALISEES A L'AIDE DE CE LOGICIEL, NOUS MONTRONS LA SPECIFICITE DU PROBLEME DES FAUTES MULTIPLES. NOUS MONTRONS EGALEMENT QU'IL EST POSSIBLE D'OBTENIR D'EXCELLENTS RESULTATS AVEC UN MODELE DE FAUTES MULTIPLES, EN MODIFIANT ET ADAPTANT LES ARCHITECTURES EXISTANTES DEDIEES A L'AUTOCONTROLE. AFIN DE DEMONTRER

EXPERIMENTATEMENT LA FAISABILITE D'UN AUTOCONTROLE PERFORMANT SELON UN MODELE DE FAUTES MULTIPLES, DEUX CIRCUITS DE DEMONSTRATION ONT ETE REALISES. ILS COMPORTENT DIX TYPES DIFFERENTS D'AUTOCONTROLE. LEUR ANALYSE PAR CATI ET LES RESULTATS DES EXPERIMENTATIONS EFFECTUEES PERMETTENT DE VALIDER NOTRE METHODE DE MESURE DE TAUX D'INTEGRITE ET DE MONTRER QU'IL EST POSSIBLE DE CONCEVOIR UN AUTOCONTROLE PERFORMANT EN PRESENCE D'ERREURS MULTIPLES.

Autre(s) titre(s) : EVALUATION OF VLSI SELF-CHECKING CIRCUITS USING A MULTIPLE FAULTS MODEL

Sujets : [SCIENCES APPLIQUEES : ELECTRONIQUE](#)
[FAISABILITE/ESSAI/AUTOTEST/CIRCUIT INTEGRE/DETECTION](#)
[DEFAUT/EN LIGNE/CONCEPTION ASSISTEE/EFFET](#)
[RAYONNEMENT/INTEGRITE/MODELISATION/CODAGE](#) DE
[NOMBRES/TAUX D'INTEGRITE/ERREUR MULTIPLE](#)
[FEASIBILITY/TEST/BUILT IN SELF TEST/INTEGRATED](#)
[CIRCUIT/DEFECT DETECTION/ON LINE/COMPUTER AIDED](#)
[DESIGN/RADIATION EFFECT/INTEGRITY/MODELING](#)

THESE 8, ANNEE 1997

Numéro de notice : 049601970

Titre : [GENOPTIM](#) : UN OUTIL D'AIDE A LA CONCEPTION DE GENERATEURS DE CIRCUITS PORTABLES OPTIMISES EN PERFORMANCE ET SURFACE / ALAIN HOUELLE ; SOUS LA DIRECTION DE HABIB MEHREZ

Mémoire ou thèse (version d'origine)

Auteur(s) : [HOUELLE, ALAIN](#). Auteur
[MEHREZ, HABIB](#). Directeur de thèse

Date(s) : 1997

Langue(s) : français

Pays : France

Editeur(s) : [\[S.I.\]](#) : [s.n.], 1997

Description : 181 P.

Num. national de thèse : 1997PA066671

Thèse : [Thèse de doctorat](#) : [SCIENCES APPLIQUEES](#) : [Paris 6](#) : [1997](#)

Annexes : 65 REF.

Résumé : DANS LE CADRE DE CETTE THESE NOUS AVONS EU A ELABORER UNE BIBLIOTHEQUE DE GENERATEURS D'OPERATEURS ARITHMETIQUES. LA CONCEPTION DE TELS OPERATEURS EST UNE TACHE ARDUE. AFIN DE RENTABILISER LE DEVELOPPEMENT DE CES GENERATEURS, IL EST SOUHAITABLE D'AUGMENTER AU MAXIMUM LEUR DUREE DE VIE. LA PERENNITE D'UNE TELLE BIBLIOTHEQUE EST ASSUREE PAR SA PORTABILITE TECHNOLOGIQUE. PARMIS TOUTES LES METHODOLOGIES DE CONCEPTION DISPONIBLES ACTUELLEMENT, L'APPROCHE A BASE DE CELLULES PRECARACTERISEES APPORTE LA MEILLEURE FLEXIBILITE ET GARANTIT LA PORTABILITE TECHNOLOGIQUE NECESSAIRE A DE TELS OPERATEURS. LES CELLULES PRECARACTERISEES SONT GENERALEMENT UTILISEES COMME SUPPORT DE LA SYNTHESE LOGIQUE. CEPENDANT, CETTE METHODE DE CONCEPTION NE PROFITE PAS PLEINEMENT DES AVANTAGES DE CE SUPPORT. CETTE THESE PROPOSE DONC UN NOUVEL ENVIRONNEMENT D'AIDE A LA CONCEPTION DE GENERATEURS PORTABLES REPOSANT SUR UNE APPROCHE A BASE DE CELLULES PRECARACTERISEES. CET ENVIRONNEMENT PERMET DE BENEFICIER DES POINTS FORTS DE CE GENRE D'APPROCHE, MAIS AUSSI AUGMENTE LE POTENTIEL DE PORTABILITE DE CES ARCHITECTURES. AINSI, UN MECANISME DE CELLULE VIRTUELLE PERMET DE CONSTRUIRE UNE LISTE D'INTERCONNEXIONS DE PORTES SANS SE SOUCIER DE LA LIBRAIRIE CIBLE. AUSSI, DES METHODES DE RECONFIGURATION DE PLACEMENT RENDENT LES GENERATEURS PLUS FLEXIBLES AFIN DE LES INTEGRER DANS UN CONTEXTE TOPOLOGIQUE PRECIS. DE MEME, DES ALGORITHMES D'OPTIMISATION TEMPORELLE LIBERENT LE

CONCEPTEUR DE TOUS PROBLEMES ELECTRIQUES ET PERMETTENT D'OBTENIR DES OPERATEURS RAPIDES UTILISANT LES CELLULES ADEQUATES DE LA LIBRAIRIE CIBLE. CET ENVIRONNEMENT OFFRE UN GRAND NOMBRE DE PRIMITIVES DE CONCEPTION DES PRINCIPALES VUES UTILISEES DANS LE DOMAINE DE LA CAO VLSI. CETTE METHODOLOGIE DE CONCEPTION A ETE APPLIQUEE AVEC SUCCES POUR LA REALISATION D'UN CIRCUIT DE CONVOLUTION COMPORTANT PRES DE 250 000 TRANSISTORS. L'ETUDE DE L'ARCHITECTURE DU CIRCUIT DE CONVOLUTION ET SON IMPLANTATION PERMETTRONT DE MIEUX COMPRENDRE LES FONCTIONNALITES ET LES AVANTAGES DE NOTRE ENVIRONNEMENT DE CONCEPTION.

Autre(s) titre(s) : GENOPTIM : A DESIGN FRAMEWORK FOR THE DEVELOPMENT OF PORTABLE OPERATORS GENERATORS OPTIMIZED IN AREA AND PERFORMANCES

Sujets : [SCIENCES APPLIQUEES : INFORMATIQUE, AUTOMATIQUE THEORIQUE, SYSTEMES PORTABILITE/METHODE OPTIMISATION/ANALYSE TEMPORELLE/CONCEPTION ASSISTEE/VLSI PORTABILITY/OPTIMIZATION METHOD/TIME ANALYSIS/COMPUTER AIDED DESIGN/VLSI](#)

THESE 9, ANNEE 1997

Numéro de notice : 049558609

Titre : [METHODOLOGIE DE CONCEPTION D'ARCHITECTURES VLSI GENERIQUES APPLIQUEE AU TRAITEMENT NUMERIQUE](#) / NICOLAS VAUCHER ; SOUS LA DIRECTION DE HABIB MEHREZ
Mémoire ou thèse (version d'origine)

Auteur(s) : [VAUCHER, NICOLAS](#). Auteur
[MEHREZ, HABIB](#). Directeur de thèse

Date(s) : 1997

Langue(s) : français

Pays : France

Editeur(s) : [S.I.] : [s.n.], 1997

Description : 188 P.

Num. national de thèse : 1997PA066572

Thèse : [Thèse de doctorat : SCIENCES APPLIQUEES : Paris 6 : 1997](#)

Annexes : 74 REF.

Résumé : CETTE THESE PRESENTE UNE METHODOLOGIE DE CONCEPTION DE GENERATEURS D'OPERATEURS ARITHMETIQUES, BASEE SUR L'UTILISATION DE PORTES LOGIQUES STANDARDS PRECARACTERISEES. CETTE METHODE S'EST CONCRETISEE PAR LE DEVELOPPEMENT D'UN OUTIL D'AIDE A LA CONCEPTION DE GENERATEURS, APPELE GENOPTIM. L'ORIGINALITE DE GENOPTIM VIEND DU CONCEPT DE BIBLIOTHEQUE DE CELLULES LOGIQUES VIRTUELLES QUI PERMET LA CONCEPTION DE BLOCS VLSI PORTABLES SUR DIFFERENTES TECHNOLOGIES. LA FINALITE DE CET OUTIL EST D'OTER AU CONCEPTEUR DE GENERATEURS, LES PROBLEMES D'ORDRE TECHNOLOGIQUE, ET D'AMELIORER LES PERFORMANCES DU CIRCUIT GENERE, EN REALISANT DES OPTIMISATIONS ELECTRIQUES ET DE PLACEMENTS. CETTE METHODOLOGIE A ETE APPLIQUEE DANS LA CONCEPTION D'OPERATEURS ARITHMETIQUES ENTIERS TELS QUE L'ADDITION, LA MULTIPLICATION, LA DIVISION ET LA RACINE CARREE. LES NOUVEAUTES APPORTEES SONT, ENTRE AUTRES, UN ADDITIONNEUR, DONT L'ARCHITECTURE S'ADAPTE AU TEMPS DE PROPAGATION DESIRE, UN GENERATEUR DE STRUCTURES ARBORESCENTES DE TYPE WALLACE POUR LA CONCEPTION DE MULTIPLIEURS, AINSI QUE DES OPERATEURS DE DIVISION ET DE RACINE CARREE REDONDANTES. PUIS, NOUS AVONS DEVELOPPE DES GENERATEURS D'OPERATEURS ARITHMETIQUES EN VIRGULE FLOTTANTE REpondant A LA NORME IEEE-754. CEPENDANT, DANS LE CADRE DE LA CONCEPTION D'UN ASIC DEDIE AU TRAITEMENT DU SIGNAL, IL N'EST PAS TOUJOURS NECESSAIRE DE RESPECTER COMPLETEMENT LA NORME. PAR CONSEQUENT, NOUS AVONS DEVELOPPE DES GENERATEURS D'ADDITION ET DE MULTIPLICATION MODULABLES, AFIN DE DIMINUER LA SURFACE DE CES OPERATEURS. A PARTIR DES GENERATEURS

D'OPERATEURS ARITHMETIQUES DE BASE, NOUS AVONS ELABORE UN CIRCUIT DE CONVOLUTION APPELE C8D32. LA VOCATION PRINCIPALE DE CE CONVOLVEUR EST DE S'INSERER DANS UNE CHAINE DE RECONNAISSANCE DE FORME BASEE SUR LA MODELISATION DU COMPORTEMENT DU SYSTEME BIOLOGIQUE VISUEL DES MAMMIFERES. SON ARCHITECTURE EST COMPOSEE PRINCIPALEMENT D'UN OPERATEUR DE CONVOLUTION SYSTOLIQUE REGROUPANT HUIT PROCESSEURS ELEMENTAIRES. LE C8D32 EST CAPABLE DE REALISER DES CONVOLUTIONS SUR DES NOYAUX DE 32 8 COEFFICIENTS. LE REGROUPEMENT DE PLUSIEURS CIRCUITS PERMETTRA ALORS D'EFFECTUER DES CONVOLUTIONS SUR DES TAILLES DE MASQUES PLUS IMPORTANTES. ENFIN, L'ENVIRONNEMENT DE CONCEPTION GENOPTIM ASSURE LA PORTABILITE DU CIRCUIT SUR DIFFERENTES TECHNOLOGIES.

Autre(s) titre(s) : A DESIGN METHODOLOGY FOR GENERIC VLSI ARCHITECTURES DEDICATED TO NUMERICAL PROCESSING

Sujets : [SCIENCES APPLIQUEES](#) : [ELECTRONIQUE](#)
[CONCEPTION ASSISTEE](#)/[CIRCUIT INTEGRE](#)/[CIRCUIT](#)
[VLSI](#)/[TRAITEMENT NUMERIQUE](#)/[RECONNAISSANCE](#)
[FORME](#)/[METHODOLOGIE](#)/[OPTIMISATION](#)/[ARITHMETIQUE](#)
[ORDINATEUR](#)/[OPERATEUR](#)/[VIRGULE](#)
[FLOTTANTE](#)/[CONVOLUTION](#)/[ALGORITHME](#)/[BIBLIOTHEQUE](#)/[CIRCUIT](#)
[LOGIQUE](#)/[PORTABILITE TECHNOLOGIQUE](#)/[CELLULE LOGIQUE](#)
[PRECARACTERISEE](#)/[OPERATEUR FLOTTANT](#)/[NORME IEEE](#)
[COMPUTER AIDED DESIGN](#)/[INTEGRATED CIRCUIT](#)/[VLSI](#)
[CIRCUIT](#)/[DIGITAL PROCESSING](#)/[PATTERN](#)
[RECOGNITION](#)/[METHODOLOGY](#)/[OPTIMIZATION](#)/[COMPUTER](#)
[ARITHMETIC](#)/[OPERATOR](#)/[FLOATING](#)
[POINT](#)/[CONVOLUTION](#)/[ALGORITHM](#)/[LIBRARY](#)/[LOGIC CIRCUIT](#)

THESE 10, ANNEE 1998

Numéro de notice : 059950056

Titre : [OUTILS D'AIDE A LA SYNTHÈSE D'ARCHITECTURE VLSI AUTO-TESTABLES. ALGORITHMES DE GÉNÉRATION DE VECTEURS DE TEST DETERMINISTES ET MIXTES](#) / EL HOUSSEINE REJOUAN ; SOUS LA DIR. DE HABIB MEHREZ
Mémoire ou thèse (version d'origine)

Alphabet du titre : latin

Auteur(s) : [REJOUAN, EL HOUSSEINE](#)
[MEHREZ, HABIB](#). Directeur de thèse

Date(s) : 1998

Langue(s) : français

Pays : France

Editeur(s) : [\[S.I.\]](#) : [s.n.], 1998

Description : 190 p.

Num. national de thèse : 1998PA066604

Thèse : [Thèse de doctorat : SCIENCES ET TECHNIQUES : Paris 6 : 1998](#)

Annexes : 110 ref.

Résumé : LE TEST INTEGRE EST UNE TECHNIQUE DE CONCEPTION EN VUE DU TEST. IL CONSISTE A INCLURE, AU SEIN MEME DE L'UNITE A TESTER, LES DIFFERENTS MODULES DE GÉNÉRATION DE VECTEURS DE TEST, D'ANALYSE DES REPONSES ET DU CONTROLE DE TEST. CETTE THESE PRESENTE UN NOUVEL ENVIRONNEMENT D'AIDE A LA SYNTHÈSE D'ARCHITECTURES VLSI AUTO-TESTABLES ET DES ALGORITHMES DE GÉNÉRATION DE VECTEURS DE TEST DETERMINISTES ET MIXTES. CET ENVIRONNEMENT PERMET L'INSERTION AUTOMATIQUE DES STRUCTURES DE TEST AUTONOME DANS LES CIRCUITS DE LOGIQUES IRREGULIERES, DANS LES MEMOIRES SRAM, ROM ET DANS LES BANCS DE REGISTRES. DE PLUS, IL OFFRE AU CONCEPTEUR, D'UNE PART, LA POSSIBILITE D'INSERER AUTOMATIQUEMENT LE SCAN-PATH ET, D'AUTRE PART, UNE BOITE A OUTILS QUI LUI PERMET AINSI DE CONCEVOIR PLUS FACILEMENT DES CIRCUITS AUTO-TESTABLES. CETTE BOITE A OUTILS CONTIENT UN ENSEMBLE DE GENERATEURS DE VECTEURS DE TEST (EXHAUSTIF, PSEUDO-EXHAUSTIF, PSEUDO-ALEATOIRE, DETERMINISTE ET MIXTE), AINSI QUE DES GENERATEURS D'ANALYSEUR DE REPONSES, DE STRUCTURES BILBO, DE MULTIPLEXEURS ET DE COMPARETEURS DOUBLE-RAILS. DANS CETTE THESE, UNE NOUVELLE ARCHITECTURE RECONFIGURABLE POUR LA GÉNÉRATION DES VECTEURS DE TEST DETERMINISTES ET MIXTES A ETE PROPOSEE. ELLE EST BASEE SUR L'UTILISATION D'AUTOMATES CELLULAIRES HYBRIDES. NOUS AVONS PROPOSE UNE ARCHITECTURE DE TEST

AUTONOME POUR LES MEMOIRES SRAM, ROM ET LES BANCS DE REGISTRES. LES ALGORITHMES DE TEST IMPLANTES PAR NOTRE OUTIL SONT DES VERSIONS AMELIOREES DE CEUX DE DEKKER. LES DIVERSES REALISATIONS EXPERIMENTALES DEMONTRENT QUE LE COUT DE LA SURFACE DE SILICIUM ADDITIONNELLE, AINSI QUE LA DEGRADATION DE PERFORMANCES RESTENT ACCEPTABLES. ELLES TEMOIGNENT DE L'IMPORTANCE DU TEST INTEGRE DANS LA CONCEPTION DE SYSTEMES DE PLUS EN PLUS COMPLEXES.

Sujets :

SCIENCES ET TECHNIQUES : ELECTRONIQUE
CONCEPTION ASSISTEE ; CONCEPTION CIRCUIT ; SYNTHESE
CIRCUIT ; CIRCUIT VLSI ; AUTOTEST ; MEMOIRE ORDINATEUR
; APPROCHE DETERMINISTE ; APPROCHE PROBABILISTE ;
AUTOMATE CELLULAIRE

THESE 11, ANNEE 1999

Numéro de notice : 06001850X

Titre : [ARCHITECTURE D'UN SYSTEME HETEROGENE POUR LA RECONNAISSANCE DE FORMES](#) / MOURAD ABERBOUR ; SOUS LA DIR. DE HABIB **MEHREZ**
Mémoire ou thèse (version d'origine)

Alphabet du titre : latin

Auteur(s) : [ABERBOUR, MOURAD](#)
[MEHREZ, HABIB](#). Directeur de thèse

Date(s) : 1999

Langue(s) : français

Pays : France

Editeur(s) : [S.l.] : [s.n.], 1999

Description : 240 p.

Num. national de thèse : 1999PA066005

Thèse : [Thèse Doctorat : SCIENCES ET TECHNIQUES : CHIMIE : PARIS 6 : 1999](#)

Annexes : 199 ref.

Résumé : LES TRAITEMENTS IMPLIQUES EN VISION ARTIFICIELLE SONT LOURDS EN CALCUL. ILS NECESSITENT UNE ACCELERATION MATERIELLE ET UNE MINIATURISATION POUR LES APPLICATIONS EMBARQUEES. LES AVANCEES DES TECHNOLOGIES D'INTEGRATION RENDENT POSSIBLE L'IMPLANTATION DE SYSTEMES COMPLEXES A PLUSIEURS DIZAINES DE MILLIONS DE TRANSISTORS SUR UNE MEME PUCE. LE TRAVAIL EFFECTUE DANS CETTE THESE CONCERNE L'ETUDE ALGORITHMIQUE ET ARCHITECTURALE D'UN SYSTEME DE RECONNAISSANCE DE FORMES TEMPS REEL BASE SUR UN MODELE DE LA VISION BIOLOGIQUE. LE SYSTEME DOIT REPENDRE A DES CONTRAINTES D'INVARIANCE MULTIPLES DANS UNE SCENE COMPLEXE. NOUS NOUS SOMMES BASES SUR DES ALGORITHMES EXISTANTS POUR PROPOSER UNE METHODE DE RECONNAISSANCE DE FORMES ADAPTEE A UNE INTEGRATION VLSI. NOTRE CHOIX S'EST FIXE SUR L'ANALYSE PAR ONDELETTES DE GABOR, SUIVIE PAR L'EXTRACTION DE CARACTERISTIQUES AVEC LES ALGORITHMES DE SALIENCE INTRODUIITS PAR CLARK ET FINALEMENT UN RESEAU DE NEURONES RBF-DDA POUR L'APPRENTISSAGE ET LA CLASSIFICATION. LE CHOIX DE CES DIFFERENTS ALGORITHMES ET LES MODIFICATIONS APPORTEES ONT ETE GUIDES PAR L'INTEGRATION VLSI. IL A FALLU MODIFIER LES ALGORITHMES POUR UNE ADEQUATION A UNE ARCHITECTURE REALISABLE. NOUS AVONS DONC PROPOSE UNE METHODOLOGIE REPENDANT AUX EXIGENCES DE LA CONCEPTION. L'ETUDE DES DIFFERENTES ARCHITECTURES EXISTANTES, TANT POUR LE

TRAITEMENT D'IMAGES QUE POUR LES RESEAUX DE NEURONES, NOUS A CONDUIT A PROPOSER UNE STRUCTURE MATERIELLE/LOGICIELLE HETEROGENE POUR L'IMPLANTATION DU SYSTEME. UN PROCESSEUR RISC EST ASSOCIE A DES COPROCESSEURS DEDIES POUR ACCELERER CERTAINES PARTIES DU TRAITEMENT. L'ETUDE DE DIFFERENTES SOLUTIONS EST FACILITEE PAR L'UTILISATION D'UN SIMULATEUR CYCLE PRECIS DE SYSTEMES MATERIEL/LOGICIEL. LES COPROCESSEURS ONT ETE ETUDIES POUR OFFRIR LES MEILLEURES PERFORMANCES AVEC DES DEGRES DE PARAMETRISATION LEUR PERMETTANT D'ETRE REUTILISABLES DANS D'AUTRES CONTEXTES. NOUS NOUS SOMMES ALORS BASES SUR UN ENVIRONNEMENT DE CONCEPTION IMPLANTANT LE CONCEPT DE GENERATEUR PARAMETRABLE DE MACRO-FONCTIONS PROJETABLES SUR DIFFERENTES TECHNOLOGIES CIBLES.

Sujets :

[SCIENCES ET TECHNIQUES : INFORMATIQUE. AUTOMATIQUE THEORIQUE. SYSTEMES](#)
[CHIMIE : CHIMIE ORGANIQUE](#)
[CONCEPTION CIRCUIT ; CIRCUIT VLSI ; TRAITEMENT IMAGE ;](#)
[RECONNAISSANCE FORME ; RESEAU NEURONAL ;](#)
[TRANSFORMATION ONDELETTE ; VISION ARTIFICIELLE ;](#)
[ARCHITECTURE SYSTEME ; CONCEPTION CONJOINTE ;](#)
[ADEQUATION ALGORITHME ARCHITECTURE](#)

THESE 12, ANNEE 2001

Numéro de notice : 071380574

Titre : [OPTIMISATIONS DES CHEMINS DE DONNEES ARITHMETIQUES PAR L'UTILISATION DE PLUSIEURS SYSTEMES DE NUMERATION](#) /
YANNICK DUMONTEIX ; SOUS LA DIR. DE HABIB **MEHREZ**
Mémoire ou thèse (version d'origine)

Alphabet du titre : latin

Auteur(s) : [DUMONTEIX, YANNICK](#)
[MEHREZ, HABIB](#). Directeur de thèse

Date(s) : 2001

Langue(s) : français

Pays : France

Editeur(s) : [S.l.] : [s.n.], 2001

Description : 219 p.

Num. national de thèse : 2001PA066293

Thèse : [Thèse de doctorat : SCIENCES ET TECHNIQUES : Paris 6 : 2001](#)

Annexes : 64 ref.

Résumé : CETTE THESE PRESENTE L'INTEGRATION DE NOUVEAUX SYSTEMES DE REPRESENTATIONS DES NOMBRES, PLUS PRECISEMENT LES SYSTEMES DE NOTATIONS REDONDANTES, DANS LE FLOT DE CONCEPTION DE CURS DE CALCULS. LES TRAVAUX EFFECTUES SE DECOUPENT EN TROIS PHASES. LA PREMIERE EST CONSACREE A L'INTRODUCTION DES SYSTEMES DE NOTATIONS REDONDANTES AUX COTES DES SYSTEMES DE NOTATIONS CLASSIQUES. A CET EFFET NOUS AVONS DEFINI UNE NOUVELLE ARITHMETIQUE QUALIFIEE DE MIXTE. CELLE-CI REpond AUX PROBLEMES LIES A L'USAGE SIMULTANE DES NOTATIONS CLASSIQUES ET REDONDANTES. ELLE A DONNE LIEU AU DEVELOPPEMENT DE NOUVEAUX OPERATEURS TRES PERFORMANTS CAPABLES DE TENIR COMPTE DE TOUTES LES COMBINAISONS DE NOTATIONS CLASSIQUES/REDONDANTES SUR LEURS ENTREES/SORTIES. LES TROIS OPERATIONS ELEMENTAIRES QUE SONT L'ADDITION, LA SOMME ET LA MULTIPLICATION, ONT ETE ETUDIEES. NOUS DISTINGUONS LE CAS PARTICULIER DE L'AJOUT DE DEUX OPERANDES (ADDITION) DU CAS GENERAL DE L'AJOUT DE TROIS OPERANDES ET PLUS (SOMME). CES DIVERSES OPERATIONS ONT ETE REALISEES SOUS FORMES DE GENERATEURS OU LA TAILLE, LE SIGNE ET LA NOTATION DE CHACUNE DES OPERANDES AINSI QUE L'ALGORITHME DE CALCUL UTILISE SONT PARAMETRABLES. LA DEUXIEME PHASE A EUT POUR OBJECTIF DE DETERMINER L'IMPACT DE L'ARITHMETIQUE MIXTE DANS LA CONCEPTION DE CHEMINS DE DONNEES. L'ETUDE PORTE SUR LA REDEFINITION DES ENCHAINEMENTS COMBINATOIRES ET SEQUENTIELS ENTRE OPERATEURS ET SUR L'UTILISATION D'ARBRES D'ADDITIONS (SOMME). CETTE SECONDE PHASE A PERMIS D'IDENTIFIER DES REGLES D'OPTIMISATION GENERIQUES LIEES A L'USAGE D'OPERATEURS ARITHMETIQUES DANS UNE

ARCHITECTURE. LA TROISIEME PHASE EST CONSACREE A LA PRISE EN COMPTE DE NOUVEAUX SYSTEMES DE REPRESENTATIONS DANS LA LA SYNTHESE D'ARCHITECTURE. NOUS NOUS INTERESSONS ESSENTIELLEMENT A LA PHASE DE TRADUCTION COMPORTEMENTS STRUCTURES PHYSIQUES. L'OBJECTIF EST DE PROPOSER UNE METHODE DE PROJECTION EQUIVALENTE A CELLE UTILISEE DANS LA SYNTHESE BAS NIVEAU, INCORPORANT EN PLUS LES OPERATEURS ARITHMETIQUES ET LE SAVOIR-FAIRE LIE A LEUR USAGE. POUR REPOUDRE A CES PARTICULARITES, LA PROJECTION NE SE FAIT PAS DIRECTEMENT VERS UNE BIBLIOTHEQUE DE CELLULES PRE-CARACTERISEES, MAIS VERS DES GENERATEURS D'ARCHITECTURES. CETTE DERNIERE PHASE A DONNE LIEU A LA DEFINITION D'UNE METHODOLOGIE DE CONCEPTION DE CHEMINS DE DONNEES BASEE SUR L'UTILISATION DE GENERATEURS DE FONCTIONS ELEMENTAIRES ET A LA SPECIFICATION D'UN OUTIL D'AIDE A LA CONCEPTION DE CHEMINS DE DONNEES. CE DERNIER PERMET DE DEFINIR UN CHEMIN DE DONNEES PAR UNE DESCRIPTION SIMPLIFIEE.

Sujets :

[SCIENCES ET TECHNIQUES : INFORMATIQUE. AUTOMATIQUE THEORIQUE. SYSTEMES ARITHMETIQUE ORDINATEUR/OPTIMISATION/REDONDANCE/NUMERATION/CHEMIN DONNEE](#)

THESE 13, ANNEE 2001

Numéro de notice : 089367790

Titre : [Etude et spécification d'un coeur de processeur de traitement du signal configurable pour systèmes embarqués spécialisés](#) [Texte imprimé] / Yann Bajot ; sous la direction d'Habib **Mehrez**
Mémoire ou thèse (version d'origine)

Alphabet du titre : Latin

Auteur(s) : [Bajot, Yann.](#) Auteur
[Mehrez, Habib.](#) Directeur de thèse
[Université Pierre et Marie Curie \(Paris\).](#) Université de soutenance

Date(s) : 2001

Langue(s) : Français

Pays : France

Editeur(s) : [S. l.] : [s. n.], 2001

Description : 1 vol., 231 p. : ill. ; 30 cm

Num. national de thèse : 2001PA066262

Thèse : [Thèse de doctorat : Informatique : Paris 6 : 2001](#)

Notes : Publication autorisée par le jury

Annexes : Bibliogr. p. 226-231

Autre(s) titre(s) : Study and specification of a configurable DSP processor for embedded systems

Sujets : [Jeu d'instructions générique](#)
[Exploration d'architecture](#)
[Compilateur recyclable](#)
[Algorithme de Viterbi](#)
[Générateur paramétrable](#)

THESE 14, ANNEE 2003

Numéro de notice : 078241995

Titre : [Architectures matérielles pour l'arithmétique stochastique discrète](#) [Texte imprimé] / Roselyne Chotin-Avot ; sous la dir. de Habib **Mehrez** Mémoire ou thèse (version d'origine)

Alphabet du titre : latin

Auteur(s) : [Chotin-Avot, Roselyne \(1974-....\)](#). Auteur
[Mehrez, Habib](#). Directeur de thèse
[Université Pierre et Marie Curie \(Paris\)](#). Université de soutenance

Date(s) : 2003

Langue(s) : français

Pays : France

Editeur(s) : [\[S.I.\]](#) : [s.n.], 2003

Description : [162] p. : ill. ; 30 cm

Num. national de thèse : 2003PA066058

Thèse : [Thèse doctorat : Informatique : Paris 6 : 2003](#)

Notes : Publication autorisée par le jury

Annexes : Bibliogr. p. 141-147

Autre(s) titre(s) : Hardware architecture for discrete stochastic arithmetic

Sujets : [Arithmétique stochastique](#)
[Arithmétique à virgule flottante](#)
[Estimation](#) de la [précision](#)
[Contrôle](#) de la [précision](#)
[Système](#) sur [puce](#)
[Accélérateur](#) de [calcul](#)
[Accélérateur](#) [algorithme](#) [architecture](#) [VLSI](#)
[Méthode](#) [CESTAC](#) [[Contrôle](#) et [Estimation](#) [Stochastique](#) des [Arrondis](#) de [Calculs](#)]

THESE 15, ANNEE 2005

Numéro de notice : 091510813

Titre : [Estimation et optimisation de la consommation dans les descriptions architecturales des systèmes intégrés complexes](#) [Texte imprimé] / Ana Belén Abril García ; sous la direction d'Habib Mehrez
Mémoire ou thèse (version d'origine)

Alphabet du titre : latin

Auteur(s) : [Abril Garcia, Ana Belen \(1974-....\)](#). Auteur
[Mehrez, Habib](#). Directeur de thèse
[Université Pierre et Marie Curie \(Paris\)](#). Université de soutenance

Date(s) : 2005

Langue(s) : français, anglais

Pays : France

Editeur(s) : [S.l.] : [s.n.], 2005

Description : 1 vol. (181 p.) : ill. ; 30 cm

Num. national de thèse : 2005PA066115

Thèse : [Thèse de doctorat : Informatique : Paris 6 : 2005](#)

Notes : Publication autorisée par le jury

Annexes : Bibliogr. p. 177-181

Autre(s) titre(s) : Energy consumption estimation and optimisation in architectural descriptions of complex integrated systems

Sujets : [Estimation](#) de l'[énergie](#)
[Basse consommation](#)
[Simulation cycle précis](#)
[Système embarqué](#)
[Modèles d'énergie](#)
[Système C](#)
[Gestion](#) de la [puissance](#)
[Estimation matériel-logiciel](#)

THESE 16, ANNEE 2008

THÈSE DE DOCTORAT DE L'UNIVERSITÉ
PARIS VI
Spécialité : INFORMATIQUE ET MICRO-ÉLECTRONIQUE

Nom : MARRAKCHI
Prénom : Zied
Direction : Habib MEHREZ

Thèse soutenue le 25/11/2008 à Paris 6.

Titre : Exploration et Optimisation d'architectures FPGA arborescentes

RESUME EN FRANÇAIS :

Les circuits FPGAs (Field Programmable Gate Arrays) sont devenus des acteurs importants dans le domaine du traitement numérique qui a été dominé auparavant par les microprocesseurs et les circuits intégrés spécifiques. Le plus grand défi pour les FPGAs aujourd'hui est de présenter un bon compromis entre une grande souplesse et de bonnes performances (vitesse, surface et consommation). La combinaison de trois facteurs définit les caractéristiques d'un circuit FPGA: la qualité de l'architecture, la qualité des outils CAO de configuration et la conception électrique du FPGA. L'objet de cette thèse est l'exploration de nouvelles architectures et de structures d'interconnexion qui pourront améliorer les performances de ces circuits. En effet, les ressources d'interconnexion occupent 90% de la surface totale et occasionnent 60% de la consommation électrique. Les architectures étudiées présentent des structures matricielles et arborescentes. Les principaux résultats sont les suivants:

- Nous montrons, en nous appuyant sur un modèle d'estimation de surface, que l'architecture arborescente permet de réduire la surface totale de 56% par rapport à une architecture matricielle. Ceci est dû essentiellement à une meilleure utilisation des ressources d'interconnexion.
- Nous explorons les effets des différents paramètres de l'architecture proposée: le coefficient de Rent, la taille des groupes logiques et le nombre d'entrées par bloc logique.
- Enfin, nous proposons une architecture qui rassemble les avantages des structures arborescentes et matricielles.

Mots-clés: FPGA, Réseau d'interconnexion, Loi de Rent, Structure arborescente, Structure matricielle, Optimisation, Partitionnement, Placement, Routage, Analyse de timing

THESE 17, ANNEE 2008

THÈSE DE DOCTORAT DE L'UNIVERSITÉ
PARIS VI

Spécialité : INFORMATIQUE ET MICRO-ÉLECTRONIQUE

Présentée par : Ludovic Noury

Titre: CONTRIBUTION À LA CONCEPTION DE PROCESSEURS D'ANALYSE DE SIGNAUX
À LARGE BANDE DANS LE DOMAINE TEMPS-FRÉQUENCE : L'ARCHITECTURE F-TFR

Soutenue le : 24 Juin 2008

Direction : Habib MEHREZ

Résumé

De nombreuses applications, notamment dans le domaine des télécommunications, impliquent des signaux dont le contenu fréquentiel est non stationnaire et de bande passante de plus en plus importante.

L'analyse conventionnelle de ces signaux par transformée de Fourier n'est pas adaptée à leur contenu fréquentiel non stationnaire. Une modélisation plus discriminante, fondée sur une représentation temps-fréquence (RTF), permet l'analyse simultanée en temps et en fréquence des ces signaux. Cependant, les RTFs ayant une résolution satisfaisante, comme la transformée de Wigner-Ville, sont trop lourdes en calculs pour être appliquées à de tels signaux en temps réel. Ce constat nous a conduit à définir un algorithme de canalisation fréquentielle, fondé sur une succession de modulations, filtrages et décimations de signaux en quadrature. Bien que les calculs s'effectuent uniquement dans le domaine temporel, nous démontrons que leurs résultats peuvent s'interpréter comme s'ils provenaient d'une RTF (inversibilité, sensibilité et résolution, approximation par une RTF de Wigner-Ville). Nous développons aussi divers modèles logiciels optimisés, en arithmétique à virgule flottante et fixe, sur processeur généraliste et DSP. Nous décrivons ensuite le passage à une architecture matérielle générique, nommée F-TFR (Fast Time-Frequency Representation), reposant d'une part sur un multiplexage temporel qui permet d'augmenter la résolution fréquentielle, avec une croissance linéaire du nombre d'opérateurs de calcul, et d'autre part sur la réalisation d'un générateur de filtres optimisés. Finalement, nous détaillons la conception d'un prototype cascadable, fabriqué en technologie 0:13mm.

Mots clefs :

adéquation algorithme-architecture — Application Specific Integrated Circuit (ASIC) — arithmétique des ordinateurs — distribution de Wigner-Ville — filtre à réponse impulsionnelle finie (filtre RIF) — générateurs de composants virtuels (IP, Intellectual Property) — multiplexage temporel — représentation en quadrature — représentation temps-fréquence (RTF) — temps réel — traitement du signal numérique

THESE 18, ANNEE 2009

THÈSE DE DOCTORAT DE L'UNIVERSITÉ
PARIS VI
Spécialité : INFORMATIQUE ET MICRO-ÉLECTRONIQUE

Sophie Belloeil

Sujet : "Optimisation automatique des chemins de données arithmétiques par l'utilisation des systèmes de numération redondants"

Co-encadrée par Roselyne CHOTIN (80%)

Soutenance le lundi 25 mai 2009

Jury composé de :

Mme Lirida Naviner, Maître de Conférences à l'ENST, Rapporteur
M Emmanuel Casseau, Professeur à l'ENSSAT, Rapporteur
M Jean-Claude Bajard, Professeur au LIRMM, Examineur
M Nicolas Fel du CEA, Examineur
Mme Alix Munier-Kordon, Professeur au LIP6, Examineur
M Habib Mehrez, Professeur au LIP6, Directeur de Thèse
Mme Roselyne Chotin-Avot, Maître de Conférences au LIP6, Co-Directrice de Thèse

Résumé :

Cette thèse présente l'optimisation des chemins de données arithmétiques par l'intégration automatique du système des notations redondantes dans le flot de conception VLSI, de façon à le rendre plus accessible.

Les travaux effectués se découpent en deux phases.

La première a pour objectif d'incorporer les opérateurs redondants et mixtes et le savoir-faire lié à leur usage dans la synthèse bas niveau. Les bonnes performances intrinsèques de ces opérateurs montrent l'intérêt potentiel d'une telle approche. Trois algorithmes d'optimisation sont proposés, basés sur la redéfinition des enchaînements entre opérateurs arithmétiques.

La seconde est consacrée à la mise en place de l'environnement de conception dans lequel seront utilisés ces algorithmes. Cet environnement répond aux besoins liés à l'arithmétique et fournit un langage de description de circuits ayant un haut niveau d'abstraction.

Ces algorithmes ont été appliqués sur différents circuits arithmétiques et les résultats obtenus confirment que l'intégration automatique de l'arithmétique redondante améliore nettement les performances par rapport à une implantation classique de ces circuits.

Mots Clefs :

Arithmétique des ordinateurs, arithmétique redondante, opérateurs arithmétiques, optimisations arithmétiques, synthèse de chemins de données, environnement de conception VLSI.

THESE 19, ANNEE 2009
THÈSE DE DOCTORAT DE L'UNIVERSITÉ
PARIS VI
Spécialité : INFORMATIQUE ET MICRO-ÉLECTRONIQUE

M. Hayder MRABET

Sujet de la thèse :

Conception Et Optimisation D'Architectures Reconfigurables De Type FPGA
soutenue le 25 Septembre 2009
devant le jury composé de : (préciser la qualité de chacun des membres).

M. Habib Mehrez, Directeur de thèse
M. Régis Leveugle, Rapporteur
M. Yves Mathieu, Rapporteur
M. François Anceau, Examineur
M. André Tissot, Examineur
M. Olivier Lepape, Examineur
M. Jean-Arnaud François, Examineur

Résumé

La question du choix d'implémentations FPGA ou ASIC se pose dès les premiers stades de conception des circuits intégrés. De telles décisions sont basées sur les différences en termes de performances, consommation électrique et du coût lié à la surface de silicium et au volume de production. Un FPGA est 3 à 4 fois plus lent et consomme environ 12 fois plus qu'un ASIC. Cet écart est dû au réseau d'interconnexion programmable qui représente le facteur dominant du FPGA en terme de surface (90%) et en terme de consommation électrique (65%). Les circuits FPGAs doivent fournir un bon compromis entre flexibilité, performances et coût pour rester dans la course du marché des semi-conducteurs. Ces facteurs sont fortement liées à la qualité de l'architecture du FPGA, la qualité des outils de CAO et la qualité de la conception physique. L'objet de cette thèse est d'explorer les méthodes et les techniques pour trouver le meilleur compromis.

La première partie traite la conception automatisée de circuits reconfigurables spécifiques à un domaine d'application. Nous essayons de baisser les coûts de conception en automatisant le processus de développement des dessins des masques. Le générateur développé est indépendant de la technologie cible et peut être adaptés à n'importe quelle bibliothèque de cellules précaractérisées. Ce générateur a permis la création d'une matrice FPGA à base de cellules SRAMs. Cette matrice est équipée d'un système de détection d'erreur pour l'atténuation des effets SEU et offre un accès aléatoire à la mémoire de configuration. Un prototype a été fabriqué avec succès en technologie CMOS 0.12µm de STmicroelectronics.

La deuxième partie décrit le développement d'un FPGA avec une architecture arborescente nommée MFPGA. Nous avons exploré l'effet des différents paramètres de cette architecture (capacité des clusters, paramètre de Rent etc.) sur la densité logique du FPGA. Grâce à un bon équilibre entre les ressources logiques et les ressources d'interconnexion, MFPGA réalise un gain de 54% en terme de surface par rapport à une architecture matricielle de référence. Finalement, vu la complexité de conception physique des structures arborescentes, nous avons proposé une technique de mise à plat et de construction physique pour MFPGA pour illustrer la faisabilité, la généralité et la densité de cette architecture.

Mots-clés: FPGA, Réseau d'interconnexion, Loi de Rent, Architecture arborescente, Architecture matricielle, Conception physique, Dessin des masques, détection d'erreur, SEU, CAO

THESE 20, ANNEE 2010

THÈSE DE DOCTORAT DE L'UNIVERSITÉ
PARIS VI
Spécialité : INFORMATIQUE ET MICRO-ÉLECTRONIQUE

M. Husain PARVEZ

Sujet de la thèse :

"Design and Exploration of Application-Specific Mesh-Based Heterogeneous FPGA architectures"

"Conception et Exploration des Architectures de Circuits FPGA Hétérogènes à base de Structures Matricielles et Dediées aux Applications Spécifiques"

Abstract

=====
Low volume production of FPGA-based products is quite effective and economical because they are easy to design and program in shortest possible time. The generic reconfigurable resources in an FPGA can be programmed to execute a vast variety of applications at mutually exclusive times. However, the flexibility of FPGAs makes them much larger, slower, and more power consuming than their counterpart ASICs. Consequently, FPGAs are unsuitable for applications requiring high volume production, high performance or low power consumption. The main theme of this work is to reduce area of FPGAs by introducing heterogeneous hard-blocks (such as multipliers, adders etc) in FPGAs, and by designing application specific FPGAs. Automatic FPGA layout generation techniques are employed to decrease non-recurring engineering (NRE) costs and time-to-market of application specific heterogeneous FPGA architectures.

This work initially presents a new environment for the exploration of mesh-based heterogeneous FPGA architectures. An architecture description mechanism allows to define new heterogeneous blocks. A variety of automatic and manual options can be selected to optimize floor-planning of heterogeneous blocks on the FPGA architecture. The exploration environment later allows to test different benchmark circuits on the newly defined heterogeneous FPGA architecture. An automatic FPGA layout generator is presented which generates a tile-based FPGA layout for a subset of architectures generated by our exploration environment. We have successfully taped-out a 1024 Look-Up Table based mesh FPGA architecture using 130nm 6-metal layer CMOS process of ST.

The Heterogeneous FPGA exploration environment is further enhanced to explore application specific FPGAs. If a digital product is required to provide multiple functionalities at exclusive times, each distinct functionality represented by an application circuit is efficiently mapped on an FPGA. Later, the FPGA is reduced for the given set of application circuits. This reduced FPGA is proposed and termed here as an Application Specific Inflexible FPGA (ASIF). The main idea is to perform prototyping, testing and even initial shipment of a design on an FPGA; later it can be migrated to an ASIF for high volume production. ASIF generation techniques can also be employed to generate a single configurable ASIC core that can perform multiple tasks at different times. An ASIF for 20 MCNC benchmark circuits is found to be 82% smaller than a traditional mesh-based unidirectional FPGA required to map any of these circuits. An ASIF can also be reprogrammed to execute new or modified circuits, but unlike FPGAs, at a very limited scale. A new CAD flow is presented which can map new application circuits on an ASIF. An automatic ASIF hardware generator is also presented.

=====
Composition du jury

=====
M. Michel MINOUX - LIP6 - Examineur
M. Gilles SASSATELLI - LIRMM - Rapporteur
M. Guy GOGNIAT - Lab-STICC - Rapporteur
M. Jean-Luc DANGER - ENST - Examineur
M. Marc BELLEVILLE - CEA-LETI - Examineur
M. Jean-Luc REBOURG - CEA-DAM - Examineur
M. Habib MEHREZ - LIP6 - Directeur de thèse

**"EXPLORATION AND OPTIMIZATION OF APPLICATION SPECIFIC
HETEROGENEOUS TREE-BASED FPGA ARCHITECTURES".**

Résumé

La nature programmable des Field Programmable Gate Arrays (FPGAs) a fait de ces architectures un choix populaire pour la mise en oeuvre des circuits numériques. Mais, la programmabilité des FPGAs les rend plus grands, plus lents et consommant plus d'énergie que les ASICs. Par conséquent, les FPGAs ne sont pas adéquats pour les applications nécessitant une haute densité, de hautes performances et une faible consommation d'énergie. Le thème principal de ce travail consiste à améliorer la surface des FPGAs. Dans cet objectif, une exploration détaillée et une optimisation de deux architectures FPGA sont présentées. L'une est une architecture FPGA matricielle et l'autre est une architecture FPGA arborescente. Ensuite, une comparaison détaillée des deux architectures est présentée.

L'exploration et l'optimisation des deux architectures commence par l'introduction des blocs hétérogènes dans les deux architectures. Nous présentons d'abord un nouvel environnement pour l'exploration des architectures FPGA arborescente hétérogènes. Cet environnement est flexible et permet d'explorer les différentes techniques d'architecture, en variant le nombre et le type des blocs hétérogènes. En outre, dans ce travail, nous présentons un environnement de l'exploration des architectures FPGA matricielles hétérogènes. Les deux environnements sont utilisés pour explorer un certain nombre des techniques pour les deux architectures. Ces techniques sont ensuite évaluées en utilisant différentes applications qui sont placées et routées sur les deux architectures en utilisant un flot d'outils qui sont développés spécifiquement pour les deux architectures. Une comparaison détaillée entre les différentes techniques des deux architectures est effectuée et les résultats montrent qu'en moyenne, l'architecture arborescente donne de meilleurs résultats que l'architecture matricielle.

Les architectures FPGA matricielle et arborescente sont encore améliorées en architectures FPGA à application spécifiques. Un FPGA à applications spécifique (ASIF) est un FPGA avec une flexibilité réduite et une densité améliorée. Ce travail présente d'abord une nouvelle architecture ASIF arborescente homogène, qui en comparaison avec son architecture FPGA arborescente, donne un gain de 64% en surface. De plus la comparaison entre les ASIFs matricielle et arborescente montre que l'architecture ASIF arborescente donne un gain de 12 % en surface par rapport à l'architecture ASIF matricielle. Nous avons également étendue l'ASIF au domaine hétérogène, et les résultats expérimentaux montrent qu'en moyenne, l'architecture ASIF arborescente donne un gain en superficie de 70% par rapport à l'architecture FPGA arborescente. Ensuite une comparaison entre les ASIFs matricielle et arborescente révèle que l'architecture ASIF arborescente donne des résultats égaux ou meilleurs que l'architecture ASIF matricielle.

Mots-clés: FPGA, Applications Spécifiques, Hétérogène, architecture matricielle, architecture arborescente, Interconnexion, Optimisation, Placement, Routage.

=====
Membres de jury

=====

- M. Daniel CHILLET, IRISA, Lannion, France. (Rapporteur)
- M. Laurent FESQUET, TIMA, Grenoble, France. (Rapporteur)
- M. Francois ANCEAU, LIP6, Paris, France. (Examinateur)
- M. Jean-Luc DANGER, LTCI, Paris, France. (Examinateur)
- M. Bertrand GRANADO, ETIS, Cergy-Pontoise, France. (Examinateur)
- M. Habib MEHREZ, LIP6, Paris, France. (Directeur de Thèse)

THESE 22, ANNEE 2011

THÈSE DE DOCTORAT DE L'UNIVERSITÉ
PARIS VI
Spécialité : INFORMATIQUE ET MICRO-ÉLECTRONIQUE

Thèse d'Emna AMOURI

**"Outils de placement et de routage pour des architectures FPGA sécurisées
contre les attaques DPA".**

Résumé :

De nos jours, la grande majorité des traitements de données est devenue numérique, faisant croître le besoin de la sécurité et par la suite de l'emploi de la cryptographie. Les algorithmes cryptographiques ont été traditionnellement étudiés pour résister aux attaques mathématiques. Cependant, lorsque ces algorithmes sont mis en oeuvre sur des systèmes intégrés, ces derniers deviennent de potentielles cibles d'attaques. L'une des plus redoutables attaques réalise une analyse différentielle de la consommation de courant du circuit pour retrouver des paramètres secrets.

Face à cette menace, les logiques différentielles à précharge telles que la technique WDDL sont des contre mesures très prometteuses. Elles permettent de rendre l'activité du circuit indépendante des données. Néanmoins, pour que cette approche soit e-cace, il faut que le routage des signaux différentiels du circuit soit équilibré.

Cette thèse s'intéresse au problème d'équilibre des signaux duaux d'un circuit implémenté en logique WDDL sur des architectures FPGA. Dans un premier temps, nous nous intéressons à une architecture FPGA hiérarchique basée sur une structure en arbre quaternaire, appelée MFPGA. Nous proposons des méthodes de partitionnement et de placement des cellules logiques, qui tendent à rendre leurs connexions symétriques, et réduisent donc leurs déséquilibres. Ensuite, nous proposons un algorithme de routage Timing-Balance-Driven, dont le but est d'équilibrer le routage des signaux duaux en termes de temps de propagation. En se basant sur le modèle de délai d'Elmore, les résultats montrent que nos outils de placement et de routage guidés permettent d'améliorer l'équilibre en délai de 93%.

Dans un deuxième temps, nous montrons comment adapter les précédentes techniques dans le cas d'architectures matricielles. Dans le cas d'une architecture matricielle simple, nous obtenons une amélioration du déséquilibre en délai de 90%. Ensuite, nous proposons une approche de routage différentiel pour une architecture matricielle à base de clusters. Ce routage permet d'obtenir de meilleurs résultats, mais il présente l'inconvénient de dépendre des caractéristiques de l'architecture FPGA.

Dans un troisième temps, nous proposons un nouvel algorithme de routage Timing-Balance-Driven indépendant de l'architecture, et nous montrons son efficacité dans l'architecture MFPGA ainsi que dans l'architecture matricielle. Nous remarquons que le déséquilibre restant dans l'architecture MFPGA est dû au déséquilibre entre les longueurs des segments de routage. Par la suite, nous ciblons une nouvelle architecture hiérarchique, appelée Mesh of Tree, qui permet de réduire ce déséquilibre lié à l'architecture. Nous montrons que l'architecture Mesh of Tree peut donner un meilleur équilibre des signaux duaux que l'architecture MFPGA, en ajoutant une contrainte à l'algorithme de routage liée aux caractéristiques de la nouvelle architecture.

Mots-clés : FPGA (Field Programmable Gate Array), Attaques par analyse différentielle de consommation de courant, Double rail, Partitionnement, Placement, Routage.

=====

Membres de jury

=====

M. Gilles SASSATELLI LIRMM Rapporteur
M. Guy GOGNIAT Lab-STICC Rapporteur
M. Jean-Claude BAJARD Paris VI Examineur
M. Laurent FESQUET TIMA Examineur
M. Yves MATHIEU ENST Examineur
M. Habib MEHREZ Paris VI Directeur de thèse

THESE 23, ANNEE 2013

THÈSE DE DOCTORAT DE L'UNIVERSITÉ
PARIS VI
Spécialité : INFORMATIQUE ET MICRO-ÉLECTRONIQUE

Thèse d'Alp KILIC

**"Méthodologie d'optimisation d'architectures pour les applications
mutuellement exclusives"**

Date & lieu : 18 Novembre 2013 à l'UPMC

=====
Résumé :

=====

De nos jours, les appareils électroniques contiennent de plus en plus de fonctionnalités grâce à l'émergence des applications embarqués dans les domaines de la télécommunication, de la domotique, du multimédia etc. Ces applications exigent des architectures performantes qui doivent satisfaire des contraintes de surface et de faible consommation. Le point intéressant des plates-formes multifonctionnel, c'est que beaucoup de fonctionnalités ne peuvent être exécutés en même temps. Cela permet de faire partager des ressources matérielles communes entre différentes applications. Les concepteurs peuvent implémenter les applications mutuellement exclusives en utilisant différents architectures comme les CPUs, FPGAs ou bien ASICs. Cependant, multiplication de ces applications dans les circuits numériques et le coût élevé de silicium poussent les chercheurs à trouver des meilleurs solutions. Ce travail propose une nouvelle méthodologie d'optimisation d'architectures pour les applications mutuellement exclusives qui contiennent des ressources en commun. Un ensemble d'applications données a été synthétisé et combiné dans un seul ASIC multimode appelé mASIC. Cette méthodologie permet de créer des circuits multimodes sans changer la description comportementale des applications d'entrées. La méthodologie d'optimisation mASIC est également utilisée pour générer un récepteur RF multi standards. Dans le cadre du projet ANR appelé ASTECAS, nous avons développé les standards ZigBee, Bluetooth et Wi-Fi séparément. Connaissant le fait que ces standards contiennent des ressources communes, nous avons utilisé la méthodologie proposée pour partager entre ces 3 standards.

=====

Jury :

=====

Guy GOGNIAT : Professeur, Université Bretagne-Sud (Rapporteur)
Gilles SASSATELLI : Maître de conférence (HDR), Université Montpellier 2 (Rapporteur)
Bertrand GRANADO : Professeur, Université Pierre et Marie Curie (Examineur)
Hassan ABOUSHADY : Maître de conférence (HDR), Pierre et Marie Curie (Examineur)
Zied MARRAKCHI : Ingénieur, Flexras Technologies (Examineur)
Habib MEHREZ : Professeur, Université Pierre et Marie Curie (Directeur de thèse)

THESE 24, ANNEE 2014

THÈSE DE DOCTORAT DE L'UNIVERSITÉ
PARIS VI
Spécialité : INFORMATIQUE ET MICRO-ÉLECTRONIQUE

**Présentée par
M. Boukary OUATTARA**

Sujet de la thèse :

Prévision des effets de vieillissement par électromigration dans les circuits intégrés CMOS en noeuds technologiques submicroniques.

soutenue le 08/07/2014

devant le jury composé de :

M. WOUTERS Yves Professeur (Laboratoire SIMaP - Grenoble) Rapporteur
M. ROUZEYRE Bruno Professeur (LIRMM - Montpellier) Rapporteur
M. KOKABI Hamid Professeur (L2E – Paris 6) Président du jury
M. VIVET Pascal Docteur-ingénieur (CEA- Grenoble) Examineur
M. MEHREZ Habib Professeur (LIP6 – Paris 6) Directeur de thèse
M. BAZARGAN-SABET Pirouz Maître de Conférence (LIP6 – Paris 6) Co-encadrant de thèse
Mlle. DOYEN Lise Docteur-ingénieur (STMicroelectronics) Encadrante de thèse

Résumé

L'électromigration (EMG) est l'une des conséquences de la course à la miniaturisation des composants électroniques en général et la réduction des dimensions des interconnexions en particulier. Il est identifié comme l'un des phénomènes critiques de fiabilité pour les circuits intégrés en technologies submicroniques. Les méthodes de vérification de ce phénomène utilisées durant la conception de circuits sont pour la plupart basées sur des règles de densité de courants et de température. Ces règles deviennent de plus en plus difficiles à mettre en place, compte tenu de l'augmentation des densités de courant dans les réseaux d'interconnexions. Les travaux de cette thèse s'inscrivent dans la dynamique de recherches de moyens d'amélioration de la détection des risques d'électromigration durant la phase de conception. Le but est d'établir une relation entre violations des règles électriques et la physique de dégradation des interconnexions. Les résultats obtenus au cours des tests de vieillissement nous ont permis de repousser les limites de courant sans altérer les durées de vie des circuits. Enfin, ce projet été l'occasion de définir des règles conception basé sur l'optimisation des cellules d'horloges dans la grille d'alimentation des circuits intégrés. L'application des solutions proposées au cours de ces travaux ont permis de réaliser des circuits robustes aux effets EMG

THESE 25, ANNEE 2014

THÈSE DE DOCTORAT DE L'UNIVERSITÉ
PARIS VI
Spécialité : INFORMATIQUE ET MICRO-ÉLECTRONIQUE

**Présentée par
Jung Kyu CHAE**

Plateforme de spécification pour le développement de bibliothèques de cellules et d'IPs

soutenue publiquement le 9 Juillet 2014

Le jury est composé de :

M. Philippe COUSSY Maître de conférence Rapporteur

M. Naohiko SHIMIZU Professeur Rapporteur

Mme. Emmanuelle ENCRENAZ Maître de conférence Examineur

M. Jean-Arnaud FRANCOIS Manager de l'équipe HW/SW Examineur

M. Habib MEHREZ Professeur Directeur de thèse

Mme. Roselyne CHOTIN-AVOT Maître de conférence Co-directrice de thèse

Résumé

Une plateforme de conception est une solution totale qui permet à une équipe de conception de développer un système sur puce. Une telle plateforme se compose d'un ensemble de bibliothèques et de circuits réutilisables (IPs), d'outils de CAO et de kits de conception en conformité avec les flots de conception et les méthodologies supportés. Les spécifications de ce type de plateforme offrent un large éventail d'informations, depuis des paramètres de technologie, jusqu'aux informations sur les outils de CAO pour le développement des bibliothèques/IPs. En outre, les développeurs de bibliothèque/IP ont des difficultés à obtenir les données nécessaires à partir des spécifications existantes en raison du fait qu'elles ne soient pas formellement spécifiées et de leur complexité.

Dans cette thèse, nous proposons des méthodologies, des flots et des outils pour formaliser les spécifications d'une plateforme de conception pour leurs unification et les traiter. Cette description proposée vise à être utilisée comme une référence pour générer et valider les bibliothèques (cellules standard, entrée/sortie et mémoire) ainsi que les IPs complexes (PLL, Serdes, etc.).

Premièrement, nous construisons un modèle de données pour représenter toutes les informations nécessaires pour le développement de bibliothèques et proposons un langage de spécification pour le développement de bibliothèques basé sur XML (LDSpecX). De plus, nous présentons une méthode basée sur des références pour créer une spécification fiable en LDSpecX et des mots-clés basés sur des tâches pour en extraire les données. A l'aide des solutions proposées, nous développons une plateforme de spécification qui fournit une interface utilisateur graphique (GUI) et une interface de programmation (API). Cette plateforme permet non seulement la création de la spécification, mais aussi l'extraction rapide des données en fonction de la tâche.

Nous développons une bibliothèque de cellules standard depuis la création de la spécification jusqu'à la validation de la bibliothèque en utilisant cette plateforme de spécification. Nous montrons ainsi que notre approche permet de créer une spécification complète et cohérente avec une réduction considérable du temps. Cette proposition comble également l'écart entre les spécifications et le système automatique existant pour le développement rapide de bibliothèques/IPs.

Mots-clés : Plateforme de conception, Méthodologie de conception, Spécification unifiée, Développement des bibliothèques/IPs, Création de la spécification, Extraction des données

Thèse de doctorat en co-tutelle
Université Pierre et Marie Curie - Université de Sfax
Spécialité : INFORMATIQUE ET MICRO-ÉLECTRONIQUE

Présentée par : **Mariem TURKI**

Sujet : Techniques de multiplexage pour un système
d'émulation et de prototypage rapide à base de
FPGA

Soutenue le 17 Septembre 2014, devant le jury composé de :

Pr. Rached Tourki FSM Rapporteur
Pr. Smail Niar LAMIH Rapporteur
Pr. Bertrand Granado LIP6 Examineur
Pr. Mohamed Masmoudi ENIS Examineur
Pr. Habib Mehrez LIP6 Directeur de thèse
Pr. Mohamed Abid ENIS Directeur de thèse
M. Zied Marrakchi Flexras Invité

Résumé

De nos jours, la complexité de la conception des circuits intégrés et du logiciel croît régulièrement, faisant croître le besoin de la vérification dans chaque étape du cycle de conception. Le prototypage matériel sur une plateforme multi-FPGA présente le meilleur compromis entre le temps de conception d'un circuit et le temps d'exécution d'une application par ce circuit. Pour l'implémenter sur cette plateforme, une opération de partitionnement est effectuée afin de créer des partitions capables de s'intégrer dans chaque FPGA.

Par conséquent, des signaux coupés à l'interface des partitions doivent passer d'un FPGA à un autre. Cependant, le nombre de traces physiques inter-FPGA est limité ce qui crée des problèmes de routabilité du circuit prototypé.

Cette thèse touche surtout la partie post-partitionnement et s'intéresse au problème de routage inter-FPGA. Ainsi, les principaux travaux de cette thèse sont les suivants :

-Dans un premier temps, nous nous intéressons au développement d'un générateur de benchmarks qui permet, à l'aide d'une description architecturale simple du benchmark, de générer un circuit modélisé avec le langage de description matérielle VHDL. Le générateur utilise un ensemble de composants ce qui donne aux benchmarks un aspect réel semblable à celui des circuits industriels. Ces circuits de tests nous serviront pour évaluer les performances des techniques développées dans cette thèse.

-Dans un deuxième temps, nous proposons de développer un outil spécifique qui intervient après le partitionnement pour prendre en compte la contrainte liée à la limitation du nombre de fils d'interconnexion entre les FPGAs. Cet outil est basé sur une approche itérative visant à réduire le taux de multiplexage (nombre de signaux qui partagent un seul fil physique). Le routage en lui-même est assuré par l'algorithme de routage Pathfinder qui est largement utilisé par les chercheurs académiques et industriels. Cet algorithme servira comme point de départ pour les techniques de routage développées durant cette thèse. Des adaptations adéquates seront faites pour cibler un réseau de routage inter-FPGA.

Dans une deuxième partie, nous essayons de déterminer la meilleure forme du signal à router ainsi que le graphe de routage utilisé. Pour cela, nous proposons des scénarios de test afin de sélectionner les critères qui donnent la fréquence de fonctionnement la plus performante.

Par la suite, nous présentons une description détaillée des IPs de multiplexage utilisés. Ces IPs sont insérés dans les parties émettrices et réceptrices d'un canal de communication. Ces IPs incluent des composants spécifiques appelés SERDES pour assurer la sérialisation/désérialisation des données à transmettre. L'insertion de ces composants peut créer des problèmes de routabilité intra-FPGA. Ainsi, dans une deuxième partie, nous proposons un algorithme de placement basé sur l'estimation de la congestion afin d'améliorer la routabilité du circuit.

Mots-clés : FPGA (Field Programmable Gate Array), Prototypage, Routage, Pathfinder, Itératif, Multiplexage, Graphe de routage, Benchmarks.

THESE 27, ANNEE 2014

THÈSE DE DOCTORAT DE L'UNIVERSITÉ
PARIS VI
Spécialité : INFORMATIQUE ET MICRO-ÉLECTRONIQUE

Présentée par
Karim ABDELLATIF

Sujet: "Authenticated Encryption on FPGAs from the Reconfigurable Part to the Static Part".

soutenue le mardi 07 Octobre 2014

Le jury est composé de :

- Bruno Robisson, CEA/ENSM.SE, (rapporteur)
- Lilian Bossuet, Laboratoire Hubert Curien, CNRS, (rapporteur)
- Jean-Claude Bajard, LIP6, (examineur)
- Hayder Mrabet, FLEXRAS, (examineur)
- Olivier Lepape, NanoXplore, (examineur)
- Habib Mehrez, LIP6, (directeur de thèse)
- Roselyne.Chotin-Avot, LIP6, (encadrante de thèse)

=====
Summary:
=====

Communication systems need to access, store, manipulate, or communicate sensitive information. Therefore, cryptographic primitives such as hash functions and block ciphers are deployed to provide encryption and authentication. Recently, techniques have been invented to combine encryption and authentication into a single algorithm which is called Authenticated Encryption (AE). Combining these two security services in hardware produces better performance compared to two separated algorithms since authentication and encryption can share a part of the computation. Because of combining the programmability with the performance of custom hardware, FPGAs become more common as an implementation target for such algorithms. The first part of this thesis is devoted to efficient and high-speed FPGA-based architectures of AE algorithms, AES-GCM and AEGIS-128, in order to be used in the reconfigurable part of FPGAs to support security services of communication systems. Our focus on the state of the art leads to the introduction of high-speed architectures for slow changing keys applications like Virtual Private Networks (VPNs). Furthermore, we present an efficient method for implementing the $GF(2^{128})$ multiplier, which is responsible for the authentication task in AES-GCM, to support high-speed applications. Additionally, an efficient AEGIS-128 is also implemented using only five AES rounds. Our hardware implementations were evaluated using Virtex-5 and Virtex-4 FPGAs. The performance of the presented architectures (Thr./Slices) outperforms the previously reported ones. The second part of the thesis presents techniques for low cost solutions in order to secure the reconfiguration of FPGAs. We present different ranges of low cost implementations of AES-GCM, AES-CCM, and AEGIS-128, which are used in the static part of the FPGA in order to decrypt and authenticate the FPGA bitstream. Presented ASIC architectures were evaluated using 90 and 65 nm technologies and they present better performance compared to the previous work.

Keywords-- Authenticated encryption, FPGAs, secure reconfiguration.

**Présentée par
Vinod PANGRACIOUS**

**Sujet de la thèse :
“High Performance Three Dimensional Tree-based FPGA
Architecture using 3D Technology Process“**

soutenue le 24 Novembre 2014
devant le jury composée de :

M. Habib MEHREZ Directeur de thèse
M. Zied MARRAKCHI Codirecteur de thèse
M. Gilles SASSATELLI Rapporteur
M. Guy GOGNIAT Rapporteur
M. Marc BELLEVILLE Examineur
M. Alain GREINER Examineur

Abstract

Today, FPGAs (Field Programmable Gate Arrays) has become important actors in the computational devices domain that was originally dominated by microprocessors and ASICs. FPGA design big challenge is to find a good trade-off between exibility and performances. Three factors combine to determine the characteristics of an FPGA: quality of its architecture, quality of the CAD tools used to map circuits into the FPGA, and its electrical technology design. This dissertation aims at exploring a development of Three-dimensional (3D) physical design methodology and exploration tools for 3D Tree-based stacked FPGA architecture to improve area, density, power and performances.

The first part of the dissertation is to study the existing variants of 2D Tree-based FPGA architecture and the impact of 3D migration on its topology. We have seen numerous studies showing the characteristics of Tree-based interconnect networks, how they scale in terms of area and performance, and empirically how they relate to particular designs. Nevertheless we never had any breakthrough in optimizing these network topologies to exploit the advantages in area and power consumption and how to deal with the larger wire-length issues that impede performance of Tree-based FPGA architecture. Through the course of the work, we understand that, we would not be able to optimize the speed, unless we break the very backbone of the Tree-based interconnect network and resurrect again by using 3D technology. The 3D-ICs can alleviate interconnect delay issues by offering flexibility in system design, placement and routing. A new set of 3D FPGA architecture exploration tools and technologies developed to validate the advance in performance and area.

The second contribution of this thesis is the development 3D physical design methodology and tools using existing 2D CAD tools for the implementation of 3D Tree-based FPGA demonstrator. During the course of design process, we addressed many specific issues that 3D designers will encounter dealing with tools that are not specifically designed to meet their needs. In contrast, the thermal performance is expected to worsen with the use of 3D integration. We examined precisely how thermal behavior scales in 3D integration and determine how the temperature can be controlled using thermal design techniques.

Keywords Tree-based FPGA, 3D Integration, TSV, Partitioning, Placement, Routing, Thermal Model, VLSI.

THESE 29, ANNEE 2014

THÈSE DE DOCTORAT DE L'UNIVERSITÉ
PARIS VI
Spécialité : INFORMATIQUE ET MICRO-ÉLECTRONIQUE

Présentée par
Qingshan TANG

**Titre: METHODOLOGY OF MULTI-FPGA BASED PROTOTYPING
PLATFORM GENERATION**

Soutenue le 10 Décembre 2014

Jury:

M. Laurent FESQUET MCF HDR Lab TIMA Rapporteur
M. Adel BAGANNE MCF HDR Lab-STICC Rapporteur
M. Omar HAMMAMI MCF HDR ENSTA ParisTech Examineur
M. Gérard SOU MCF HDR UPMC Examineur
Mme. Helena KRUPNOVA PhD Synopsys Examineur
M. Habib MEHREZ Professeur UPMC Directeur de thèse
M. Matthieu TUNA PhD Flexras Technologies Co-Directeur de thèse

Résumé :

Face à la difficulté grandissante de l'intégration matériel/logiciel, le prototypage à base de cartes multi-FPGA devient obligatoire dans l'arsenal des techniques de vérification pré-silicium. Les plateformes de prototypage multi-FPGA peuvent être classées en trois catégories: sur étagère, sur mesure et câblées. La plateforme sur étagère se compose d'une carte multi-FPGA prêt à l'emploi et générique. Toutes les connexions inter-FPGA sont fixées et réalisées à l'aide de pistes sur le PCB. La plateforme sur mesure se compose d'une carte multi-FPGA conçue spécifiquement pour un design donné. Les connexions inter-FPGA sont également réalisées à l'aide de pistes PCB.

Les plateformes câblées, qui se composent de plusieurs cartes mono-FPGA prêt à l'emploi, sont connectées grâce à des câbles peuvent être connectées/déconnectées à volonté. Elles peuvent être considérées comme "semi-sur étagère" par le fait qu'elles sont constituées de plusieurs cartes prêt à l'emploi, et "semi-sur mesure" par le fait que les connexions entre FPGAs sont définies par l'utilisateur et adaptées au design testé.

Nous avons dégagé dans ce manuscrit trois problèmes majeurs en matière de prototypage à base de cartes multi-FPGA: (1). L'évolution des FPGA tend à faire des entrées/sorties (E/S) une ressource rare, aggravant le problème de bande passante inter-FPGA génération après génération. En effet, les plateformes multi-FPGA souffrent des délais de communication importants inter-FPGA par rapport aux délais intra-FPGA. Par conséquent, il devient de plus en plus difficile de prototyper un design SoC/ASIC à des performances intéressantes. (2). 70% des plateformes de prototypage multi-FPGA sont des plateformes sur mesure en raison des besoins de performance et de coût. Néanmoins, la définition d'une plateforme sur mesure est aujourd'hui un processus majoritairement manuel et chronophage. Ainsi, l'exploration de cartes avec des types de FPGA différents, qui permettrait aux ingénieurs de concevoir une plateforme de prototypage optimale, ne peut pas être faite. Comme le rapport entre la capacité logique et le nombre d'E/S des FPGA est en augmentation à un rythme quasi-exponentiel, il devient de plus en plus difficile de concevoir une plateforme sur mesure performante. (3). La plateforme câblée bénéficie de la disponibilité et de la personnalisation. Les performances d'une plateforme câblée dépendent de la distribution des câbles et du placement des interfaces externes. Néanmoins, il n'existe pas d'outil permettant d'obtenir automatiquement une solution pour la distribution des câbles. Une distribution de câbles permettant d'obtenir des fréquences de fonctionnement élevées devient de plus en plus difficile à atteindre en raison de la limitation des E/S. Par rapport aux plateformes sur étagère, la valeur ajoutée, en terme de performance, des plateformes câblées et sur mesure peuvent être fortement dégradée par une définition des interconnexions entre FPGA inefficace. Les contributions de ce manuscrit sont: (1). Un nouvel algorithme de routage exploitant les pistes multi-points connectant

plus de deux FPGA, permettant ainsi d'augmenter les performances.(2). Un flot de conception automatique permettant de créer une plateforme sur mesure, augmentant ainsi la productivité et permettant l'exploration de cartes. (3). Une architecture de plateforme câblée est proposée ainsi qu'un algorithme permettant automatiquement de trouver une solution pour la distribution des câbles. (4). Finalement une comparaison entre ces différentes plateformes est réalisée d'un point de vue quantitatif et qualitatif.

Mots-clés : Circuit Intégré, Vérification, Multi-FPGA, Prototypage, Sur Mesure, Câblée

THESE 30, ANNEE 2015

THÈSE DE DOCTORAT DE L'UNIVERSITÉ
PARIS VI
Spécialité : INFORMATIQUE ET MICRO-ÉLECTRONIQUE

Présentée par

Adrien BLANCHARDON

le 10/07/2015

Titre:

Synthèse d'architectures de circuits FPGA tolérants aux Défauts

Jury :

Mme ANGHEL Lorena (Professeur TIMA), Rapporteur
M. GIRARD Patrick (Professeur LIRMM), Rapporteur
M. CHILLET Daniel (Professeur IRISA), Examineur
Mme ENCRENAZ Emmanuelle (MCF HDR LIP6), Examineur
M. MEHREZ Habib (Professeur LIP6), Directeur de thèse
Mme CHOTIN-AVOT Roselyne (MCF LIP6), Co-Directrice de thèse
M. MARRAKCHI Zied (Manager Ingénieurs, MENTOR GRAPHICS), Invité

Résumé:

L'essor considérable de la technologie CMOS a permis l'accroissement de la densité d'intégration selon la loi de Moore. Cependant, la poursuite de cette évolution est en voie de ralentissement dû aux contraintes physiques et économiques. Le défi devient alors de pouvoir utiliser un maximum de circuits tout en tolérant des défauts physiques présents en leur sein. Les circuits reconfigurables de type FPGA (Field Programmable Gate Array) connaissent un succès croissant car leurs performances et leurs capacités d'intégrer des applications très complexes ont directement bénéficié de l'évolution technologique. Le but de cette thèse est de proposer une architecture de FPGA contenant des mécanismes permettant de tolérer plus de 20% d'éléments défectueux après fabrication. La première partie du manuscrit étudie les différentes architectures de FPGA (matricielles et arborescentes) ainsi que les différentes techniques de contournement des défauts. Dans la seconde partie de cette thèse, nous présentons l'architecture cible matricielle (matrice de grappes ou groupes). Cette architecture combine les avantages des architectures matricielles (sa généricité) et arborescentes (réduction du taux d'utilisation de l'interconnexion). La troisième partie de cette thèse présente le développement d'une méthode d'identification des blocs les plus critiques contenus dans le FPGA ainsi que l'impact des différentes techniques de contournement retenues et proposées sur l'architecture et sur la criticité des blocs de base du FPGA. Pour finir, nous définissons les performances des différentes techniques de contournements en termes de tolérance aux défauts, de performances temporelles et de surface.