

Examen CCIAC, Mai 2007

Conception de Circuits Intégrés Analogique CMOS

Master ACSI, 1^{ère} Année

Cours : Hassan Aboushady

- Durée 2 heures
- Document autorisé : 1 feuille A4
- Pour vos calculs, utiliser les paramètres de la technologie CMOS données dans le Tableau 2.1.
- A température ambiante : $4kT = 1.66 \times 10^{-20}$ V-C
- $\epsilon_{ox} = 34.5 \times 10^{-12}$ F/m

EXERCICE I: (13 points)

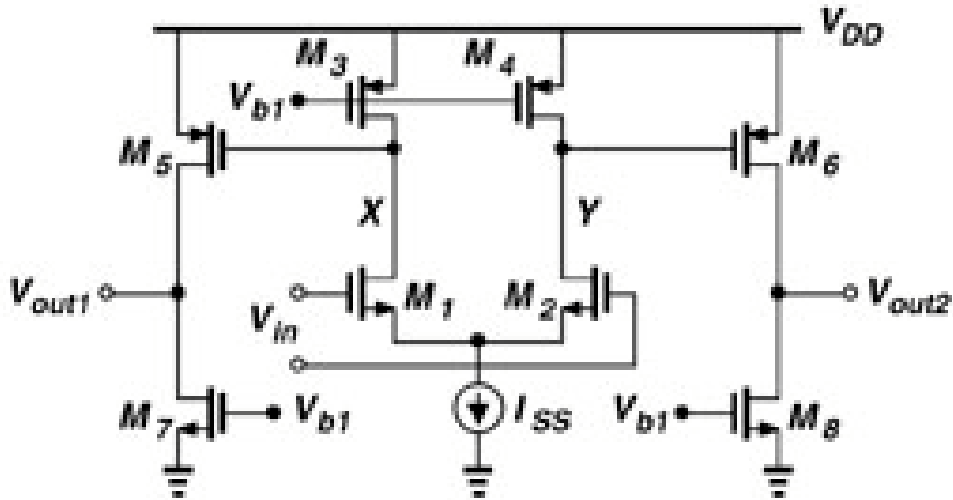


Figure I.1

Dans le schéma de la Figure I.1, le circuit est parfaitement symétrique (c.à.d. $M_1=M_2$, $M_3=M_4$, $M_5=M_6$, $M_7=M_8$, ...). On supposera que tous les transistors fonctionnent dans le régime saturé et qu'ils ont tous la même tension effective de grille, $V_{EG} = V_{GS} - V_{TH}$ et la même longueur $L = 2\mu m$. L'alimentation du circuit est égale à $V_{DD} = 3.0V$. Les nœuds de sortie sont polarisés à $V_{DD}/2$ et sont chargés par des capacités $C_{out1} = C_{out2} = 0.5pF$.

Le courant I_{SS} est égal à $20\mu A$ et le courant dans les étages de sortie est égal à $5 I_{SS}$

(1) Sachant que les gains DC des 2 étages de l'amplificateur sont égaux ($A_{v1} = A_{v2}$), trouver une expression du gain DC total de l'amplificateur ($A_v = A_{v1} A_{v2}$) en fonction de V_{EG} et des paramètres LAMBDA des transistors NMOS et PMOS. **(1 point)**

(2) Trouver la valeur de V_{EG} pour $A_v = 60 dB$. **(1 point)**

(3) En supposant que la capacité du nœud Y, C_y , est essentiellement due à la capacité grille-source, C_{GS} , du transistor M_6 , calculer la valeur de C_y . **(1 point)**

(NB : considérer $L=L_{eff}$ et négliger les capacités de recouvrement C_{ov})

(4) Trouver les fréquences en rad/sec des pôles dus aux nœuds Y et V_{out} . **(1 point)**

(5) Cet amplificateur est utilisé dans une boucle de contre-réaction avec un gain unitaire (unity-gain feedback loop) :

- Calculer la fréquence de transition, ω_T .
 - Calculer la marge de phase.
 - Tracer le diagramme de Bode approximatif de ce système (amplitude et phase).
- (3 points)**

(6) On rajoute une capacité de compensation C_c entre les nœuds Y et V_{out} . Quelle est la nouvelle fréquence du second pôle, ω_{out} ? **(1 point)**

(7) Quelle doit être la valeur de la capacité de compensation C_c afin d'obtenir une marge de phase de 60° ? Tracer un diagramme de bode approximatif du système compensé (amplitude et phase). **(2 points)**

(8) Cet amplificateur est maintenant utilisé pour réaliser un intégrateur différentiel de type RC-actif.

- Tracer un schéma de l'intégrateur différentiel.
- Calculer la valeur de la résistance R pour que la fréquence de transition de l'intégrateur soit 10 fois plus petite que celle de l'amplificateur.
- Tracer le module de la fonction de transfert cet intégrateur (1 rad/sec jusqu'à 10^9 rad/sec) **(3 points)**

EXERCICE II. (7 points)

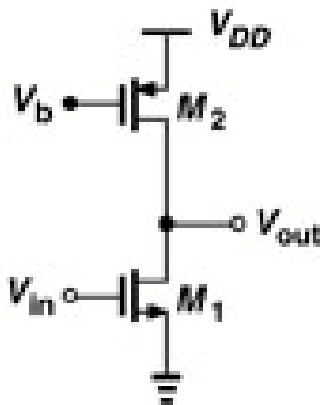


Figure II.1(a)

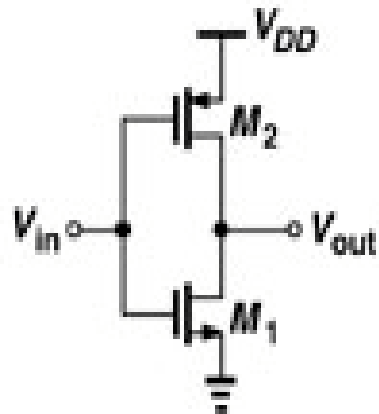


Figure II.1(b)

- (1) A partir du schéma équivalent petit signal, trouver une expression pour le gain en tension des 2 circuits de la Figure II.1. **(1 point)**
- (2) Donner une expression pour le bruit thermique équivalent en tension à l'entrée pour les 2 circuits de la figure II.1. **(2 points)**
- (3) Donner une expression pour le rapport signal sur bruit à l'entrée de ces 2 circuits pour un signal d'entrée sinusoïdal d'amplitude A . Quel est la différence entre l'effet de la transconductance du transistor M_2 dans les 2 cas. **(2 points)**
- (4) Calculer en dB, le rapport signal sur bruit à l'entrée de ces 2 circuits dans les conditions suivantes:
 - Une tension effective de grille : $V_{EG1}=V_{EG2}=0.2V$
 - Un courant de polarisation : $I_0=100\mu A$
 - Amplitude du signal d'entrée sinusoïdal : $A=0.2V$**(2 points)**

NB : Pour les les exercices II.1, II.2, II.3, donner les expressions en fonction des transconductances et des résistances de sorties de M_1 et M_2 .

Table 2.1 Level 1 SPICE Models for NMOS and PMOS Devices.

NMOS Model			
LEVEL = 1	VTO = 0.7	GAMMA = 0.45	PHI = 0.9
NSUB = 9e+14	LD = 0.08e-6	UO = 350	LAMBDA = 0.1
TOX = 9e-9	PB = 0.9	CJ = 0.56e-3	CJSW = 0.35e-11
MJ = 0.45	MJSW = 0.2	CGDO = 0.4e-9	JS = 1.0e-8
PMOS Model			
LEVEL = 1	VTO = -0.8	GAMMA = 0.4	PHI = 0.8
NSUB = 5e+14	LD = 0.09e-6	UO = 100	LAMBDA = 0.2
TOX = 9e-9	PB = 0.9	CJ = 0.94e-3	CJSW = 0.32e-11
MJ = 0.5	MJSW = 0.3	CGDO = 0.3e-9	JS = 0.5e-8

VTO: threshold voltage with zero V_{SB} (unit: V)

GAMMA: body effect coefficient (unit: $V^{1/2}$)

PHI: $2\Phi_F$ (unit: V)

TOX: gate oxide thickness (unit: m)

NSUB: substrate doping (unit: cm^{-3})

LD: source/drain side diffusion (unit: m)

UO: channel mobility (unit: $cm^2/V/s$)

LAMBDA: channel-length modulation coefficient (unit: V^{-1})

CJ: source/drain bottom-plate junction capacitance per unit area (unit: F/m^2)

CJSW: source/drain sidewall junction capacitance per unit length (unit: F/m)

PB: source/drain junction built-in potential (unit: V)

MJ: exponent in CJ equation (unitless)

MJSW: exponent in CJSW equation (unitless)

CGDO: gate-drain overlap capacitance per unit width (unit: F/m)

CGSO: gate-source overlap capacitance per unit width (unit: F/m)

JS: source/drain leakage current per unit area (unit: A/m^2)