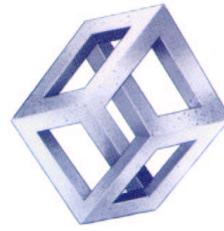




Ecole Nationale Supérieure
des Télécommunications
Département Electronique



Université Paris VI
Laboratoire MASI

DEA : Architecture des Systèmes Intégrés et Micro-Electronique

HASSAN ABOUSHADY

SIMULATION ET CONCEPTION AUTOMATIQUE DE MODULATEURS $\Sigma\Delta$ À COURANTS COMMUTÉS

Encadrants:
PATRICK LOUMEAU
OMID OLIAEI

SEPTEMBRE 1996

Remerciements

Je remercie tout d'abord Mr Patrick Loumeau, le responsable de ce stage qui a eu lieu au sein du département Electronique de l'ENST. Ce stage a été pour moi une occasion exceptionnelle pour découvrir et apprendre énormément de choses nouvelles et très intéressantes.

Je remercie Mme Marie-Minerve Louërat et Professeur Alain Greiner du Laboratoire MASI qui m'ont offert l'opportunité d'effectuer ce stage dans le cadre du DEA ASIME.

Je suis bien évidemment très reconnaissant à Omid Oliaei. J'ai vraiment beaucoup appris en travaillant avec lui.

Je tiens également à remercier Mr Jacky Porte et Mr Hervé Petit avec qui j'ai eu des discussions très intéressantes sur le sujet.

Je voudrais remercier tous les stagiaires du groupe analogique, Luis, Oliver, Tony et Walid pour leur amitié qui durera, je l'espère, plus longtemps que le stage.

Finalement, je tiens à remercier mes parents qui m'ont soutenu et encouragé tout le long de mes études.

Table des matières

| | | |
|----------|--|-----------|
| 1 | Introduction | 5 |
| 2 | La Conversion $\Sigma\Delta$ | 7 |
| 2.1 | Introduction | 7 |
| 2.2 | Le Suréchantillonnage | 7 |
| 2.3 | La Quantification | 9 |
| 2.4 | La Mise en Forme du Bruit | 11 |
| 2.4.1 | $\Sigma\Delta$ 1er Ordre | 11 |
| 2.4.2 | $\Sigma\Delta$ 2ème Ordre | 12 |
| 2.5 | Le Choix de l'Architecture | 14 |
| 2.6 | Conclusion | 17 |
| 3 | Les Courants Commutés | 19 |
| 3.1 | Introduction | 19 |
| 3.2 | La Cellule Mémoire Classe A | 19 |
| 3.3 | La Cellule Mémoire Classe AB | 20 |
| 3.3.1 | Classe AB Classique | 20 |
| 3.3.2 | Classe AB à Source de Tension Flottante | 22 |
| 3.4 | L'Intégrateur | 25 |
| 3.4.1 | Classe A | 25 |
| 3.4.2 | Classe AB | 26 |
| 3.5 | Conclusion | 27 |
| 4 | Les Non-Idéalités | 29 |
| 4.1 | Introduction | 29 |
| 4.2 | Le Temps d'Acquisition | 29 |
| 4.2.1 | Mesure de l'Erreur due au Temps d'Acquisition | 30 |
| 4.3 | L'Injection de Charge | 32 |
| 4.3.1 | Mesure de l'Erreur due à l'Injection de Charge | 34 |
| 4.4 | La Conductance de Sortie | 36 |
| 4.4.1 | Mesure de l'Erreur due à la Conductance de Sortie | 37 |
| 4.5 | Conclusion | 38 |
| 5 | La Simulation des Modulateurs $\Sigma\Delta$ | 39 |
| 5.1 | Introduction | 39 |
| 5.2 | L'Approche de Simulation | 40 |
| 5.3 | Modélisation de l'Intégrateur | 40 |

| | | |
|----------|--|-----------|
| 5.4 | Validation du Modèle | 41 |
| 5.5 | La Densité Spectrale de Puissance | 42 |
| 5.6 | Le Rapport Signal sur Bruit | 44 |
| 5.7 | Le Rapport de Suréchantillonnage | 45 |
| 5.8 | Conclusion | 45 |
| 6 | La Conception Automatique | 47 |
| 6.1 | Introduction | 47 |
| 6.2 | Condition pour une Excursion Maximum | 47 |
| 6.3 | Le Temps Caractéristique de la Cellule | 48 |
| 6.4 | Procédure de Conception | 49 |
| 6.5 | Automatisation de la Conception | 49 |
| 6.6 | Conclusion | 50 |
| 7 | Conclusion | 51 |
| A | Le Convoyeur de Courant | 53 |
| B | SSICC | 55 |
| B.1 | Programme Principal | 55 |
| B.2 | Densité Spectrale de Puissance | 56 |
| B.3 | Rapport Signal sur Bruit | 57 |
| C | GEMFLO | 59 |
| C.1 | Programme Principal | 59 |
| C.2 | Les Entrées | 62 |
| C.3 | Paramètres de la Technologie | 62 |
| D | GÉNÉRATION DES TABLEAUX | 65 |
| D.1 | Temps d'Acquisition | 65 |
| D.1.1 | Makefile | 65 |
| D.1.2 | AWK | 66 |
| D.2 | Injection de Charge et Conductance de sortie | 67 |
| D.2.1 | Makefile | 67 |
| D.2.2 | AWK | 68 |

Chapitre 1

Introduction

Les modulateurs Sigma-Delta suréchantillonnés sont devenus très répandus dans le domaine de la conversion Analogique-Numérique. Les caractéristiques de la mise en forme du bruit permet d'obtenir des convertisseurs A/N à haute résolution [1]. D'une part, dans cette méthode la pente de coupure du filtre analogique anti-repliement est douce, ce qui relâche les contraintes sur la précision des composants. D'autre part, un post-traitement numérique est nécessaire pour obtenir une sortie sur N bits. Ces deux caractéristiques rendent les convertisseurs $\Sigma\Delta$ très adaptés aux circuits VLSI dédiés à la réalisation de circuits numériques rapides où la précision sur les composants n'est pas critique. Les principes de la conversion $\Sigma\Delta$ seront présentés dans le chapitre 2.

La technique des capacités commutées a été utilisée pour la conception de l'interface analogique des circuits mixtes analogique-numérique [2]. Malgré les convertisseurs $\Sigma\Delta$ à hautes performances obtenus à partir de la technique des capacités commutées, cette technique possède deux inconvénients importants :

- Dans les capacités commutées, on a besoin de capacités linéaires de haute qualité réalisées en utilisant deux couches de poly-silicium. Cette deuxième couche de poly-silicium est inutile pour la partie numérique et elle n'existe pas dans les circuits numériques standards.
- L'évolution de la technologie se dirige vers la réduction de la tension d'alimentation. La technique des capacités commutées, étant une technique de traitement de signal en mode tension, cette réduction diminue l'excursion maximum du signal et par suite détériore la performance des circuits.

La technique des courants commutés est une technique relativement nouvelle qui permet la réalisation des circuits mixtes en technologie numérique standard [3]. En outre, c'est une technique de traitement de signal en mode courant, donc la réduction de la tension d'alimentation n'a pas le même effet que dans le cas des capacités commutés.

Des modulateurs $\Sigma\Delta$ ont déjà été réalisés avec la technique des courants commutés [4] [5]. Les résultats obtenus sont très intéressants. Le principe des circuits à courants commutés sera présenté dans le chapitre 3. Dans le chapitre 4, les non-idéalités de ce type de circuits sont étudiées.

Dans le chapitre 5, le problème de la simulation des modulateurs $\Sigma\Delta$ est expliqué. Une approche de simulation basée sur des tableaux sera proposée pour résoudre ce problème.

Une procédure de conception pour les circuits à courants commutés sera présentée dans le chapitre 6. Cette procédure, étant systématique, peut être utilisée pour automatiser la conception des modulateurs $\Sigma\Delta$ à courants commutés.

Chapitre 2

La Conversion $\Sigma\Delta$

2.1 Introduction

Dans ce chapitre les principes de la conversion $\Sigma\Delta$ sont présentés. Ces principes sont le suréchantillonnage et la mise en forme du bruit. Ensuite une architecture de modulateur $\Sigma\Delta$ adapté à la technique des courants commutés est étudiée.

2.2 Le Suréchantillonnage

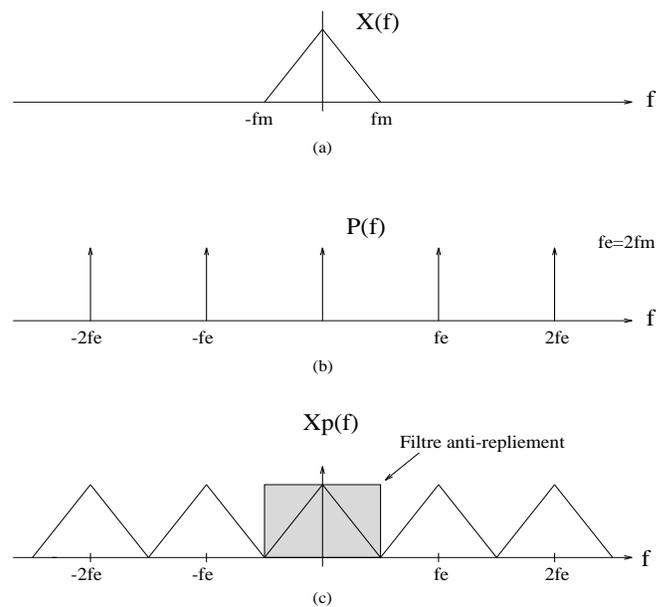


FIG. 2.1: Echantillonnage à la fréquence de Nyquist ($f_e = 2f_m$) : (a) spectre du signal d'entrée $X(f)$, (b) spectre de la fonction d'échantillonnage $P(f)$, (c) spectre du signal échantillonné $X_p(f)$

Récemment les méthodes de conversion analogique-numérique basées sur le principe de suréchantillonnage ont gagné beaucoup d'importance. Ce type de

conversion évite nombreux problèmes qui existent dans les méthodes de conversions traditionnels fonctionnant à la fréquence de Nyquist. C'est la fréquence minimum avec laquelle on peut échantillonner un signal sans perte d'information.

$$f_{\text{Nyquist}} = 2 * f_{\text{maximum du signal}} \quad (2.1)$$

Le spectre d'un signal échantillonné à la fréquence de Nyquist est illustré dans la figure 2.1, on remarque qu'on a besoin d'un filtre anti-repliement avec une pente de coupure très raide et par suite un filtre analogique complexe. Les convertisseurs traditionnelles illustrés dans la figure 2.3 sont essentiellement réalisés à partir de filtres analogiques et de circuits analogiques à hautes précisions, ce qui rendent leur implémentation difficile en technologie VLSI. Ces convertisseurs ont l'avantage de fonctionner à des fréquences relativement basses.

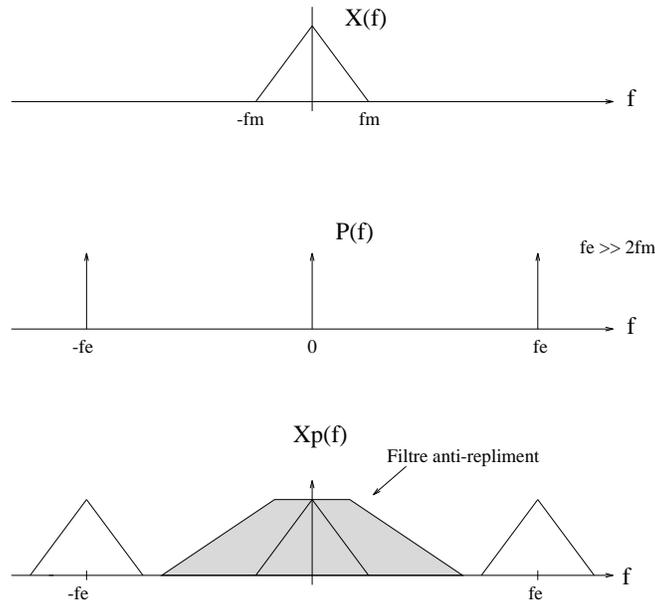


FIG. 2.2: suréchantillonnage ($f_e \gg 2f_m$) : le filtre anti-repliment avec une douce pente de coupure

Le spectre d'un signal suréchantillonné est illustré dans la figure 2.2, on voit bien que la pente de coupure du filtre anti-repliment est douce. Dans les convertisseurs $\Sigma\Delta$, nous allons voir (section 2.4) que le modulateur augmente la puissance du bruit de quantification dans les hautes fréquences. Dans ce cas le filtrage analogique est simple, mais l'élimination du bruit présent hors de la bande utile rend nécessaire un post-filtrage numérique. Les convertisseurs à suréchantillonnage illustrés dans la figure 2.4 utilisent des circuits analogiques de faible précision, mais ont besoin de traitements numériques rapides et complexes.

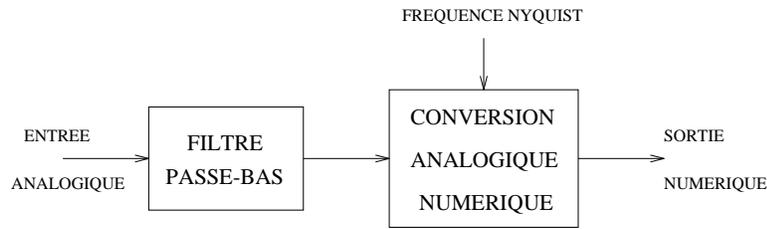


FIG. 2.3: les CAN fonctionnant à la fréquence de Nyquist

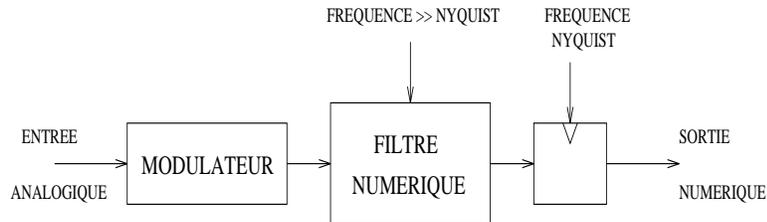


FIG. 2.4: les CAN à suréchantillonnage

2.3 La Quantification

Le fait d'échantillonner un signal à la fréquence de Nyquist (eqn. 2.1) n'introduit pas de distorsion sur le signal, mais la quantification introduit une erreur sur le signal. Cette erreur illustrée dans la figure 2.5 est due à la représentation d'une valeur analogique qui peut prendre une infinité de valeur par une valeur numérique qui est codée avec un nombre limité de bits.

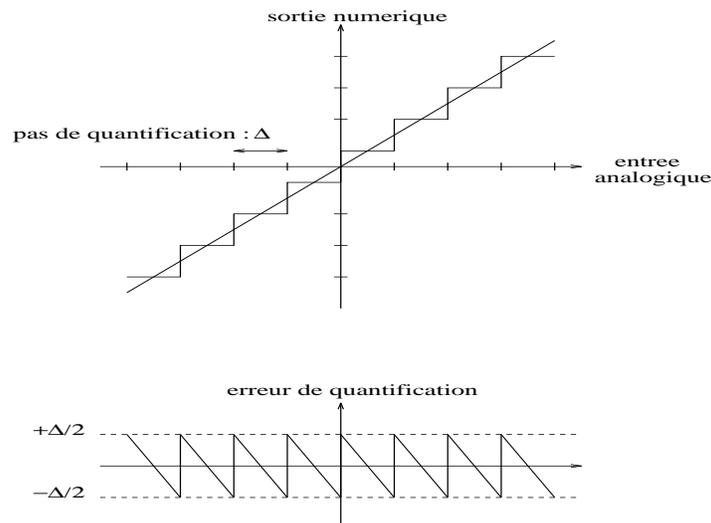


FIG. 2.5: la quantification

Avec un pas de quantification égal à Δ , l'erreur de quantification sera limitée

entre $\pm\Delta/2$. Si on considère que le signal d'entrée change de façon aléatoire d'un échantillon à l'autre, alors on peut considérer l'erreur de quantification comme un bruit blanc réparti de façon uniforme dans l'intervalle $\pm\Delta/2$ (figure 2.6).

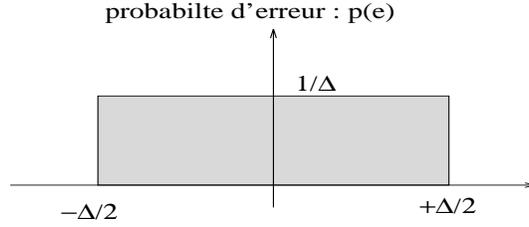


FIG. 2.6: Répartition du bruit de quantification

La variance du bruit de quantification :

$$\sigma_q^2 = \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} q^2 dq = \frac{\Delta^2}{12} \quad (2.2)$$

La densité spectrale de la puissance du bruit de quantification :

$$E(f) = \frac{\sigma_q^2}{f_e} = \frac{\Delta^2}{12f_e} \quad (2.3)$$

où f_e est la fréquence d'échantillonnage.

La puissance du bruit de quantification dans la bande utile :

$$P_q = \int_{-f_m}^{f_m} E(f) df = \frac{\Delta^2}{12OSR} \quad (2.4)$$

où f_m est la fréquence maximum du signal et OSR (Over Sampling Ratio) est le rapport de suréchantillonnage :

$$OSR = \frac{f_e}{2f_m} \quad (2.5)$$

Maintenant nous allons étudier l'influence du rapport de suréchantillonnage OSR sur le rapport signal sur bruit SNR (Signal to Noise Ratio). Pour un signal d'amplitude A et pour un quantificateur N bits, nous avons :

$$\begin{aligned} \Delta &= \frac{2A}{2^N} = \frac{A}{2^{N-1}} \\ SNR &= \frac{P_{signal}}{P_q} = \frac{\frac{A^2}{2}}{\frac{\Delta^2}{12OSR}} \\ SNR [dB] &= 10 \log 2^{2N-2} * 12OSR \\ SNR [dB] &= 1.76 + 6.02N + 10 \log OSR \end{aligned} \quad (2.6)$$

L'équation 2.6 montre qu'en doublant la fréquence d'échantillonnage on ne gagne que 3dB, c'est à dire 0.5 bits de résolution supplémentaire.

2.4 La Mise en Forme du Bruit

2.4.1 $\Sigma\Delta$ 1er Ordre

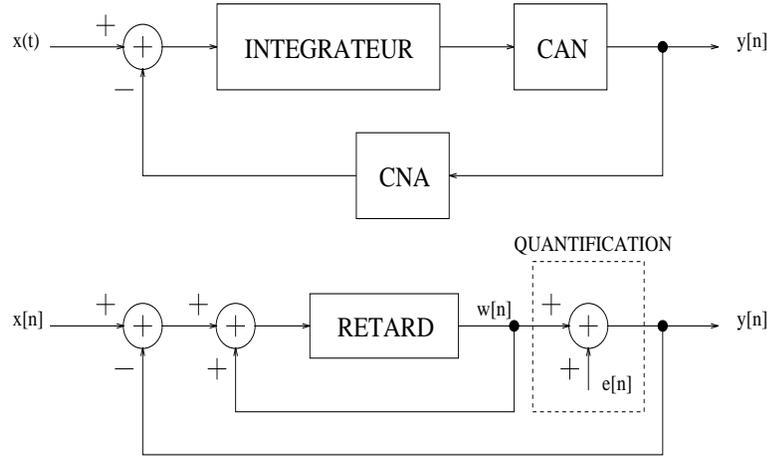


FIG. 2.7: un sigma-delta de 1er ordre et son schema equivalent

Le schéma dans la figure 2.7 représente le circuit équivalent pour un modulateur de 1er ordre où le quantificateur est représenté par une erreur additionnée sur le signal. On peut facilement démontrer que le signal quantifié est égal à :

$$y[n] = x[n - 1] + e[n] - e[n - 1] \quad (2.7)$$

Ce circuit dérive l'erreur de quantification, l'erreur à l'instant n est alors égale à la différence entre l'erreur à l'instant n et celle à l'instant $n - 1$, alors que le signal n'est modifié que par un retard. Ce qui veut dire que, si la fréquence d'échantillonnage est très supérieure à la fréquence du signal, soit pour les signaux à fréquences relativement basses où l'amplitude du signal change très peu d'un échantillon à l'autre, alors l'erreur de quantification sera très faible. Mais il est clair que pour les hautes fréquences cette erreur va augmenter. En ce qui suit nous allons étudier le bruit de quantification dans le domaine de fréquence.

A partir de l'équation 2.7 on définit $n[n]$ comme le bruit (noise) de quantification à l'instant n :

$$n[n] = e[n] - e[n - 1]$$

Appliquant la transformée en Z :

$$N(Z) = E(Z)(1 - Z^{-1})$$

Puisque $Z = e^{j2\pi f\tau}$ où $\tau = 1/f_e$,

$$\begin{aligned} N(f) &= E(f)(1 - e^{-\frac{j2\pi f}{f_e}}) \\ |N(f)| &= 2E(f)\sin\left(\frac{\pi f}{f_e}\right) \end{aligned} \quad (2.8)$$

La densité spectrale du bruit de quantification :

$$|N(f)|^2 = 4|E(f)|^2 \sin^2\left(\frac{\pi f}{f_e}\right)$$

A partir de l'équation 2.3 :

$$|N(f)|^2 = 4 \frac{\Delta^2}{12 f_e} \sin^2\left(\frac{\pi f}{2 f_e}\right) \quad (2.9)$$

La puissance du bruit dans la bande utile :

$$\int_{-f_m}^{f_m} |N(f)|^2 df = \frac{\Delta^2 \pi^2}{12 \cdot 3} \left(\frac{1}{OSR}\right)^3 \quad (2.10)$$

L'équation 2.10 montre qu'en doublant la fréquence d'échantillonnage on gagne 9dB, c'est à dire 1.5 bits de résolution supplémentaire.

2.4.2 $\Sigma\Delta$ 2ème Ordre

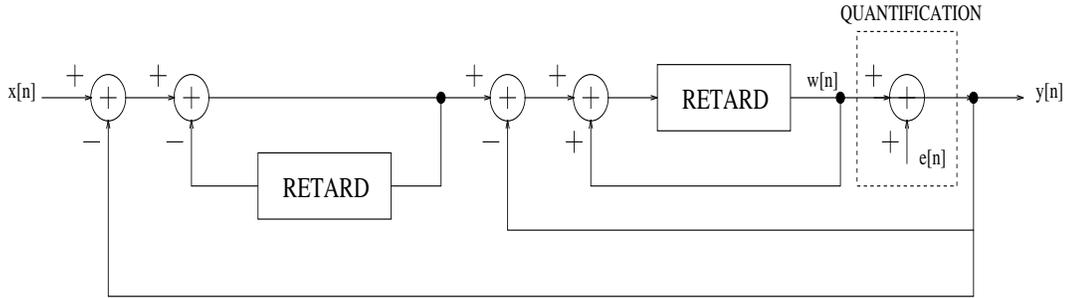


FIG. 2.8: un sigma-delta de 2ème ordre

Le schéma dans la figure 2.8 représente le circuit équivalent pour un modulateur de 2ème ordre. On peut facilement démontrer que le signal quantifié est égal à :

$$y[n] = x[n - 1] + e[n] - 2e[n - 1] + e[n - 2] \quad (2.11)$$

$$n[n] = e[n] - 2e[n - 1] + e[n - 2]$$

Appliquant la transformée en Z :

$$N(Z) = E(Z)(1 - Z^{-1})^2$$

Puisque $Z = e^{j2\pi f \tau}$ où $\tau = 1/f_e$,

$$\begin{aligned} N(f) &= E(f)(1 - e^{-\frac{j2\pi f}{f_e}})^2 \\ |N(f)| &= 4E(f) \sin^2\left(\frac{\pi f}{f_e}\right) \end{aligned} \quad (2.12)$$

La puissance du bruit dans la bande utile :

$$\frac{\Delta^2 \pi^4}{12 \cdot 5} \left(\frac{1}{OSR}\right)^5 \quad (2.13)$$

L'équation 2.10 montre qu'en doublant la fréquence d'échantillonnage on gagne 15dB, c'est à dire 2.5 bits de résolution supplémentaire.

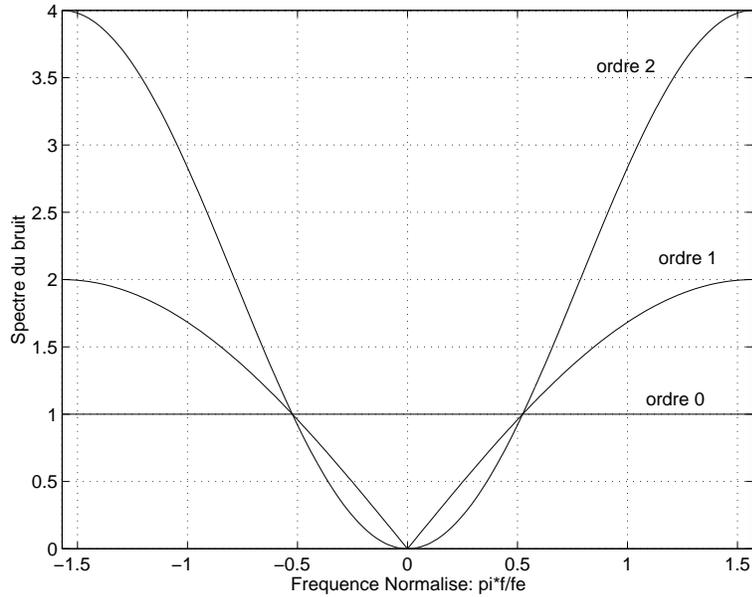


FIG. 2.9: Le spectre du bruit de quantification

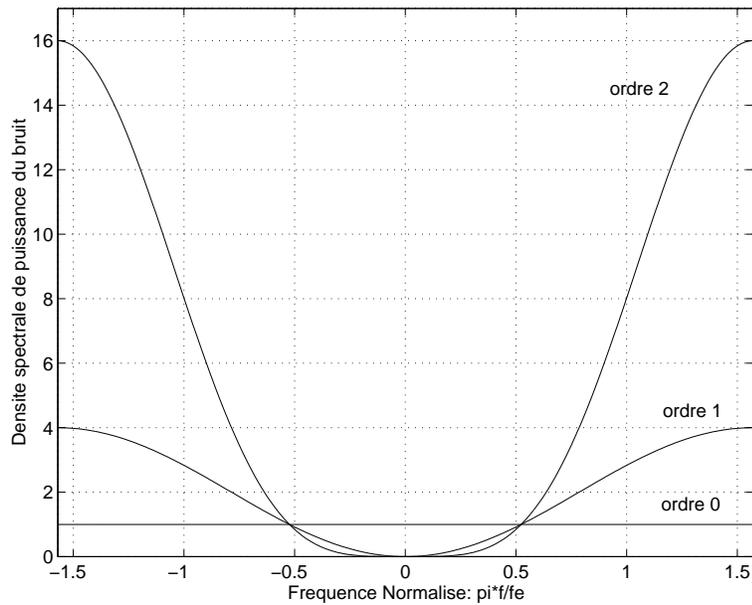


FIG. 2.10: La densité spectrale de puissance du bruit de quantification

Les figures 2.9 et 2.10 représentent respectivement le spectre et la densité spectrale du bruit de quantification pour un quantificateur classique (ordre 0), un $\Sigma\Delta$ 1er ordre et un $\Sigma\Delta$ 2ème ordre. On voit bien ce qui a été déduit intuitivement auparavant que la mise en forme du bruit effectuée par le $\Sigma\Delta$ diminue le bruit pour les basses fréquences mais l'augmente pour les hautes fréquences.

De façon générale, on peut prouver que pour un $\Sigma\Delta$ d'ordre L on a une puissance de bruit dans la bande utile qui est égale à :

$$\frac{\Delta^2}{12} \frac{\pi^{2L}}{2L+1} \left(\frac{1}{OSR}\right)^{2L+1} \quad (2.14)$$

Dans ce cas le fait de doubler la fréquence de suréchantillonnage diminue le bruit de quantification de $3(2L+1)$ dB, c'est à dire $L+0.5$ bits de résolution supplémentaire. Pour les modulateurs $\Sigma\Delta$ d'ordre supérieur à 2, la complexité du circuit augmente et il est difficile d'assurer la stabilité du système.

2.5 Le Choix de l'Architecture

Le modulateur $\Sigma\Delta$ de 1er ordre est le plus simple et le plus stable. D'autre part le bruit de quantification d'un $\Sigma\Delta$ de 1er ordre est corrélé c'est à dire qu'on a besoin de rajouter un signal "dither" pour décorréler l'erreur. De plus le rapport de suréchantillonnage doit être très élevé pour obtenir un nombre de bits de résolution raisonnable. Les modulateurs $\Sigma\Delta$ d'ordre élevé offrent une meilleure résolution. Mais à cause des problèmes de stabilité et due à la complexité des modulateurs d'ordre élevés, les modulateurs $\Sigma\Delta$ de 2ème ordre semblent être un bon choix.

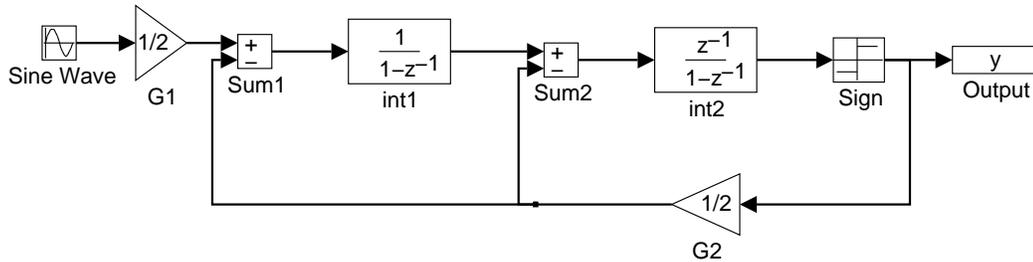


FIG. 2.11: Architecture classique d'un $\Sigma\Delta$ 2ème ordre

La figure 2.11 est une représentation mathématique avec SIMULINK de MATLAB d'un modulateur $\Sigma\Delta$ de 2ème ordre classique déjà introduit dans la section 2.4.2. Les simulations montrent que l'excursion du signal de sortie des intégrateurs est plusieurs fois l'excursion du signal d'entrée analogique,

$\pm\Delta/2$. Ceci est évidemment un problème très important surtout dans les circuits CMOS VLSI où on a des restrictions sur l'excursion maximale du signal. Pour résoudre ce problème Boser a proposé une architecture modifiée illustrée figure 2.12 qui permet de réduire l'excursion du signal de sortie des intégrateurs [6]. Cette architecture diffère de l'architecture classique dans le retard supplémentaire du premier intégrateur et dans l'atténuation de $1/2$ qui précède chaque intégrateur. Normalement pour obtenir la même fonction de transfert que la configuration classique, on devrait mettre une atténuation de $1/2$ pour le premier intégrateur et un gain de 2 pour le second. Mais le second intégrateur étant suivi d'un comparateur, son gain peut être modifié sans changer la performance du modulateur.

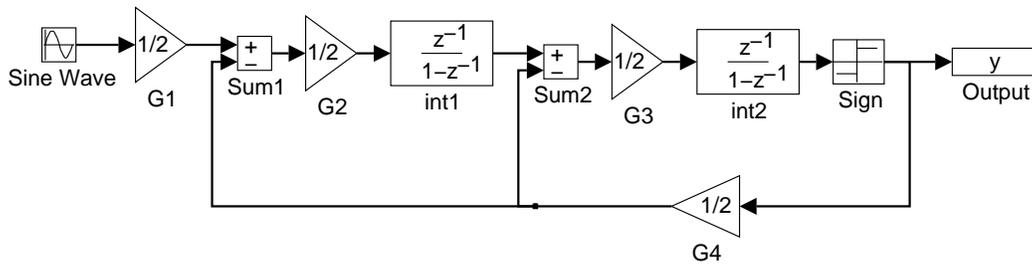


FIG. 2.12: Architecture modifiée d'un $\Sigma\Delta$ 2ème ordre

La probabilité de l'amplitude du signal de sortie des intégrateurs dans l'architecture classique et l'architecture modifiée est illustrée figures 2.13 et 2.14 respectivement. Contrairement au cas de l'architecture classique où les signaux dépassent largement l'amplitude maximale, les signaux dans l'architecture dépassent légèrement cette amplitude.

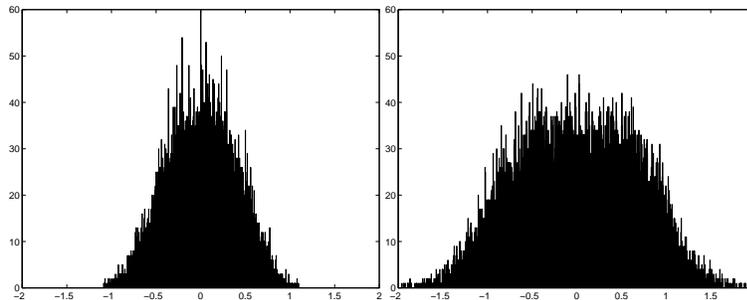


FIG. 2.13: L'intervalle de l'amplitude du signal pour l'architecture classique; 1er intégrateur (à gauche), 2ème intégrateur (à droite)

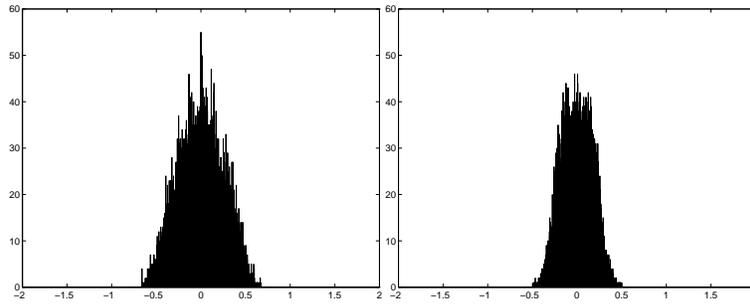


FIG. 2.14: L'intervalle de l'amplitude du signal pour l'architecture modifiée; 1er intégrateur (à gauche), 2ème intégrateur (à droite)

L'architecture modifiée à été proposée par Boser pour être implémenter avec la technique des capacités commutés. Dans la technique des courants commutés ce gain peut être réalisé en jouant sur le rapport entre la taille des transistors à l'étage de sortie de l'intégrateur. Une architecture adaptée à la technique des courants commutés est illustrée dans la figure 2.15. L'atténuation de $1/2$ est maintenant après l'intégrateur, mais pour garder la même amplitude à l'entrée des intégrateurs il faut modifier les gains $G1$ et $G4$. Le bloc "sintegrator1" est le modèle de l'intégrateur à courant commutés qui tient compte des non-idéalités du circuit. Ce modèle illustré figure 2.17 sera détaillé dans le chapitre 5.

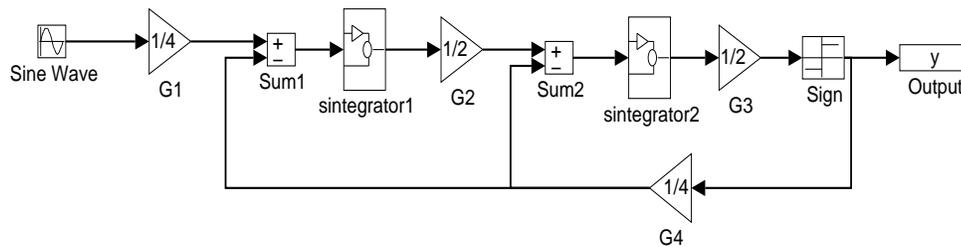


FIG. 2.15: Architecture modifiée adaptée aux courants commutés

La probabilité de l'amplitude des courants à l'intérieur des intégrateurs est illustrée dans la figure 2.16. On a les mêmes résultats obtenus qu'avec l'architecture de Boser figure 2.12. Les signaux restent au-dessous de l'amplitude maximale $\pm\Delta/2$.

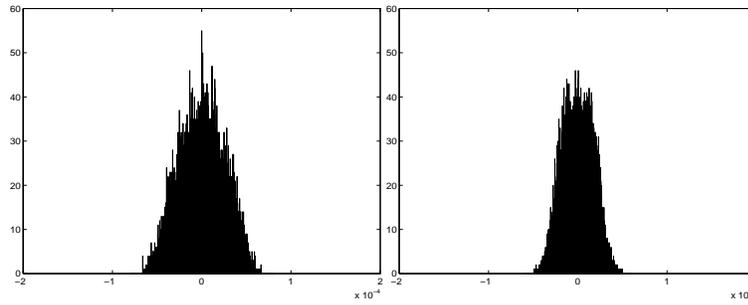


FIG. 2.16: L'intervalle de l'amplitude du courant à l'intérieur des cellules mémoires des intégrateurs; 1er intégrateur (à gauche), 2ème intégrateur (à droite)

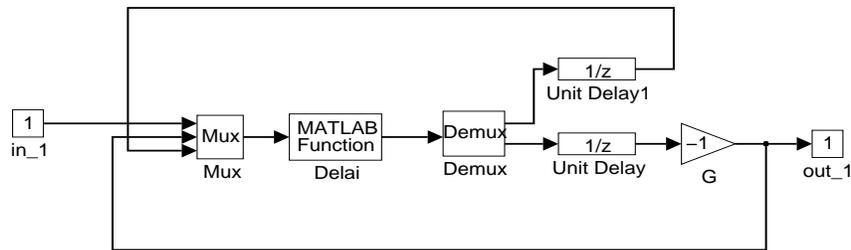


FIG. 2.17: modélisation de l'intégrateur à courant commutés

2.6 Conclusion

Les principes de la conversion $\Sigma\Delta$ ont été présentés. Le suréchantillonnage permet de relâcher les contraintes sur la pente de coupure du filtre analogique et par suite sur la précision des composants. La mise en forme du bruit diminue la puissance du bruit de quantification dans la bande utile. Ensuite une architecture de modulateur $\Sigma\Delta$ adapté à la technique des courants commutés à été proposée. Cette architecture sera ensuite utilisée (chapitre 5) pour la simulation.

Chapitre 3

Les Courants Commutés

3.1 Introduction

La technique des courants commutés est une technique de traitement de signal analogique à temps discret. Cette technique est basée sur les cellules mémoire. Il existe différentes méthodes pour réaliser ces cellules. Dans ce chapitre, trois types de cellules seront présentées, la cellule classe A, la cellule classe AB classique et la cellule classe AB à source de tension flottante. A partir de ces cellules, toutes les fonctions de traitement de signal analogique peuvent être réalisées. L'application visée étant le modulateur $\Sigma\Delta$, l'intégrateur sera la seule application traitée.

3.2 La Cellule Mémoire Classe A

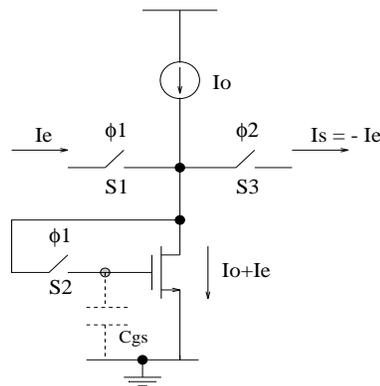


FIG. 3.1: une cellule mémoire simple à courants commutés

Sur la phase ϕ_1 les interrupteurs S1 et S2 sont fermés, le courant d'entrée I_e s'additionne sur le courant de polarisation I_o et un courant $I_o + I_e$ passe dans le transistor mémoire. Durant cette phase la capacité C_{gs} du transistor mémoire est chargée jusqu'à une certaine valeur V_{gs} qui correspond au courant $I_{ds} = I_e + I_o = \beta/2(V_{gs} - V_t)^2$. Sur la phase ϕ_2 les interrupteurs S1 et S2 sont ouverts et l'interrupteur S3 est fermé. La tension de grille V_{gs} étant mémorisée

divisé entre les transistors M3 et M4, les capacités C_{gs} des transistors mémoire Mn et Mp sont chargées jusqu'à une certaine valeur qui correspond au courant d'entrée. Sur la phase ϕ_2 cette tension est conservée sur les grilles des transistors mémoires et le courant d'entrée est reconstruit au noeud de sortie à partir du courant traversant les transistors Mn et Mp. En ce qui suit nous allons déduire les équations qui décrivent la relation entre la tension de grille V_n et V_p des transistors mémoire Mn et Mp.

Le courant passant dans la branche du transistor mémoire P :

$$I_p = \frac{\beta_3}{2}(V_{g3} - V_x - V_{tn3})^2 = \frac{\beta_p}{2}(V_p - V_{dd} - V_{tpo})^2 \quad (3.2)$$

Le courant passant dans la branche du transistor mémoire N :

$$I_n = \frac{\beta_4}{2}(V_{g4} - V_x - V_{tp4})^2 = \frac{\beta_n}{2}(V_n - V_{tno})^2 \quad (3.3)$$

En appliquant la loi de Kirchoff au noeud d'entrée :

$$I_e = I_n - I_p \quad (3.4)$$

Au repos on a :

$$I_e = 0, I_n = I_p = I_o \quad (3.5)$$

où I_o est le courant de polarisation Dans ce cas on a :

$$V_{no} = V_{tno} + \sqrt{\frac{2I_o}{\beta_n}} \quad (3.6)$$

$$V_{po} = V_{dd} + V_{tpo} - \sqrt{\frac{2I_o}{\beta_p}} \quad (3.7)$$

En appliquant un courant d'entrée I_e la tension de grille des transistors mémoire est modifiée tel que :

$$V_n = V_{no} + \Delta V_n \quad (3.8)$$

$$V_p = V_{po} + \Delta V_p \quad (3.9)$$

A partir des equations 3.2, 3.3 et en prenant $\beta = \beta_n = \beta_p$ et $\beta_{3,4} = \beta_3 = \beta_4$ on peut obtenir une relation pour $V_p - V_n$:

$$V_p - V_n = V_{dd} + V_{tpo} - V_{tno} + \sqrt{\frac{\beta_{3,4}}{\beta}}(V_{g3} - V_{g3} - V_{tn3} + V_{tp4}) \quad (3.10)$$

Si on néglige la variation des tensions de seuil des transistors M3 et M4, on trouve $V_p - V_n \approx \text{Constante}$. On constate qu'il existe une différence de potentiel constante entre les grilles des transistors mémoires, donc on peut dire que $\Delta V_n = \Delta V_p = \Delta V$. En utilisant cette propriété importante et à partir des équations 3.2, 3.3 et 3.4 on peut prouver que :

$$\Delta V = \frac{I_e}{\sqrt{8\beta I_o}} \quad (3.11)$$

Puisque la transconductance des transistors mémoire au repos est $g_{mo} = \sqrt{2\beta I_o}$, on peut dire que :

$$V_n = V_{no} + \frac{I_e}{2g_{mo}} \quad (3.12)$$

$$V_p = V_{po} + \frac{I_e}{2g_{mo}} \quad (3.13)$$

Par la suite on trouve que :

$$I_n = I_o \left(1 + \frac{I_e}{4I_o}\right)^2 \quad (3.14)$$

$$I_p = I_o \left(1 - \frac{I_e}{4I_o}\right)^2 \quad (3.15)$$

Contrairement à l'équation 3.1 où la tension de grille du transistor mémoire classe A varie de façon non-linéaire avec le courant d'entrée, les équations 3.12 et 3.13 montrent que cette variation est linéaire en classe AB.

D'autre part les équations 3.14 et 3.15 montrent que le courant d'entrée est limité à $-4I_o < I_e < 4I_o$, au delà de cette limite un des transistors mémoire sera bloqué et le comportement linéaire ne sera plus assuré. Une autre condition évidente pour la validité des équations précédentes est le fonctionnement de tous les transistors en mode saturé. Malgré les avantages de cette structure de cellule mémoire classe AB à courants commutés, ce circuit possède les inconvénients suivants :

1. Pour déduire les relations 3.12...3.15, nous avons négligé la variation des tensions de seuil des transistors M3 et M4, c'est une première approximation ($V_p - V_n \approx Constante$).
2. Un intégrateur est constitué de deux cellules mémoire reliées en série avec un rebouclage (figure 3.8). La différence entre la tension du noeud X pendant la phase ϕ_1 et la tension de ce noeud pendant la phase ϕ_2 est importante. Dans ce cas le noeud X est connecté à la source du transistor M4 pendant la phase ϕ_1 , et au drain du transistor mémoire Mn pendant la phase ϕ_2 . Ceci cause une différence importante dans la tension de ce noeud entre les deux phases. Cette différence augmente l'erreur due au rapport des conductances de sortie et d'entrée. Afin de réduire cette erreur, les transistors mémoire doivent être cascodés, ce qui diminue la conductance de sortie et par suite les variations de tension du noeud X. Le cascodage des cellules mémoire rend très difficile le fait d'assurer le fonctionnement de tous les transistors en mode saturé pour toutes les valeurs possibles du courant d'entrée ($-4I_o < I_e < 4I_o$) très difficile à réaliser.

3.3.2 Classe AB à Source de Tension Flottante

Le circuit à source de tension flottante [9] [10] illustré dans la figure 3.3 propose des solutions pour les inconvénients du circuit classique :

1. Une source de tension fixe V_c est explicitement appliquée entre les grilles des transistors mémoire V_n et V_p , c'est à dire $V_p - V_n = Constante$.

2. Une autre façon est utilisée pour réduire les variations de tension du noeud X. Pour diminuer les variations de tensions du noeud X, on augmente la conductance d'entrée des transistors mémoire. Les amplificateurs grille à la masse M3 et M4 représentent avec les transistors mémoire Mp et Mn, pendant la phase d'acquisition $\phi 1$, une boucle de contre-réaction qui stabilise la tension du noeud X à V_y . En effet les transistors M3 et M4 détectent la variation de tension au noeud X et par suite modifient la tension de grille des transistors Mp et Mn de telle façon à fixer la tension V_x . On peut obtenir une expression pour cette tension :

$$V_x = V_{xo} + \frac{I_e}{2A_{gg}g_{mo}} \quad (3.16)$$

où V_{xo} représente la tension du noeud X pour $I_e = 0$, g_{mo} la transconductance des transistors mémoire et A_{gg} le gain de l'amplificateur grille à la masse. En effet la conductance d'entrée du circuit peut être exprimée par :

$$g_{xe} = 2A_{gg}g_{mo} \quad (3.17)$$

La figure 3.4 montre l'effet de la source de tension flottante et l'amplificateur grille à la masse sur V_x, V_n et V_p . La tension V_x est constante pour les différentes valeurs du courant d'entrée et la linéarité de la tension de grille des transistors mémoire est améliorée.

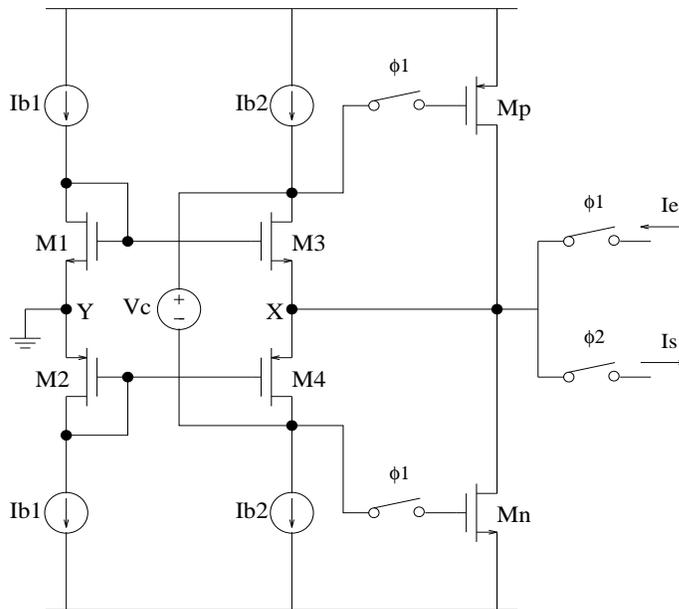


FIG. 3.3: La cellule mémoire classe AB à source de tension flottante

Les équations 3.2...3.15 sont valables pour ce circuit, mais en ce qui suit nous allons dériver des relations pour V_{no} , V_{po} et I_o en fonction de la source de

tension flottante V_c . Au repos, le courant d'entrée est nul dans ce cas :

$$I_{no} = I_{po} \quad (3.18)$$

$$\frac{\beta_n}{2}(V_{no} - V_{tno})^2 = \frac{\beta_p}{2}(V_{po} - V_{dd} - V_{tpo})^2 \quad (3.19)$$

$$V_{no} - V_{tno} = -V_{po} + V_{dd} + V_{tpo} \quad (3.20)$$

Sachant que maintenant :

$$V_c = V_{po} - V_{no} \quad (3.21)$$

Donc,

$$V_{no} = \frac{V_{dd} + V_{tno} + V_{tpo} - V_c}{2} \quad (3.22)$$

$$V_{po} = \frac{V_{dd} + V_{tno} + V_{tpo} + V_c}{2} \quad (3.23)$$

Après quelques manipulations, on peut trouver une expression pour le courant de polarisation I_o :

$$I_o = \frac{\beta}{8}(V_{dd} + V_{tpo} - V_{tno} - V_c)^2 \quad (3.24)$$

Cette dernière relation montre que le courant de polarisation peut être contrôlé par le facteur de forme et la tension V_c . Ce qui donne un degré de liberté supplémentaire pour dimensionner les transistors.

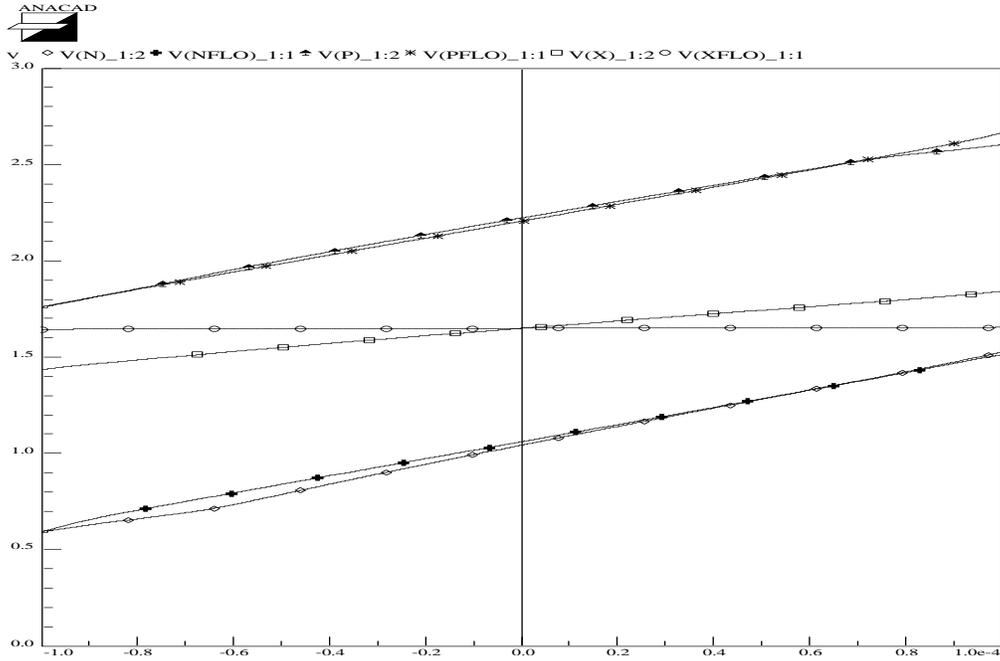


FIG. 3.4: Comparaison entre la tension des noeuds "n", "p" et "x" pour le circuit classique (V_n, V_p et V_x) et le circuit à source de tension flottante (V_{nflo}, V_{pflo} et V_{xflo}).

3.4 L'Intégrateur

Le courant de sortie d'une cellule mémoire à courants commutés est égal au courant d'entrée retardé de 1/2 cycle. Pour réaliser un intégrateur à partir de la cellule mémoire, il suffit de connecter 2 cellules en série avec un rebouclage comme il est illustré dans la figure 3.5.

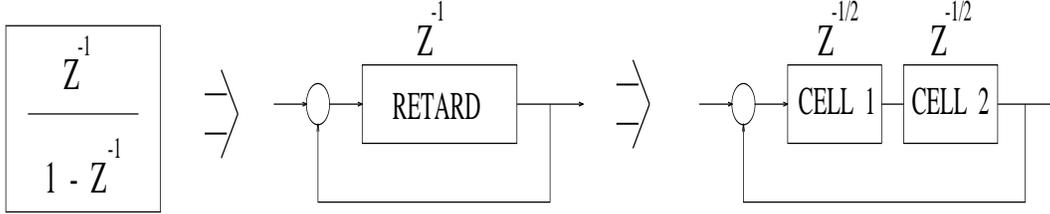


FIG. 3.5: Un intégrateur réalisé à partir de cellules mémoires à courants commutés.

3.4.1 Classe A

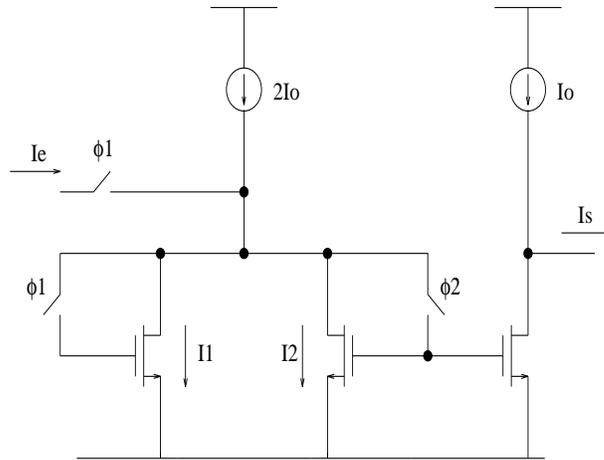


FIG. 3.6: Un intégrateur classe A (les transistors ont des dimensions identiques).

Le circuit qui réalise cette fonction est illustré dans la figure 3.6. Sur la phase ϕ_1 et en appliquant la loi de Kirchoff sur le noeud d'entrée et le noeud de sortie on peut déduire l'équation suivante :

$$I_1[n-1] = I_e[n-1] + I_o + I_s[n-1] \quad (3.25)$$

Sur la phase ϕ_2 en utilisant l'équation 3.25 au noeud d'entrée on a :

$$I_2[n] = I_o - I_e[n-1] - I_s[n-1] \quad (3.26)$$

au noeud de sortie (phase ϕ_2) :

$$I_2[n] = I_o - I_s[n] \quad (3.27)$$

A partir des 3 équations précédentes on a :

$$I_s[n] - I_s[n - 1] = I_e[n - 1] \quad (3.28)$$

En appliquant la transformée en Z :

$$\frac{I_s(Z)}{I_e(Z)} = \frac{Z^{-1}}{1 - Z^{-1}} \quad (3.29)$$

3.4.2 Classe AB

Source de Tension Flottante

L'intégrateur à courants commutés, illustré dans la figure 3.7, est conçu à partir de 2 cellules mémoire classe AB. Ces cellules sont basées sur le convoyeur de courant présenté dans [9] et [10]. Le fonctionnement de cette cellule est tel que sur la phase ϕ_2 , le courant d'entrée I_e s'additionne au courant rebouclé de la 2ème cellule I_{reb} , la somme de ces 2 courants est mémorisée par les transistors MN1 et MP1. Sur la phase ϕ_1 ce courant est transmis à la deuxième cellule où il sera mémorisé par les transistors MN2 et MP2. Le courant de sortie est ensuite obtenu à partir de l'étage de sortie.

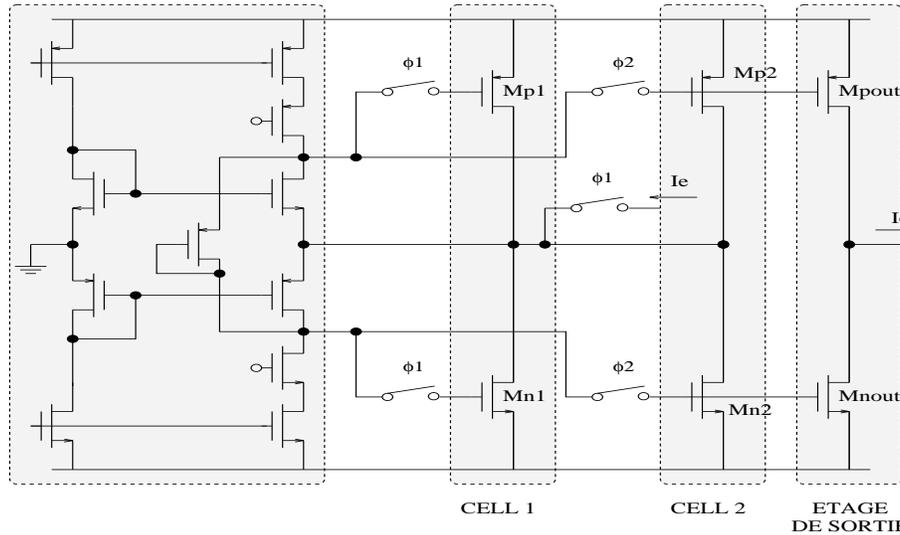


FIG. 3.7: l'intégrateur réalisé avec une cellule mémoire classe AB à source de tension flottante

Classique

Le fonctionnement de l'intégrateur classique illustré dans la figure 3.8 est similaire à celui de l'intégrateur à source de tension flottante.

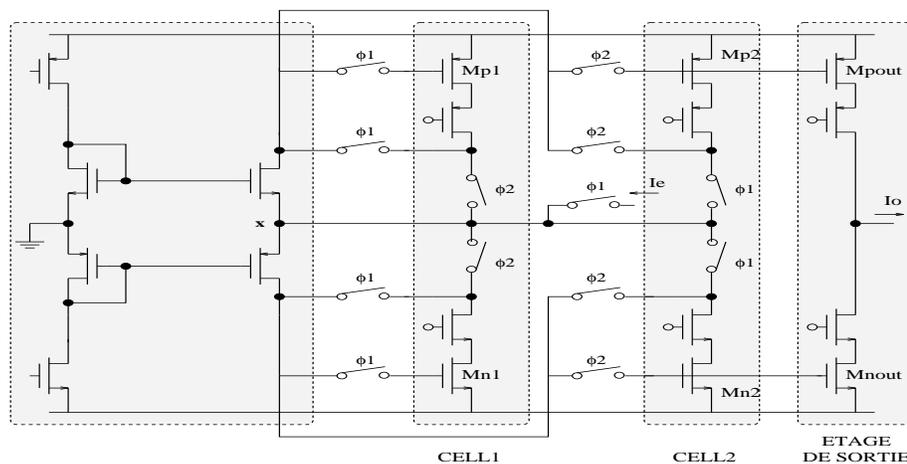


FIG. 3.8: l'intégrateur réalisé avec une cellule mémoire classe AB classique

3.5 Conclusion

La technique des courants commutés à été présentée. Cette technique de traitement de signal analogique utilise la capacité C_{gs} du transistor MOS pour mémoriser la valeur du signal.

Ensuite les circuits en classe AB ont été abordés. Avec ces circuits, on peut augmenter jusqu'à quatre fois l'excursion du signal d'entrée par rapport à la classe A. En outre, les circuits en classe AB ont fait preuve d'une meilleur linéarité. Une cellule classe AB à source de tension flottante a été présentée et ses avantages par rapport à la structure classique ont été expliqués.

Pour montrer une application, nous avons démontré comment ces cellules peuvent être utilisées pour réaliser un intégrateur.

Chapitre 4

Les Non-Idéalités

4.1 Introduction

Dans le chapitre 3, la cellule mémoire à courants commutés a été présentée. Cette cellule a ensuite été utilisée pour réaliser un intégrateur. Pour cela, nous avons supposé un fonctionnement idéal de la cellule ($I_s = -I_e$).

En réalité, les non-idéalités des circuits introduisent des erreurs sur le courant de sortie de la cellule. Dans ce chapitre, les différentes non-idéalités des circuits à courants commutés sont décrites. Ces non-idéalités sont essentiellement le temps d'acquisition, l'injection de charge et la conductance de sortie. Les circuits de mesure de chaque non-idéalité sont présentés. En outre, une comparaison entre les erreurs du circuit classe AB classique et le circuit à source de tension flottante est effectuée pour les trois non-idéalités.

L'injection de charge, étant la source d'erreur la plus importante, est étudiée en détail.

4.2 Le Temps d'Acquisition

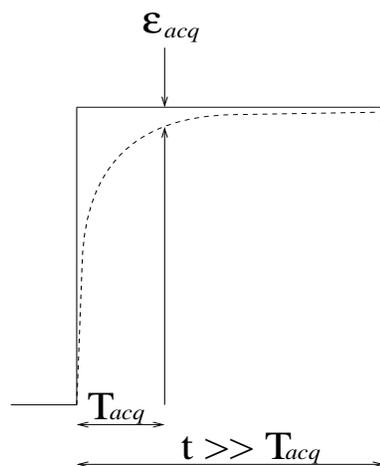


FIG. 4.1: Le temps d'acquisition

La technique des courants commutés est basée sur le principe de charger la capacité grille-source C_{gs} des transistors mémoire jusqu'à ce que la tension V_{gs} aux bornes de cette capacité atteigne la valeur correspondante au courant de drain. Si cette opération n'est pas complète durant la phase d'acquisition (T_{acq}), il y aura une erreur dans la valeur de la tension V_{gs} mémorisée. Ce qui causera une erreur (ϵ_{acq}) dans le courant de sortie de la cellule mémoire sur la phase suivante.

4.2.1 Mesure de l'Erreur due au Temps d'Acquisition

Pour la mesure de cette erreur, les transistors utilisés comme interrupteurs sont connectés à des tensions fixes. L'erreur est déterminée à partir de la différence entre le courant mémorisé à l'instant T_{acq} et le courant mémorisé à l'instant t_∞ .

La figure 4.2 illustre les circuits utilisés pour la mesure de l'erreur due au temps d'acquisition pour le circuit à source de tension flottante et le circuit classique. Ces circuits sont simulés avec ELDO et l'erreur est mesurée pour un courant d'entrée I_e tel que $-4I_o < I_e < +4I_o$. Ces erreurs sont illustrées dans la figure 4.3.

En ce qui suit nous allons interpréter ces résultats :

– Circuit Classique :

Dans ce circuit (figure 3.2) le courant d'entrée est partagé entre les branches N et P. La valeur du courant dans chaque branche est déterminé par les relations 3.14 et 3.15. D'après ces relations on constate que si le courant d'entrée est très important, c'est à dire $I_e \approx \pm 4I_o$, on aura un courant important dans une branche et un courant très faible dans l'autre branche. On considère que la constante de temps d'une branche a une valeur approximative de C/g_m . La transconductance g_m étant proportionnelle au courant, la vitesse des deux branches sera différente. En effet la branche traversée par le courant le plus faible sera plus lente et c'est celle-ci qui déterminera la vitesse du circuit.

– Circuit à Source de Tension Flottante :

Dans ce circuit (figure 3.3), il existe une source de tension fixe entre les noeuds de mémorisation. Cette source de tension établit une connexion entre la partie rapide et la partie lente. Ce qui diminue la différence de vitesse entre les deux branches. Le circuit est alors plus rapide et sa vitesse dépend moins de l'amplitude du signal d'entrée.

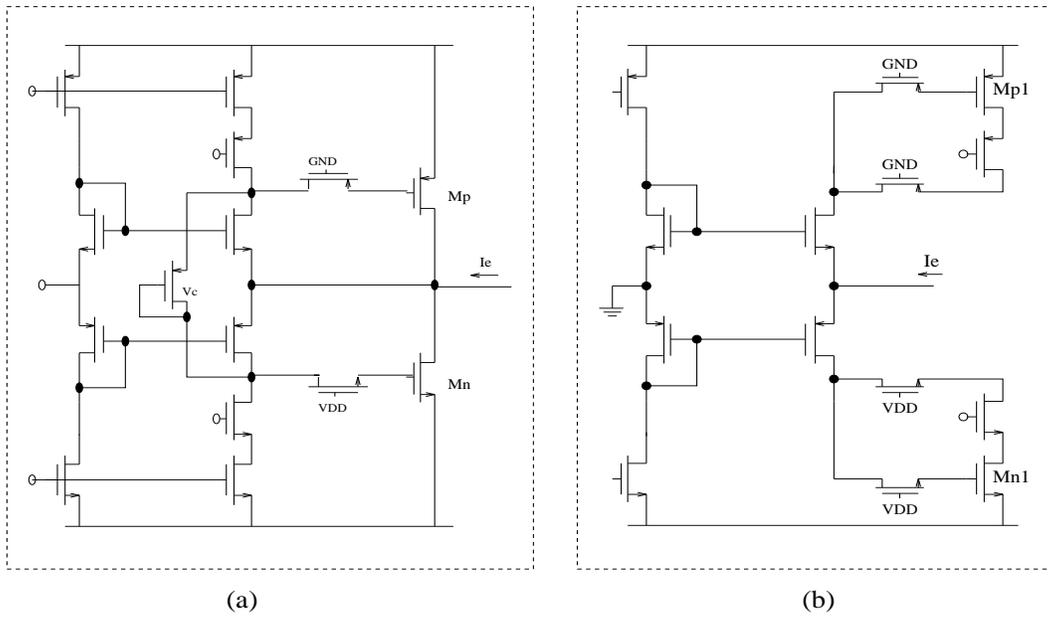


FIG. 4.2: Circuits de mesure du temps d'acquisition, (a) Circuit à source de tension flottante, (b) Circuit classique.

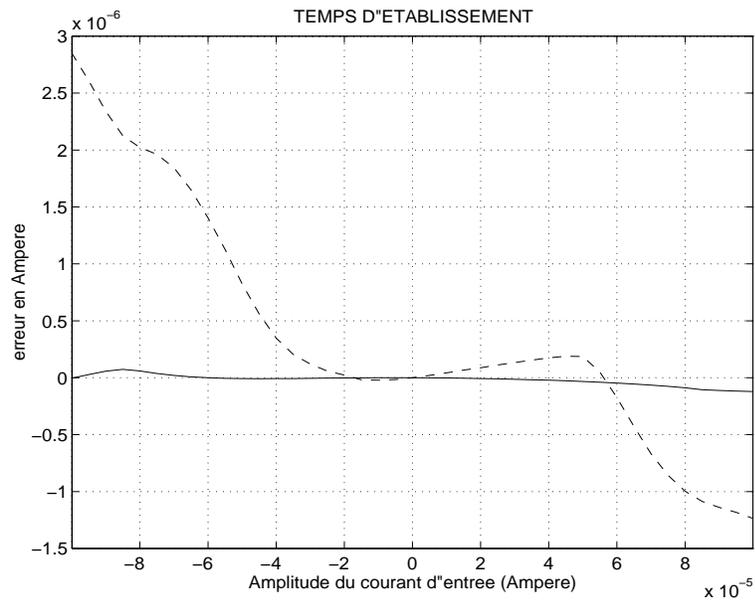


FIG. 4.3: L'erreur due au temps d'acquisition pour la cellule classique (- -) et la cellule à source de tension flottante (—)

4.3 L'Injection de Charge

Dans les circuits à courants commutés les interrupteurs sont réalisés avec des transistors MOS. Ces transistors fonctionnent en mode linéaire quand les signaux d'horloge sont à l'état haut et ils sont bloqués quand ces signaux sont à l'état bas. Lors du passage de l'interrupteur du mode linéaire au mode bloqué, le phénomène de l'injection de charge a lieu. Ceci est expliqué par les deux raisons suivantes :

- les charges mobiles qui étaient dans le canal pendant la phase de conduction quittent le transistor à travers le drain, la source et le substrat.
- Le changement brusque de la tension de grille cause un transfert de charges à travers les capacités de recouvrement de l'interrupteur.

Une partie de ces charges s'accumulent sur la capacité C_{gs} du transistor mémoire, modifient la tension V_{gs} et par suite le courant mémorisé. La modélisation de l'injection de charge est assez complexe. Une difficulté est l'estimation de la quantité de charge qui fuit le canal pour s'injecter dans le substrat. Ce phénomène appelé "pompage de charge" peut être négligé si le temps de descente du signal d'horloge (t_{desc}) est plus long que le temps de transit (T_0) de l'interrupteur [11]. Le temps de transit est défini comme le temps maximum nécessaire aux charges mobiles pour atteindre une extrémité du canal. Ce temps est défini par :

$$T_0 = \frac{n_0 L^2}{\mu(V_G - V_{TE})} \quad (4.1)$$

où V_{TE} est la tension de seuil effective qui dépend linéairement de la tension V_1 (figure 4.4) avec la relation :

$$V_{TE} = V_{T0} + n_0 V_1 \quad (4.2)$$

V_{T0} est la tension de seuil pour $V_1 = 0$ et $n_0 = 1 + \frac{\gamma}{\sqrt{\Phi_f}}$ (γ est l'effet "body" et Φ_f est le niveau Fermi). On suppose que $t_{desc} \gg T_0$, et on modélise l'interrupteur MOS comme il est illustré dans la figure 4.5(a) et 4.5(b) pour la phase de conduction et la phase de blocage respectivement [12], tel que :

$$V_G(t) = \begin{cases} V_H & \text{pour } t < 0 \\ V_H - \alpha t & \text{pour } 0 \leq t < t_{desc} \\ V_L & \text{pour } t \geq t_{desc} \end{cases} \quad (4.3)$$

$$g_i(t) = \begin{cases} \beta(V_g - V_n - V_{tn}) & \text{phase de conduction} \\ 0 & \text{phase de blocage} \end{cases} \quad (4.4)$$

$$C_G = \begin{cases} 2C_{rec} + C_{can} & \text{phase de conduction} \\ 2C_{rec} & \text{phase de blocage} \end{cases} \quad (4.5)$$

où α est la pente de descente du signal d'horloge.

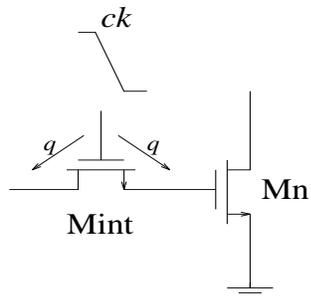


FIG. 4.4: L'injection de charge

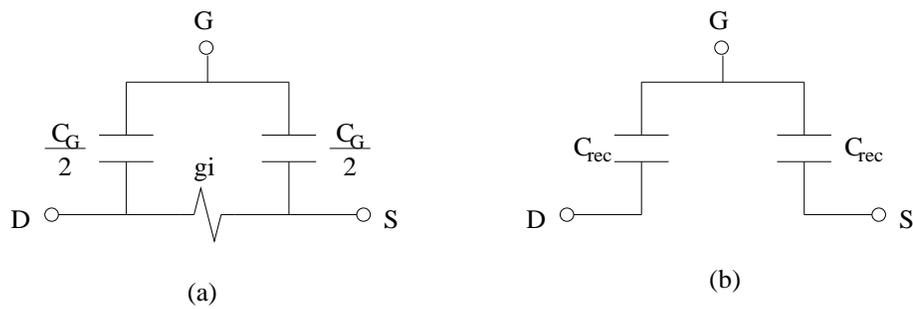
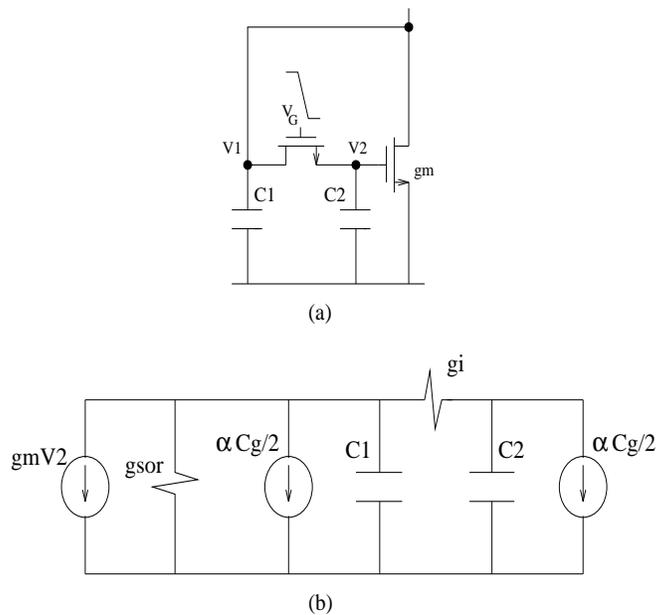
FIG. 4.5: (a) modèle de l'interrupteur durant la phase de conduction du canal.
(b) modèle durant la phase où l'interrupteur est bloqué.

FIG. 4.6: (a) La cellule mémoire (b) Le circuit équivalent

On peut alors représenter l'injection de charge par 2 sources de courant, ayant chacune la valeur $\alpha C_G/2$ comme illustré dans la figure 4.6. A partir de ce modèle, on obtient les deux équations différentielles suivantes :

$$\frac{\alpha C_g}{2} + C_1 \frac{d}{dt} v_1 = g_i(t)(v_1 - v_2) - g_m v_2 + g_{sor} V_1 \quad (4.6)$$

$$\frac{\alpha C_g}{2} + C_1 \frac{d}{dt} v_2 = g_i(t)(v_2 - v_1) \quad (4.7)$$

Ces relations montrent que l'injection de charge dépend essentiellement de :

- Transistors Mémoire :
 - la capacité C_{gs} .
 - la transconductance g_m .
- Transistors Interrupteurs :
 - la capacité de grille C_G .
 - la conductance g_i .
- La pente α du signal d'horloge.

4.3.1 Mesure de l'Erreur due à l'Injection de Charge

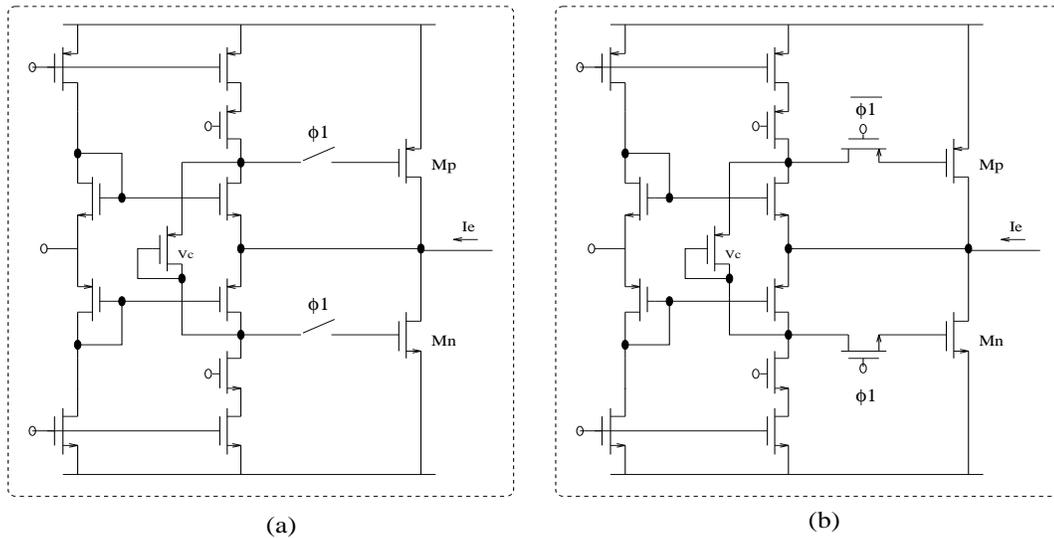


FIG. 4.7: Le circuit de mesure de l'injection de charge (a) interrupteurs idéaux (b) interrupteurs MOS

La cellule mémoire est décrite deux fois, une fois avec des interrupteurs idéaux et une autre fois avec des interrupteurs MOS (figure 4.7). La différence entre le courant mémorisé dans chaque circuit représente l'erreur due aux charges injectées par les interrupteurs. Ces erreurs sont illustrés dans la figure 4.8. On remarque que les résultats obtenus pour les deux circuits sont presque identiques. Ceci est dû au fait que nous avons choisi des dimensions identiques pour

les transistors mémoire et les interrupteurs MOS dans les deux circuits. Le signal d'horloge est évidemment le même dans les deux cas. Donc, nous avons les mêmes C_{gs} , g_m , C_G , g_i et α . Ce qui explique le fait que pour l'injection de charge il n'y'a pas de différences entre les deux circuits.

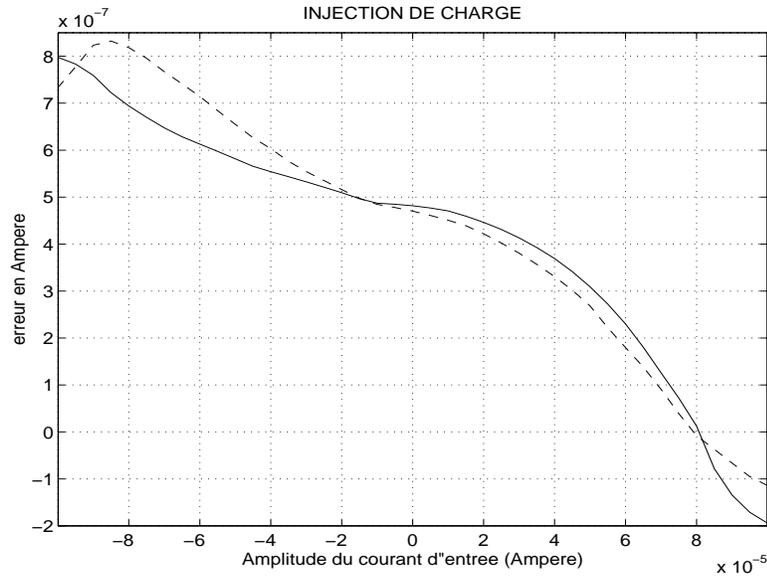


FIG. 4.8: L'erreur due à l'injection de charge pour la cellule classique (- -) et la cellule à source de tension flottante (—)

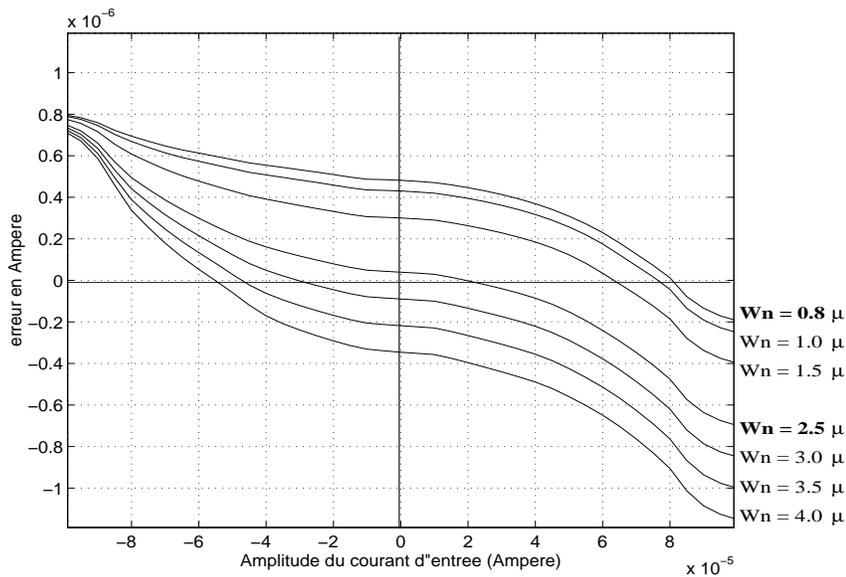


FIG. 4.9: L'erreur due à l'injection de charge pour différentes largeurs de l'interrupteur NMOS, la largeur de l'interrupteur PMOS étant fixé à 2.8 μ

La figure 4.9 montre les résultats de plusieurs simulations effectuées avec différentes largeurs de l'interrupteur NMOS. Ces simulations montrent que l'erreur est symétrique pour une largeur identique à celle de l'interrupteur PMOS. Mais l'erreur minimum est obtenue pour la largeur minimum (0.8μ).

La figure 4.10 montre l'effet du rapport W/L du transistor mémoire sur l'erreur d'injection de charge. Si on augmente W/L (ce qui a des avantages du point de vue du temps d'acquisition) la transconductance g_{mo} augmente et par la suite (selon les eqn. 4.6 et 4.7) l'erreur d'injection de charge.

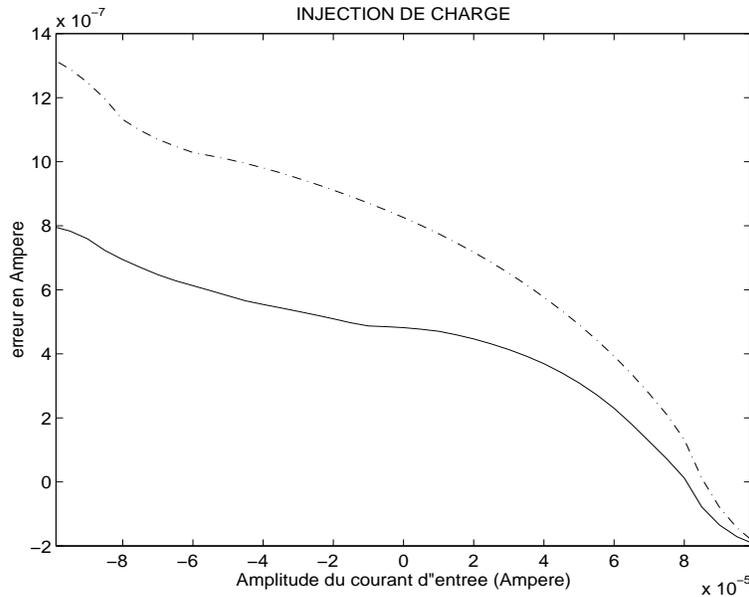


FIG. 4.10: L'erreur due à l'injection de charge, pour un rapport W/L de 39/7 (- -) et 26/10 (—)

4.4 La Conductance de Sortie

Dans le cas d'un intégrateur (figure 3.8 et 3.7), le courant sortant d'une cellule mémoire est utilisé dans la phase suivante comme courant d'entrée d'une autre cellule. Ce transfert de courant est accompagné d'un changement de la tension du noeud qui fait la connexion entre les deux cellules. Ainsi, les tensions drain-source des transistors mémoire sont modifiées et par la suite le courant mémorisé. Cette erreur dépend du rapport entre la conductance de sortie et la conductance d'entrée d'une cellule. Dans le circuit classique, la conductance de sortie est diminuée par le cascodage. Dans le circuit à source de tension flottante, la conductance d'entrée est augmentée par l'amplificateur grille à la masse. La diminution de la conductance de sortie nous oblige à mettre des transistors cascodes dans chaque branche de l'intégrateur, tandis que pour augmenter la conductance d'entrée on a besoin uniquement d'une seule paire d'amplificateurs grille à la masse.

4.4.1 Mesure de l'Erreur due à la Conductance de Sortie

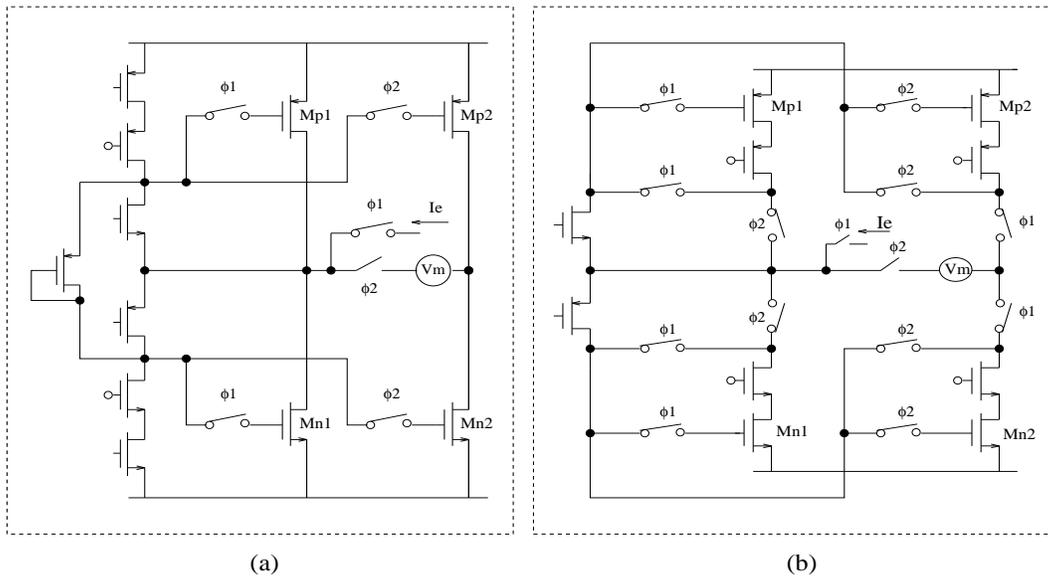


FIG. 4.11: Les circuits de mesure de la conductance de sortie.

Pour les deux cas précédents, la mesure est effectuée au niveau de la cellule mémoire. L'erreur de conductance de sortie est due à la variation de la tension du noeud reliant les deux cellules. Dans ce cas, le circuit contient un intégrateur complet contenant deux cellules mémoires. Les circuits utilisés dans les simulations ELDO sont illustrés dans la figure 4.11.

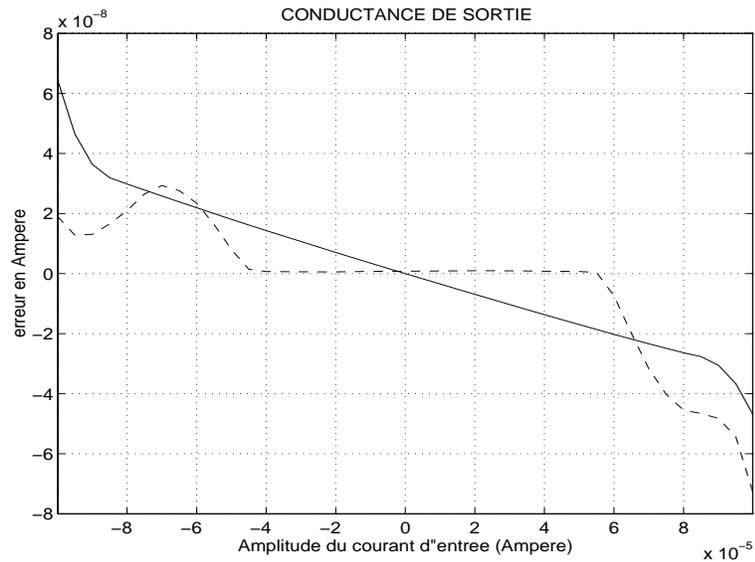


FIG. 4.12: L'erreur due à la conductance de sortie pour la cellule classique (- -) et la cellule à source de tension flottante (—)

Les résultats de simulation, illustrés dans la figure 4.12, confirment ce qui a été déjà prévu dans la section 3.3.1. En effet, dans le circuit classique, il est très difficile, à cause du montage en cascode, d'assurer le fonctionnement de tous les transistors en mode saturé. Quand le courant d'entrée atteint une valeur $I_e \approx \pm 2I_o$, les transistors cascades quittent le mode saturé. Ce qui cause une brusque augmentation de l'erreur au-delà de cette limite. D'autre part, dans le circuit à source de tension flottante, tous les transistors restent en mode saturé jusqu'à un courant d'entrée $I_e \approx \pm 4I_o$.

4.5 Conclusion

Une étude des non-idéalités des circuits à courants commutés a été présentée. Les erreurs dues aux non-idéalités des circuits à courants commutés ont été mesurées à partir de simulation ELDO. La mesure de ces erreurs est une opération délicate. La difficulté réside dans le fait de pouvoir mesurer chaque erreur tout en éliminant l'effet des deux autres. Trois circuits différents (un circuit pour chaque erreur) ont été utilisés pour la mesure des erreurs. Les résultats obtenus ont été interprétés de façon intuitive et qualitative. Les comparaisons entre le circuit classe AB classique et le circuit à source de tension flottante ont montré que les erreurs du deuxième sont plus faibles (à l'exception de l'injection de charge) et plus linéaires.

Chapitre 5

La Simulation des Modulateurs $\Sigma\Delta$

5.1 Introduction

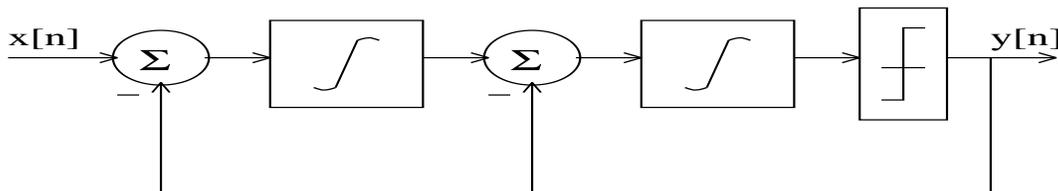


FIG. 5.1: Un modulateur $\Sigma\Delta$ du 2ème ordre.

Un problème essentiel auquel sont confrontés les concepteurs est le besoin d'un outil de simulation précis et rapide. Les modulateurs $\Sigma\Delta$ sont difficiles à simuler, en effet quelques dizaines de milliers de cycles d'horloge sont nécessaires pour obtenir des mesures significatives du rapport signal sur bruit et distorsion harmonique. Une analyse transitoire d'un modulateur $\Sigma\Delta$ du 2ème ordre, figure (5.1), à l'aide d'un simulateur électrique au niveau transistor type SPICE ou ELDO prendrait beaucoup de temps. En outre, la sortie de ce modulateur est décrite par l'équation aux différences finies suivante :

$$y[n] = x[n - 1] + e[n] - 2e[n - 1] + e[n - 2] \quad (5.1)$$

$e[n]$ étant l'erreur de quantification à l'instant n . La simulation du modulateur à partir de l'équation précédente est très rapide, mais celle-ci ne tient pas compte des non-idéalités du circuit. Dans les circuits à courants commutés ces non-idéalités sont essentiellement dues au temps d'acquisition et à l'injection de charge dans chaque cellule mémoire. Des simulations basées sur un modèle analytique simplifié de ces non-idéalités ont été présentées dans [13]. Un modèle plus précis a ensuite été élaboré avec des équations différentielles [14][15]. L'introduction de ces équations dans le modèle décrit par l'équation (5.1) a considérablement augmenté le temps de simulation, de plus les résultats obtenus n'étaient pas satisfaisants du point de vue précision.

5.2 L'Approche de Simulation

SSICC (Simulateur Sigma-delta à Courants Commutés) combine la rapidité des équations aux différences finies et la précision des simulateurs électriques au niveau transistor type ELDO. Le simulateur utilise des tableaux (un tableau pour chaque non-idéalité) qui sont générés à partir d'ELDO pour une cellule mémoire. La technique des courants commutés étant une technique de traitement de signal à temps discrets, la valeur du courant (signal) est nécessaire uniquement à l'instant de l'échantillonnage, c'est-à-dire une seule fois par cycle d'horloge, ce qui explique la rapidité de SSICC par rapport à ELDO qui calcule la valeur du courant à chaque instant du cycle. Une approche semblable utilisant les non-idéalités d'un intégrateur complet a été présentée dans [16] pour les circuits à capacités commutées. Dans SSICC, on a la possibilité de simuler des modulateurs $\Sigma\Delta$ avec toutes les non-idéalités combinées ou d'en masquer quelques unes. Ceci offre la possibilité d'étudier l'effet de chaque non-idéalité sur la performance du modulateur.

5.3 Modélisation de l'Intégrateur

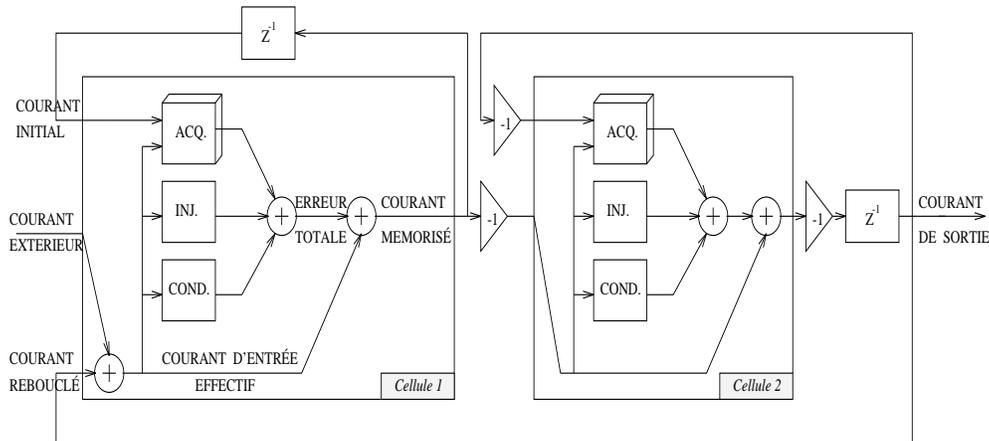


FIG. 5.2: Modélisation de l'intégrateur à Courants Commutés.

Une fonction MATLAB-SIMULINK a été élaborée pour modéliser le fonctionnement d'un intégrateur. Cette fonction, illustrée par un schéma figure (5.2), calcule le courant d'entrée effectif en additionnant le courant d'entrée extérieur et le courant rebouclé de la 2ème cellule. L'erreur due à chaque non-idéalité est obtenue à partir des tableaux. La somme de ces erreurs est ensuite ajoutée au courant d'entrée effectif pour obtenir le courant mémorisé dans la première cellule. Une opération similaire est effectuée pour le calcul du courant mémorisé dans la 2ème cellule. Les gains de "-1" ajustent le sens du courant sortant de chaque cellule. Les blocs Z^{-1} représentent le retard effectué par l'intégrateur. Le tableau de l'erreur du temps d'acquisition est un tableau à deux dimensions, ceci est dû au fait que cette erreur dépend non seulement du courant d'entrée mais aussi du courant initial mémorisé au cycle précédent.

5.4 Validation du Modèle

Afin de valider le modèle de l'intégrateur décrit dans la section précédente, une comparaison a été effectuée entre la réponse du modèle et la réponse d'un intégrateur complet décrit avec ELDO. Pour cela une impulsion a été appliquée à l'entrée. La figure 5.3 montre l'impulsion appliquée et le résultat d'une simulation ELDO. La figure 5.4 montre le résultat d'une simulation MATLAB pour la même impulsion.



FIG. 5.3: La reponse d'un intégrateur avec une impulsion de 10uA à l'entrée (Simulation ELDO)

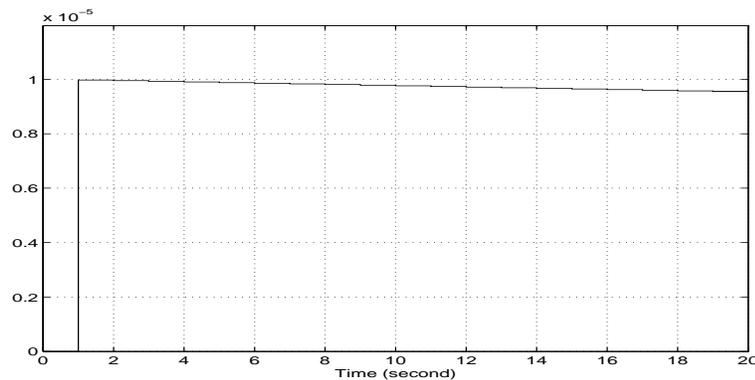


FIG. 5.4: La reponse d'un intégrateur avec une impulsion de 10uA à l'entrée (Simulation MATLAB)

Dans le cas idéal, la fonction de transfert d'un intégrateur est égale à :

$$H(Z) = \frac{Z^{-1}}{1 - Z^{-1}} \quad (5.2)$$

Les non-idéalités du circuit modifie cette fonction de transfert tel que :

$$H(Z) = \frac{Z^{-1}}{1 - \alpha Z^{-1}} \quad (5.3)$$

C'est à dire que les non-idéalités du circuit ont introduit un facteur d'amortissement α :

$$\alpha = \frac{y[n+1]}{y[n]} \quad (5.4)$$

$y[n]$ étant la valeur d'un échantillon à l'instant n , et $y[n+1]$ sa valeur à l'instant $n+1$. Le facteur d'amortissement doit avoir une valeur très proche de "1".

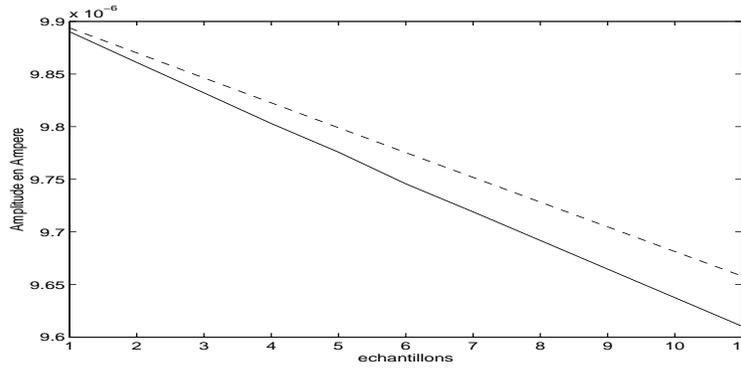


FIG. 5.5: La valeur des 11 premiers échantillons de la réponse de l'intégrateur, ELDO (—), MATLAB (- -)

Dans la figure 5.5, nous avons tracé la valeur des 11 premiers échantillons de la réponse de l'intégrateur pour les 2 simulations. Le facteur d'amortissement pour la simulation ELDO était de 0.99916 et 0.99917 pour la simulation MATLAB à partir du modèle présenté. Les résultats sont très proches nous avons considéré que le modèle est correct. Nous pouvons donc maintenant attaquer la simulation d'un modulateur $\Sigma\Delta$.

5.5 La Densité Spectrale de Puissance

La densité spectrale de puissance montre les caractéristiques de la mise en forme du bruit et permet d'obtenir une bonne estimation du rapport signal sur bruit et distorsion harmonique (SNDR). Le modulateur $\Sigma\Delta$ du deuxième ordre illustré dans la figure (5.1) a été simulé avec un signal d'entrée ayant une fréquence normalisée à 1, une fréquence d'échantillonnage de 13/16384, et un rapport de suréchantillonnage de 64. La figure (5.6) illustre la densité spectrale

de puissance du signal de sortie, la simulation a été effectuée pour 16384 points en tenant compte de l'erreur due à l'injection de charge. On remarque que les harmoniques paires sont presque éliminées, ceci est un effet typique de la classe AB.

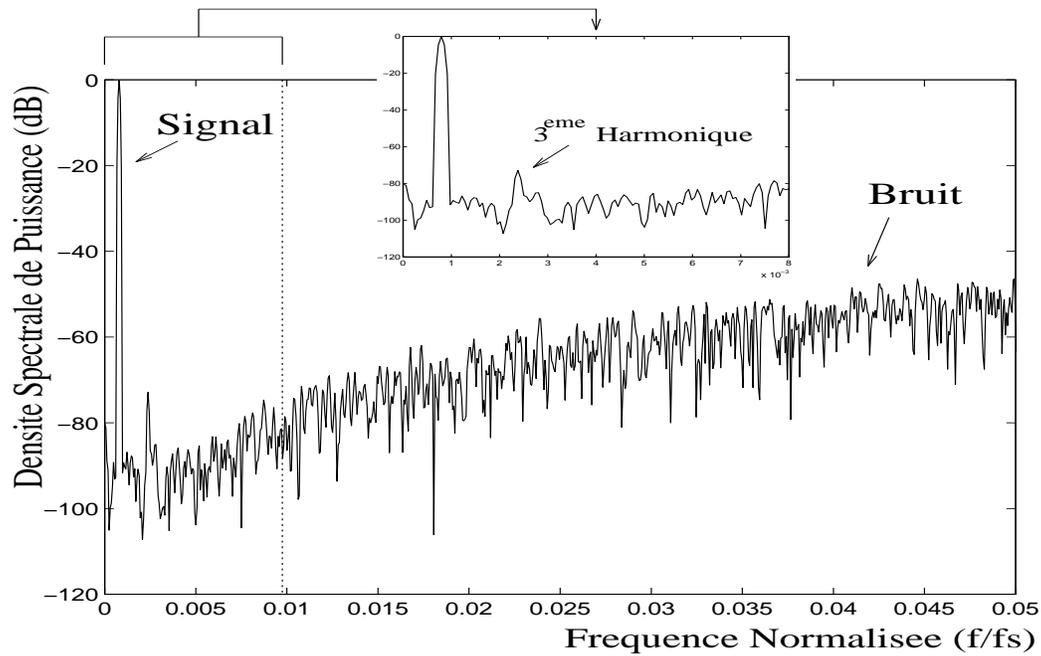


FIG. 5.6: La Densité Spectrale de Puissance (en tenant compte de l'erreur due à l'injection de charge)

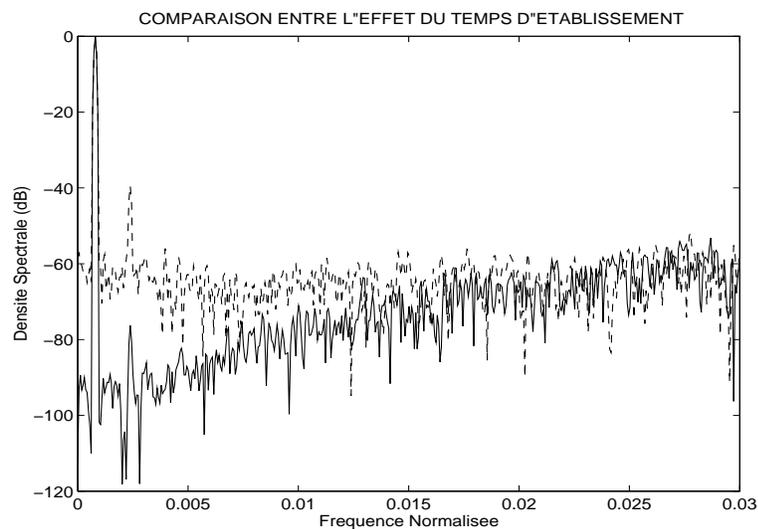


FIG. 5.7: Comparaison entre l'effet de l'erreur due au temps d'acquisition dans le circuit classique (- -) et le circuit à source de tension flottante (—)

La simulation a été effectuée en tenant compte des autres non-idéalités pour le circuit classique et le circuit à source de tension flottante. Dans la figure 5.7, on compare entre l'effet de l'erreur due au temps d'acquisition dans les deux circuits. Il est clair que le bruit dû au temps d'acquisition est beaucoup plus important dans le circuit classique.

5.6 Le Rapport Signal sur Bruit

Dans un modulateur $\Sigma\Delta$ idéal, le rapport signal sur bruit est défini comme :

$$\text{SNR} = \frac{\text{Puissance du Signal}}{\text{Puissance du Bruit de Quantification}}$$

Les non-idéalités et les erreurs non-linéaires du circuit introduisent des distorsions harmoniques sur le signal de sortie. Dans ce cas on définit le rapport signal sur bruit et distorsions harmoniques :

$$\text{SNDR} = \frac{\text{Puissance du Signal}}{\text{Puissance du Bruit de Quantification} + \text{Distorsions Harmoniques}}$$

Le SNDR, illustré figure (5.8), est calculé à partir de la densité spectrale de puissance pour différentes amplitudes du signal d'entrée.

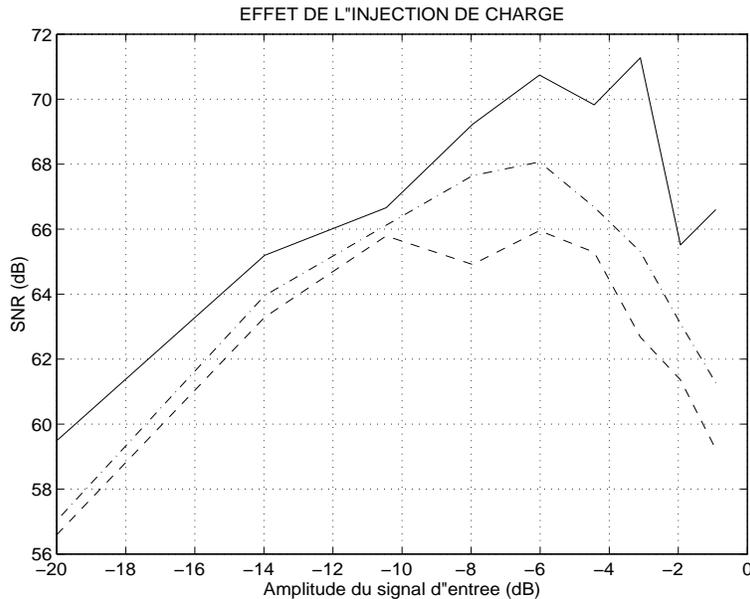


FIG. 5.8: L'effet de l'injection de charge sur le rapport signal sur bruit pour un $\Sigma\Delta$ idéal(—), pour le circuit à source de tension flottante (-.) et le circuit classique(- -)

Les routines de calcul pour la densité spectrale de puissance et le rapport signal sur bruit et distorsion harmonique sont listées en annexe B.

5.7 Le Rapport de Suréchantillonnage

Nous avons vu dans les sections 2.3 et 2.4 que le fait d'augmenter le rapport de suréchantillonnage diminue la puissance du bruit de quantification. En réalité, il y'a un rapport de suréchantillonnage maximum au-delà duquel on ne gagne plus au niveau du bruit de quantification et par suite ni au niveau du rapport signal sur bruit. Cela est essentiellement dû au bruit thermique. Le bruit thermique est généré par le mouvement aléatoire des électrons dans le canal. La dynamique d'un circuit (*Dynamic Range*) est définie comme :

$$DR = \frac{\text{Puissance Maximum du Signal}}{\text{Puissance du Bruit de Thermique}}$$

En effet pour que le suréchantillonnage soit utile il faut que le rapport signal sur bruit de quantification reste inférieur à la dynamique [17].

$$\begin{aligned} \frac{\text{Puissance du Signal}}{\text{Puissance du Bruit de Quantification}} &= \frac{\text{Puissance Maximum du Signal}}{\text{Puissance du Bruit de Thermique}} \\ ((0.11)(OSR)^{5/2})^2 &= DR * (OSR) \quad [\Sigma\Delta \text{ 2ème ordre}] \\ OSR &= \left(\frac{DR}{0.0121}\right)^{1/4} \end{aligned} \quad (5.5)$$

L'équation 5.5 permet de déterminer une valeur maximum pour le rapport de suréchantillonnage en fonction de la dynamique du circuit. Une expression pour la dynamique de l'intégrateur à courants commutés réalisé à partir de la cellule mémoire à source de tension flottante a été dérivé dans [14] :

$$DR = \frac{8I_o(V_{no} - V_{tno})\tau_c}{2/3KT * 0.38684} \quad (5.6)$$

V_{no} et V_{po} étants les tensions de grille des transistors mémoire au repos, τ_c le temps caractéristique de la cellule mémoire, K la constante de Boltzman et T la température en degrés Kelvin.

5.8 Conclusion

Une méthode pour la simulation du modulateur $\Sigma\Delta$ à courants commutés a été présentée. Cette méthode basée sur des tableaux permet d'effectuer des simulations qui tiennent compte des non-idéalités des circuits à courants commutés.

La génération des tableaux est réalisée à partir de simulations ELDO.

Un modèle de l'intégrateur a été élaboré en utilisant ces tableaux. Ce modèle a ensuite été validé et utilisé pour simuler un modulateur $\Sigma\Delta$ du 2ème ordre à courants commutés pour évaluer ses performances (Densité spectrale de puissance & SNDR).

Enfin, le rapport de suréchantillonnage maximum pour un $\Sigma\Delta$ de 2ème ordre a été calculé.

Chapitre 6

La Conception Automatique

6.1 Introduction

Une procédure systématique pour la conception des cellules mémoire à source de tension flottante est présentée. Cette procédure est essentiellement basée sur trois contraintes :

- l’excursion maximum du signal
- le temps caractéristique de la cellule
- la consommation

6.2 Condition pour une Excursion Maximum

En ce qui suit nous allons trouver une expression pour la tension de grille des transistors au repos (V_{no}) et (V_{po}) afin d’obtenir une excursion maximum pour le signal d’entrée. On rappelle ici la relation qui décrit la tension de grille du transistor mémoire 3.12 :

$$V_n = V_{no} + \frac{I_e}{2g_{mo}} \quad (6.1)$$

On peut réécrire cette équation pour la valeur maximum du courant d’entrée ($I_e = 4I_o$) :

$$V_{nMAX} = V_{no} + \frac{4I_o}{2g_{mo}} \quad (6.2)$$

En même temps on peut dire que :

$$V_{nMAX} = \frac{V_{dd}}{2} - V_{dsat} \quad (6.3)$$

$V_{dd}/2$ étant la tension du noeud X et V_{dsat} la tension V_{ds} du transistor M4. A partir des équations 6.2 et 6.3 on peut dire que la tension de grille du transistor mémoire N, afin d’obtenir une excursion maximum du signal d’entrée, doit être égale à :

$$V_{no} = \frac{V_{dd}}{2} - V_{dsat} - \frac{4I_o}{2g_{mo}} \quad (6.4)$$

Sachant que

$$g_{mo} = \sqrt{2\beta I_o} \quad (6.5)$$

L'équation 6.4 peut être réécrite :

$$V_{no} = \frac{V_{dd}}{2} - V_{dsat} - \sqrt{\frac{2I_o}{\beta}} \quad (6.6)$$

Le courant de polarisation I_o étant égal à :

$$I_o = \frac{\beta}{2}(V_{no} - V_{tno})^2 \quad (6.7)$$

Donc,

$$V_{no} = \frac{V_{dd}}{4} - \frac{V_{dsat}}{2} - \frac{V_{tno}}{2} \quad (6.8)$$

La relation 6.8 donne une expression pour la tension de grille du transistor mémoire N pour obtenir une excursion maximum du signal d'entrée I_e . De la même façon on peut obtenir une relation similaire pour la tension de grille du transistor mémoire P :

$$V_{po} = \frac{3V_{dd}}{4} - \frac{V_{dsat}}{2} - \frac{V_{tpo}}{2} \quad (6.9)$$

Sachant que :

$$V_c = V_{po} - V_{no} \quad (6.10)$$

Et à partir des équations 6.8 et 6.9 on arrive à une relation pour la source de tension V_c :

$$V_c = \frac{V_{dd}}{2} - V_{dsat} - \frac{V_{tno} + V_{tpo}}{2} \quad (6.11)$$

On remarque que les équations 6.8, 6.9 et 6.11 donnent des relations en fonction de constantes déterminées par la technologie (V_{dd} , V_{tno} , V_{tpo}), et V_{dsat} qui peut prendre une valeur approximative de 0.2V.

6.3 Le Temps Caractéristique de la Cellule

Le temps caractéristique τ_c de la cellule mémoire à source de tension flottante a été déduit dans [14] :

$$\tau_c = \frac{T_{acq}}{1.16(1 - \ln \epsilon_{acq})} \quad (6.12)$$

T_{acq} étant le temps d'acquisition et ϵ_{acq} l'erreur d'acquisition maximum permise. Aussi on peut dire que le temps caractéristique de la cellule est approximativement égal à :

$$\tau_c = \frac{C_n}{g_{mo}} = \frac{C_p}{g_{mo}} \quad (6.13)$$

C_n et C_p sont les capacités grille-source des transistors mémoire et g_{mo} est la transconductance de chaque transistor mémoire au repos.

6.4 Procédure de Conception

1. On commence d'abord par calculer la tension de grille des transistors mémoire (V_{no} , V_{po}) et la valeur de la source de tension flottante (V_c) de façon à obtenir une excursion maximum pour le signal d'entrée. Cela est obtenu à partir de paramètres fixés par la technologie (V_{ino} , V_{tpo} , V_{dd}) et en prenant une valeur approximative de 0.2V pour V_{dsat} dans les équations 6.8, 6.9 et 6.11.
2. A partir de la consommation accordée au circuit, on peut en déduire facilement le courant de polarisation I_o . En remplaçant avec cette valeur dans l'équation 3.24, on peut obtenir une valeur pour β et par suite pour le rapport W/L ($\beta = \mu C_{ox} W/L$).
3. A partir de la vitesse avec laquelle doit fonctionner le circuit, on en déduit T_{acq} , ϵ_{acq} et par suite le temps caractéristique τ_c de la cellule mémoire. En remplaçant avec cette valeur dans l'équation 6.13, on obtient la valeur de C_n et C_p et par suite le produit WL ($C_n = C_p = 2/3 C_{ox} WL$).
4. Maintenant les dimensions des transistors mémoire fixées, les dimensions des autres transistors sont déterminées à partir du courant qui les traverse et en utilisant l'équation simple qui décrit le courant du transistor en mode saturé ($I_{ds} = \beta/2(V_{gs} - V_t)^2$), cela en prenant une valeur approximative de 0.2V pour $V_{gs} - V_t$.

6.5 Automatisation de la Conception

GEMFLO (GÉnerateur de cellule Mémoire à source de tension FLOttante) est un programme qui décrit la procédure précédente sous MATLAB, ce programme est listé en annexe C.

GEMFLO prend en entrée :

- Le courant de polarisation.
- Le temps et l'erreur d'acquisition.
- Le courant qui traverse la source de tension flottante.
- La tension d'alimentation.
- Les paramètres de la technologie.

GEMFLO génère en sortie trois fichiers ELDO décrivant la cellule mémoire et contenant les dimensions de tous les transistors :

- Un fichier "*temps.cir*" pour la mesure de l'erreur due au temps d'acquisition.
- Un fichier "*injection.cir*" pour la mesure de l'erreur due à l'injection de charge.
- Un fichier "*conductance.cir*" pour la mesure de l'erreur due à la conductance de sortie.

Ces fichiers sont simulés avec ELDO, les résultats de ces simulations sont ensuite utilisés pour la génération des tableaux de chaque non-idéalité. La génération

des tableaux, à partir des résultats de simulation d'ELDO, est effectuée à l'aide de programmes UNIX utilisant la fonction AWK [18]. Ces programmes sont listés en annexe D. Les tableaux seront utilisés pour :

1. évaluer la performance de la cellule mémoire.
2. évaluer la performance d'un modulateur $\Sigma\Delta$ en injectant ces tableaux dans SSICC.

6.6 Conclusion

Une procédure systématique pour la conception des cellules mémoire à source de tension flottante a été présentée. Cette procédure a été implémentée à l'aide d'un programme MATLAB. Ce programme génère en sortie trois fichiers de simulations ELDO (un fichier pour chaque non-idéalité). Ces fichiers permettront la génération des tableaux d'erreurs qui seront ensuite utilisés dans SSICC pour la simulation d'un modulateur $\Sigma\Delta$.

Chapitre 7

Conclusion

La conversion $\Sigma\Delta$ est une méthode de conversion A/N particulièrement adaptée aux circuits VLSI.

La technique des courants commutés est une technique qui permet la réalisation des modulateurs $\Sigma\Delta$ en technologie CMOS numérique standard. Jusqu'à maintenant, les performances des modulateurs $\Sigma\Delta$ implémentés avec cette technique n'ont pas atteint les mêmes performances que ceux réalisés avec la technique des capacités commutés. Ceci est dû aux erreurs induites par les non-idéalités des circuits à courants commutés. Pour réduire ces erreurs, une nouvelle structure de cellule mémoire classe AB à source de tension flottante a été proposée dans [14]. Cette cellule a été étudiée. Les simulations ont montré que cette nouvelle structure donnent de meilleurs performances que les structures classiques.

Le nombre énorme de cycles d'horloge nécessaire pour estimer la performance des modulateurs $\Sigma\Delta$ rend difficile la simulation de ces modulateurs. SS-ICC, un programme MATLAB-SIMULINK qui tient compte des non-idéalités du circuit, a été élaboré pour la simulation des modulateurs $\Sigma\Delta$ à courants commutés. Ce programme utilise une approche basée sur des tableaux.

Afin d'automatiser la conception de la cellule mémoire, une procédure systématique a été présentée. La procédure est essentiellement basée sur trois contraintes :

- l'excursion maximum du signal (contrainte imposée par la structure du circuit)
- la vitesse (contrainte imposée par le système)
- la consommation (contrainte imposée par le système)

GEMFLO est un programme MATLAB qui décrit cette procédure. Ce programme génère des fichiers de simulations ELDO qui peuvent être utilisés pour la génération des tableaux d'erreurs. Ces tableaux seront ensuite utilisés par SSICC pour simuler un modulateur $\Sigma\Delta$, et cela en tenant compte des non-idéalités du circuit généré par GEMFLO.

Nous avons donc maintenant un système complet de simulation et de conception automatique de modulateurs $\Sigma\Delta$ à courants commutés. Ce système est illustré dans la figure 7.1.

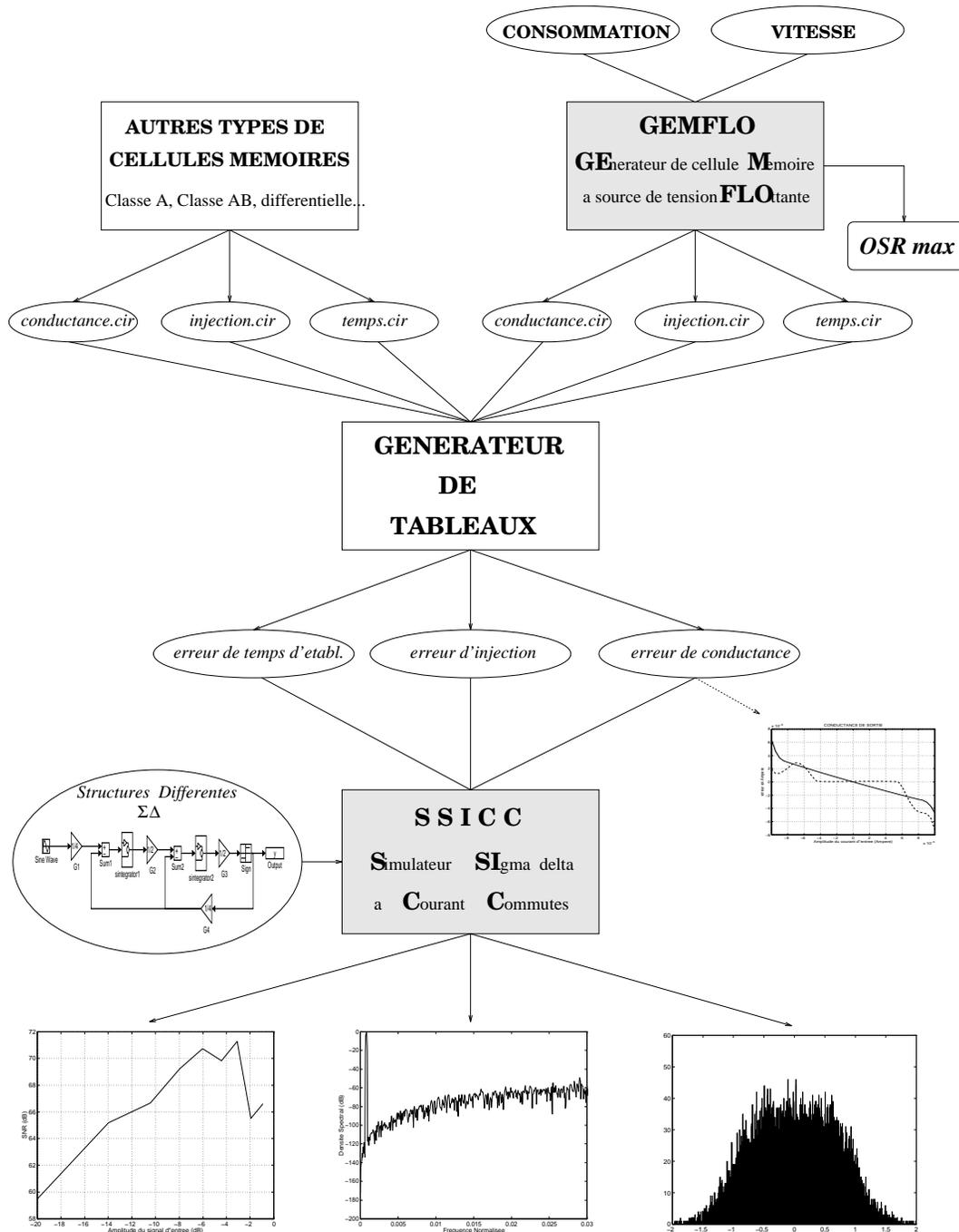


FIG. 7.1: Un système complet de simulation et de conception automatique de modulateurs $\Sigma\Delta$ à courants commutés.

Annexe A

Le Convoyeur de Courant

Le convoyeur de courant est un dispositif qui est utilisé avec d'autres éléments électronique pour effectuer des fonctions de traitements de signal analogique. Le convoyeur de courant simplifie la conception des circuits en mode courant de la même manière que l'amplificateur opérationnel simplifie la conception de circuits en mode tension [19].

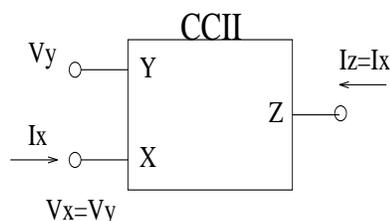


FIG. A.1: une représentation du convoyeur de courant de la 2ème génération

Une représentation du convoyeur de courant de la 2ème génération est illustré dans la figure A.1. Le fonctionnement de ce dispositif est tel que si une tension V_y est appliquée au noeud Y, cette tension est recopiée au noeud X. De même si un courant est appliqué à travers le noeud X ce courant est recopié au noeud Z. Les caractéristiques Entrées-Sorties d'un CCII peuvent être décrites par l'équation suivante :

$$\begin{pmatrix} I_y \\ V_x \\ I_z \end{pmatrix} = \begin{pmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{pmatrix} \begin{pmatrix} V_y \\ I_x \\ V_z \end{pmatrix} \quad (\text{A.1})$$

Le potentiel du noeud X, fixé par celui du noeud Y, est indépendant du courant qui traverse X. De même le courant à travers Z, fixé par celui qui traverse X, est indépendant de la tension appliquée sur Z. Le dispositif représente alors un court-circuit virtuel à l'entrée X, et un circuit ouvert à l'entrée Y.

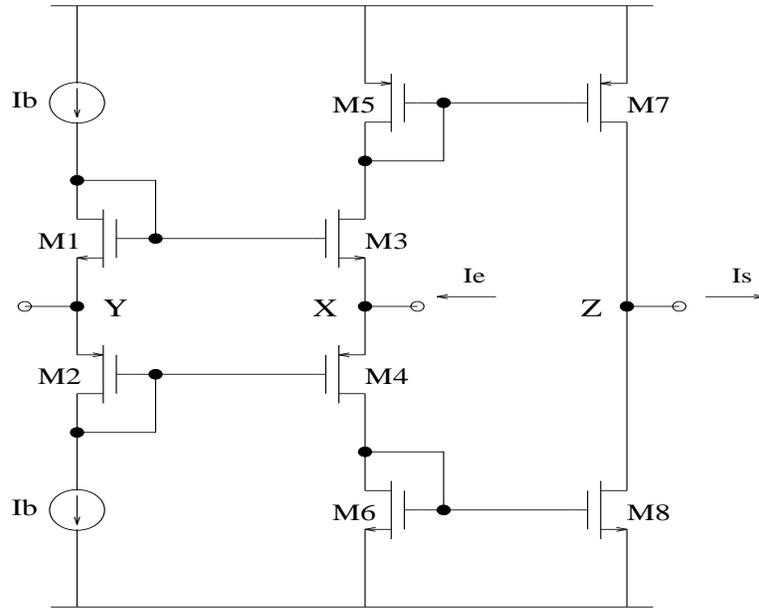


FIG. A.2: Convoyeur de courant Classe AB

Sur la figure A.2, le courant d'entrée I_e est divisé entre les transistors M3 et M4, ces courants sont ensuite copiés à travers les miroirs de courants M5, M6 et M7, M8. Les courants qui traversent M7 et M8 s'additionnent au noeud Z pour reconstituer le courant d'entrée $I_s = -I_e$. Les transistors M1, M2, M3 et M4 forment une boucle translinéaire [20], ils sont donc traversés par le même courant. Supposant un β identique pour ces 4 transistors, on peut dire que les transistors M3 et M4 ont la même tension grille-source $V_{gs} = V_{tn} + \sqrt{\frac{2I_b}{\beta}}$. Donc la tension du noeud Y est recopiée au noeud X.

Annexe B

SSICC

B.1 Programme Principal

```
echo off
clear all
clear global
%%%%%%%%%%%%% INITIALISATION %%%%%%%%%%%%%%

InitVar('',0,'temps_om26_tab',-2,'inj_om26_tab',-2,'cond_om26_tab',-2);
Temps=input('Tems d'etablissement,0/N? ');
    if Temps=='0' t=1
    else t=0
    end
Cond=input('Conductance,0/N? ');
    if Cond=='0' c=1
    else c=0
    end

Inj=input('Injection,0/N? ');
    if Inj=='0' in=1
    else in=0
    end
no=t+2*c+4*in;

if(no==0)
!cp Delai0.m Delai.m
elseif(no==1)
!cp Delai1.m Delai.m
elseif(no==2)
!cp Delai2.m Delai.m
elseif(no==3)
!cp Delai3.m Delai.m
elseif(no==4)
```

```

!cp Delai4.m Delai.m
elseif(no==5)
!cp Delai5.m Delai.m
elseif(no==6)
!cp Delai6.m Delai.m
elseif(no==7)
!cp Delai7.m Delai.m
end

global yfen yfft Psig Pbruit

nom=input('Nom de fichier sans extension: ');
N=16*1024; L=2*N;

fe=1; fs=13/N; T=1/fe; OSR=64;
BW=fe/(2*OSR);
b=round(N*(BW/fe)+1);
nc=round(N*(fs/fe)+1);
dN=7;
%amp=[.01:.01:.09 .1:.1:.9];
amp=[.1:.1:.9];

if b-dN<nc
b-dN
nc
error
end
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
for compt=1:length(amp)
a=amp(compt)
[T,X,Y]=linsim(nom,L);
Sp=SPEC(y,N);
F=Freq(fe,N);
snr(compt)=SNR(Sp,nc,dN,b);
end

ampdb=20*log10(amp);

```

B.2 Densité Spectrale de Puissance

```

function SPEC=SPEC(y,N)

global yfen yfft SPEC

fenetre=blackman(N);
yfen=y.*fenetre;

```

```
yfft=fft(yfen);  
Py=yfft.*conj(yfft)/(length(yfft));  
Py(N/2+2:N)=[ ];  
Py(2:N/2)=2*Py(2:N/2);  
Py=Py/(max(Py));  
end  
  
SPEC=Py;
```

B.3 Rapport Signal sur Bruit

```
function SNR=SNR(Sp,nc,dN,b)  
  
global Psig Pbruit  
  
Psig=sum(Sp(nc-dN:nc+dN));  
Pbruit=sum(Sp(1:b))-Psig;  
  
SNR=10*log10(Psig/Pbruit);
```


Annexe C

GEMFLO

C.1 Programme Principal

```
function calcul

clear global

%-----
% Parametres de la Techno
%-----
techno_file;

%-----
% Io tacq Eacq Idiode Vsat Vdd
%-----
entrees;

%variables
global Io tacq Eacq Idiode Vsat Vdd;

%parametres de la techno
global MUOn MUOp VTHn VTHp L_min W_min Cox ;

%-----
% Calcul de Vno
%-----
Vno = Vdd/4 + VTHn/2 - Vsat/2

%-----
% Calcul de GM0
%-----
GM0 = 2 * Io / (Vno-VTHn)
```

```

%-----
% Calcul du temps C/C de la cellule
%-----
Tc = tacq * log10 (2.718281828) / (1.16 * (1 - log10 (Eacq)) )

%-----
% Calcul de Cgs des Tr. memoire
%-----
Cgs = Tc * GM0

%-----
% Calcul du Dynamic Range
%-----
zoumba = 1.16 * ( 1-log10(Eacq) ) / log10 (2.718281828)
DR = 8 * Io * (Vno-VTHn) * tacq /
(0.3868) * 4 * (1.37836e-23) * 300 * (2/3) * zoumba
%-----
% la tension de la diode
% may be a negative Vsat
%-----
Vc = (0.5*Vdd) + Vsat - ((0.5)*(abs(VTHp) + VTHn));

%-----
% calcul de la taille des transistors memoire
%-----
WfoisL = 1.5 * Cgs / Cox;

deno = MUOn * Cox * ((Vdd + VTHp - VTHn - Vc) ^ 2);
WsurL = 16 * Io / deno ;

Wcarre = WfoisL * WsurL ;

WMn = Wcarre ^ (0.5);
LMn = WfoisL / WMn ;

Wmp = (MUOn / MUOp) * WMn /2;
Lmp = Wmp / ( WsurL * (MUOn / MUOp) );

%-----
% calcul de la taille de la diode
%-----
deno_diode = MUOp * Cox * ((Vc - abs(VTHp))^2) ;
WsurL_diode = 2 * Idiode / deno_diode;
Ldiode = 3;
Wdiode = WsurL_diode * Ldiode;

```

```

%-----
% calcul de la taille des transistors
% de la boucle de translineaire MAn,MAp,MApolp,MApoln
% assuming Vgs-Vt = 0.2
% and taking L= 2 * Lmin
%-----
deno_MAn = MUOn * Cox * ((0.2)^2);
WsurL_MAn = 2 * Io / deno_MAn;
LMAn = 2 * L_min;
WMAp = WsurL_MAn / LMAn;
LMAp = 2 * L_min;
WMAp = (MUOn / MUOp) * WMAp;
LMApolp = LMAp;
WMApolp = WMAp;
LMApoln = LMAn;
WMApoln = WMAp;

%-----
% calcul de la taille des transistors cascode
%-----
Icas = Io + Idiode ;
ratio = Icas / Io ;
WsurL_cas = ratio * WsurL_MAn;
LMcasn = 2 * L_min ;
WMcasn= WsurL_cas / LMcasn;
LMcasp = 2 * L_min ;
WMcasp = (MUOn / MUOp) * WMcasn;

%-----
% calcul des tensions de polarisation
%-----

Beta = MUOn * Cox * WsurL;
gm0 = ( 2 * Beta * Io ) ^ (0.5);

Vn_min = Vdd/2 - Vsat - ( (8 * Io) / (2 * gm0) );
Vgcasn = Vn_min + VTHn;

Vp_max = Vdd/2 + Vsat + ( (8 * Io) / (2 * gm0) );
Vgcasp = Vp_max - abs(VTHp);

%-----
% la taille des interrupteurs
% simulations - simulations - simulations - simulations
%-----

```

```

Lswn = L_min;
Wswn = 5 * L_min;
Lswp = L_min;
Wswp = 6 * L_min;

```

C.2 Les Entrées

```

% POLARISATION , CGS , IDIODE , VSAT , VDD

global Io Cgs Idiode Vsat Vdd;

%Courant de polarisation
Io=25e-6;

%le courant dans la diode
%un courant de 20uA donnait de bons resultats
%pour le temps d'etablissement
Idiode=20e-6;

% Vds des transistor MAn et MAP
Vsat=0.2;

%tension d'alimentation
Vdd=3.3;

%temps d'acquisition
tacq = 40e-9;

%Erreur d'acquisition
Eacq = 0.001;

```

C.3 Paramètres de la Technologie

```

%parametres de la techno
global MUOn MUOp VTHn VTHp L_min W_min Cox ;

% mobilite du N (MUOn en um**2/V*s)
MUOn = ;

% mobilite du P (MUOp en um**2/V*s)
MUOp = ;

% tension de seuil du N ( VTHn en V )

```

```
VTHn = ;

% tension de seuil du P ( VTHn en V )
VTHp = ;

% longueur minimum autorisee pour les N et P ( L_min en um )
L_min = ;

% largeur minimum autorisee pour les N et P ( W_min en um )
W_min = ;

% capacite d'oxyde des N et P ( Cox en F/um%%2 )
Cox = ;
```


Annexe D

GÉNÉRATION DES TABLEAUX

D.1 Temps d'Acquisition

D.1.1 Makefile

```
# Call with make -e SIMPLE="nom du fichier ELDO"  
#CIRCUIT= "nom du tableau genere"
```

```
ALL: project  
project: $(CIRCUIT)_tab
```

```
$(SIMPLE).alt: $(SIMPLE).cir add_alter  
rm -f $(SIMPLE).alt  
awk -f add_alter $(SIMPLE).cir > $(SIMPLE).alt
```

```
$(CIRCUIT).cir: $(SIMPLE).cir $(SIMPLE).alt  
rm -f $(CIRCUIT).cir  
cat $(SIMPLE).cir $(SIMPLE).alt > $(CIRCUIT).cir
```

```
$(CIRCUIT).ext: $(CIRCUIT).cir  
rm -f $(CIRCUIT).ext  
eldo $(CIRCUIT).cir -stver
```

```
$(CIRCUIT).asc: $(CIRCUIT).ext  
rm -f $(CIRCUIT).asc  
toasc $(CIRCUIT).ext $(CIRCUIT).asc
```

```
$(CIRCUIT).x: $(CIRCUIT).asc  
rm -f $(CIRCUIT).x  
awk -f ext_x $(CIRCUIT).asc > $(CIRCUIT).x
```

```
$(CIRCUIT).y: $(CIRCUIT).asc
```

```

rm -f $(CIRCUIT).y
awk -f ext_y \$(CIRCUIT).asc > \$(CIRCUIT).y

$(CIRCUIT)_tab: $(CIRCUIT).x $(CIRCUIT).y
rm -f $(CIRCUIT)_tab
cat $(CIRCUIT).x $(CIRCUIT).y > $(CIRCUIT)_tab

```

D.1.2 AWK

add_alter

```

BEGIN{ Icell1=-100
}
{if($1 ~ /EXTRACT/){
for(Icell1=-95;Icell1<0;Icell1=Icell1+5)
{printf("*-----\n")
printf(".ALTER\n")
printf(".PARAM Icell1=%iu\n",Icell1)
printf(".PARAM Ie=%iu\n",Icell1-100)
printf(".STEP PARAM Ie %iu %iu 5u\n",Icell1-100,200+Icell1-100)
}

for(Icell1=0;Icell1<101;Icell1=Icell1+5)
{printf("*-----\n")
printf(".ALTER\n")
printf(".PARAM Icell1=%iu\n",Icell1)
printf(".PARAM Ie=%iu\n",Icell1)
printf(".STEP PARAM Ie %iu %iu 5u\n",Icell1-100,200+Icell1-100)
}
printf(".END")
}
}

```

ext_x

```

BEGIN{ max=1
min=1
flag=0
}
{while(flag==0){
if(($1 ~ /[45]/) && ($2 ~ /MIN/)) {min=$1}
if(($1 ~ /[45]/) && ($2 ~ /MAX/)) {max=$1}

if(min==max) {
if($2 ~ /X_VALUE/) {printf("%s ", $1)}
next
}
}
}

```

```

        if($1 ~ /EXTRACT/) n++
        if(n==90) {flag=1;break}
        next
    }
}

ext_y
BEGIN{
    max=1
    min=1
    flag=0
}
{while(flag==0){
    if(($1 ~ /[45]/) && ($2 ~ /MIN/)) {min=$1}
    if(($1 ~ /[45]/) && ($2 ~ /MAX/)) {max=$1}

    if(min==--max) {
        if($2 ~ /X_VALUE/) {printf("%s ", $1)}
        next
    }

    if($1 ~ /EXTRACT/) n++
    if(n==90) {flag=1;break}
    next
}
}

```

D.2 Injection de Charge et Conductance de sortie

D.2.1 Makefile

```

# Call with make -e CIRCUIT= "nom du fichier ELDO"

ALL: project
project: $(CIRCUIT)_tab

$(CIRCUIT).ext: $(CIRCUIT).cir
rm -f $(CIRCUIT).ext
eldo $(CIRCUIT).cir -stver

$(CIRCUIT).asc: $(CIRCUIT).ext
rm -f $(CIRCUIT).asc
toasc $(CIRCUIT).ext $(CIRCUIT).asc

$(CIRCUIT)_tab: $(CIRCUIT).asc
rm -f $(CIRCUIT)_tab;\
awk -f ext_xy $(CIRCUIT).asc > $(CIRCUIT)_tab

```

D.2.2 AWK`ext_xy`

```
BEGIN{ nbofline=-2
      flag=0
      }
      {while(flag==0){
        if($2 ~ /X_VALUE/) {nbofline=NR;
                           printf("%s\t", $1)
                           }
        if(NR==nbofline+1) {printf("%s\n", $1)}
        next
      }
      }
```

Bibliographie

- [1] James C. Candy and Gabor C. Temes, editors. *Oversampling Delta-Sigma Data Converters*. IEEE press, 1992.
- [2] Francois Baillieu, Yves Blanchard, Patrick Loumeau, Hervé Petit, and Jacky Porte. *Capacités Commutées et Applications*. DUNOD, 1996.
- [3] C. Toumazou, J.B. Hughes, and N.C. Battersby, editors. *Switched-Currents an analogue technique for digital technology*. Peter Peregrinus Ltd., 1993.
- [4] Nianxiong Tan. "Switched-Current Delta-Sigma A/D Converters". *Analog Integrated Circuits and Signal Processing*, vol. 9(No. 1) :7–24, January 1996.
- [5] Jiri Nedved, Jozef Vanneuville, Dorine Gevaert, and Jan Sevenhans. "A Transistor-Only Switched Current Sigma-Delta A/D Converter for a CMOS Speech CODEC". *IEEE Journal of Solid-State Circuits*, vol. 30(No. 7) :819–822, July 1995.
- [6] Bernhard E. Boser and Bruce A. Wooley. "The Design of Sigma-Delta Modulation Analog-to-Digital Converters". *IEEE Journal of Solid-State Circuits*, vol. SC-23(No. 6) :1298–1308, December 1988.
- [7] N.C. Battersby and C.Toumazou. "Class AB Switched-Current Memory for Analogue Sampled Data Systems". *Electronics Letters*, vol. 32(No. 10) :873–875, 9 May 1991.
- [8] C. Toumazou, F.J. Lidgley, and D.G. Haigh, editors. *Analogue IC Design : the current-mode approach*. Peter Peregrinus Ltd., 1990.
- [9] O.Oliaei and P.Loumeau. "Current-mode Class AB Design using Floating Voltage Source". *Electronics Letters*, vol. 32(No. 17) :1526–1527, 15 August 1996.
- [10] O.Oliaei and P.Loumeau. "A Low-Input Resistance Class AB CMOS Current Conveyor". *39th MIDWEST Symposium on Circuits and Systems*, August 1996.
- [11] G. Wegmann, E.A. Vittoz, and F. Rahali. "Charge Injection in Analog MOS Switches". *IEEE Journal of Solid-State Circuits*, vol. SC-22(No. 6) :1091–1097, December 1986.
- [12] C. Eichenberger and W. Guggenbuhl. "On Charge Injection in Analog MOS Switches and Dummy Switch Compensation Techniques". *IEEE Transactions on Circuits and Systems*, vol. 37(No. 2) :256–264, February 1990.

- [13] P.N'Goran and A.Kaiser. "A Building Block Approach to the Design and Simulation of Complex Current-Memory Circuits". *Analog Integrated Circuits and Signal Processing*, vol. 7(No. 3) :189–199, May 1995.
- [14] Omid Oliaei. *La Conversion $\Sigma\Delta$ en Courants Commutés*. PhD thesis, ENST, to be submitted Oct. 1997.
- [15] Patrick Vandenameele-Lepla. *Module de Simulation pour les Convertisseurs $\Delta\Sigma$ à Courants commutés*. ENST, 1996.
- [16] Richard J. Bishop, John J. Paulos, Michael B. Steer, and Sasan H. Ardalan. "Table Based Simulation of Delta-Sigma Modulators". *IEEE Trans. Circuits and Sys.*, vol. CAS-37 :447–451, March 1990.
- [17] Max W. Hauser and Robert W. Brodersen. "Monolithic Decimation filtering for custom Delta-Sigma A/D Converters". *International Conference on Acoustics, Speech and Signal Processing*, vol. 4(No. 2) :2005–2008, April 1988.
- [18] Richard Stoeckel. *Filtres et Utilitaires UNIX*. Armand Colin, 1992.
- [19] Adel S. Sedra and Gordon W Roberts. *Current Conveyor Theory and Practice*, pages 93–127. Volume 3 of Toumazou et al. [8], 1990.
- [20] Barrie Gilbert. *Current Mode Circuits From A Translinear Viewpoint*, pages 11–91. Volume 1 of Toumazou et al. [8], 1990.