

Patricia RENAULT

36 ans

Nationalité française

Via maritale, 2 enfants

Adresse personnelle :

10, rue des lilas d'Espagne

92400 Courbevoie

Adresse professionnelle :

LIP6/SOC-4 place Jussieu

75005 Paris

patricia.renault@lip6.fr

Maître de conférences à l'université UPMC en informatique

Docteur - Ingénieur informatique

RECHERCHE

2005 - ... Thématiques de recherche :

- CAO : vérification après placement-routage, analyse temporelle, diaphonie, IR-drop
- Optimisation de chemins de données arithmétiques à l'aide d'algorithmes génétiques
- Equivalence formelle pour des circuits analogiques
- Conception et simulation de circuits quantiques

Projets :

- ANR VALMEM (01/01/07-31/12/10) : Validation fonctionnelle et temporelle des mémoires embarquées, décrites au niveau transistor, par des méthodes formelles. Ce projet regroupe des partenaires universitaires (LSV, LIP6) et industriel (STMicroelectronics). Encadrement : 1 stagiaire de niveau M1 en 2008
- Industriel ACTEL (01/07/07-31/12/08) : Etude de la consommation instantanée dans les circuits de cryptologie.

Encadrement hors projet :

- 1 stagiaire de niveau M2 en 2008 sur l'étude d'une méthode permettant de modéliser des portes CMOS complexes par un inverseur équivalent.
- 1 ingénieur d'étude sur les méthodes d'estimation de l'IR-drop (2008-2010)

2003 **Relecteur** pour la conférence « 16th International Conference on VLSI Design »

2002 **Membre du comité d'organisation** du colloque du GDR CAO

2000 - 2003 **Thèse de Doctorat à l'UPMC**, préparée dans le thème ASIM (Architecture des Systèmes Intégrés et Micro-électronique) du Laboratoire d'Informatique de Paris 6, intitulée « Méthodes de réduction de réseaux RC appliquées aux outils de vérification de circuits submicroniques. » et soutenue le 22 décembre 2003 avec la mention très honorable devant le jury composé de :

- Christian PIGUET (professeur - CSEM en Suisse, rapporteur),
- Etienne SICARD (professeur - INSA de Toulouse, rapporteur),
- Armelle HAEN (docteur ingénieur - SILVACO, examinateur),
- Davide PANDINI (ingénieur - STMicroelectronics, examinateur),
- Alain GREINER (professeur - LIP6, examinateur) et
- Pirouz BAZARGAN-SABET (maître de conférence - LIP6, directeur de thèse)

2000 **Stage de DEA** au CSI/INPG sous la direction d'Helena Krupnova et Gabrielle Saucier intitulé « Estimation temporelle dans le prototypage sur FPGAs (étude du flot de prototypage, recherche du temps de parcours à partir de cônes logiques, traducteur SDF - STAMP) »

1999 **Stage de trois mois** chez Schneider Electric Grenoble « Création d'un outil semi-automatique de synthèse et d'analyse des 1000 plus fortes valeurs de consommation sous Excel 97 »

ENSEIGNEMENT

- 2005 - ... **A l'ufr d'ingénierie :**
- Niveau L2 de la licence d'Informatique :
 - **Responsable et chargée de cours** de Machine et représentation (MAREP) (160 étudiants)
 - Chargé de TD de Initiation à la programmation en C (CINI)
 - Chargé de TD de Programmation impérative et structures de données en C (CAVE)
 - Chargé de TD de Machine et représentation (MAREP)
 - Niveau M1 du master d'Informatique spécialité Systèmes Electroniques Systèmes Informatiques :
 - **Participation à la sélection des dossiers des étudiants** de M1
 - Chargée de cours/TD/TP de Conception des circuits intégrés VLSI (VLSI) en M1
 - Encadrement de 3 projets
 - Niveau M2 :
 - **Responsable** de Méthodologie de conception VLSI
 - **Responsable** du projet de Réalisation VLSI du processeur MIPS R3000
 - Co-responsable de Groupe de Recherche
 - Intervenant dans Intégrité du signal et Bruit
 - Encadrement de 2 stages
- A l'école d'ingénieur Polytech'Paris-UPMC** du réseau Polytech :
- Dans la spécialité Electronique et Informatique (ELI) :
 - Chargé de TD/TP de Java
 - Dans la spécialité par apprentissage Génie Mécanique (GM) :
 - **Participation aux journées de recrutement de la spécialité**
 - Chargé de Cours/TD/TP de Introduction à la programmation en Python
- 2003 - 2005 Attaché Temporaire d'Enseignement et de Recherche de l'UPMC
- 2000 - 2003 Enseignant vacataire en DEUG, DEA, DESS d'informatique à l'UPMC pour une charge totale de 191h équivalent TD
- Encadrant de 3 stages de DEA et d'un stage de maîtrise sur les modèles d'évaluation de la diaphonie et de réduction des réseaux RC.

ACTIVITES D'ANIMATION

- 2005 - 2011 Représentante élue des maîtres de conférences au conseil de la licence d'Informatique de l'UPMC
- Représentante élue des maîtres de conférences au conseil de laboratoire du LIP6
- 2003 - 2005 Représentante élue des étudiants au conseil de l'UFR d'Informatique de l'UPMC
- 2002 - 2004 Représentante suppléante des doctorants au conseil de laboratoire du LIP6
- 2001 - 2003 Représentante élue des étudiants au conseil des enseignements de l'UFR d'Informatique de l'UPMC
- Représentante élue des doctorants au conseil de l'Ecole Doctorale d'Informatique, Télécommunications et Electronique de Paris

COMPETENCES EN INFORMATIQUE

Systèmes	Unix, Linux, Windows
Langages	Python, Java, C, Langage d'assemblage (Mips et x86), VHDL, Visual Basic, HTML, LISP, script shell
CAO	Chaîne Alliance (LIP6/ASIM), Eldo, TAS (Avertec), Mentor Graphics (ModelSim, Leonardo), Synopsys (Design Compiler, FPGA Compiler II, Design Manager)
Logiciels	Maple, Matlab
Bureautique	Latex, Word, Excel, Powerpoint

FORMATION

2000 - 2003	Thèse de Doctorat à l'UPMC intitulée « Méthodes de réduction de réseaux RC appliquées aux outils de vérification de circuits submicroniques. »
1999 - 2000	DEA Microélectronique option Conception des Systèmes Intégrés de l'Université Grenoble 1, mention bien
1997 - 2000	Diplôme d'état d'ingénieur de l' ENSIMAG (Ecole Nationale Supérieure en Informatique et Mathématiques Appliquées de Grenoble), filière Architecture des systèmes de traitement numérique de l'information
1994 - 1997	Classes Préparatoires aux Grandes Ecoles (TSI), Metz (57)
juillet 1994	Obtention du baccalauréat série F2 (électronique), mention assez bien

LANGUES

Anglais	Lu, écrit, parlé
Allemand	Connaissances élémentaires

DIVERS

Sports	Natation, trekking, ski
Loisirs	Lecture, voyage Permis B, BAFA, AFPS

PUBLICATIONS SELECTIONNEES

2010	"A methodology for Analysis of Voltage Drop in VLSI Digital Circuits", B. Darwish, P. Bazargan Sabet, P. Renault, International Conference on Modeling, Simulation and Control (ICMSC'2010), Cairo, Egypt (2010)
2010	"Formal Verification of Timed VHDL Programs", A. Bara, P. Bazargan Sabet, R. Chevallier, E. Encrenaz, D. Le Dû, P. Renault, Forum on Specification & Design Languages (FDL'2010), Southampton, UK, pp. 80-85 (2010)
2008	"A Novel Method to Determine the RC Interconnect Circuit Outputs", P. Renault, P. Bazargan Sabet, International Conference on Design of Circuits and Integrated Systems (DCIS'2008), Grenoble, France (2008)
2005	"Capturing RC-Interconnect Effect in Crosstalk Analysis", P. Renault, P. Bazargan Sabet, Mixed Design of Integrated Circuits and Systems (MIXDES'2005), Krakow, Poland, pp. 309-314 (2005)